



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ
(ГОСКОМИЗОБРЕТЕНИЙ)

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1536418

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:
"Устройство для сжатия информации"

Автор (авторы): Лужецкий Владимир Андреевич, Козлюк Петр Владимирович и Бочков Юрий Николаевич

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА

Заявка №

4401412

Приоритет изобретения

1 апреля 1988г.

Зарегистрировано в Государственном реестре изобретений СССР

15 сентября 1989г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

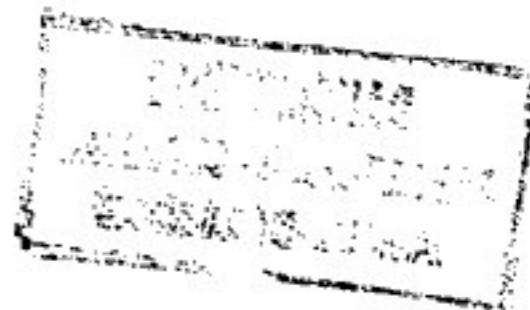
Начальник отдела

Ю. Селев
Землю



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

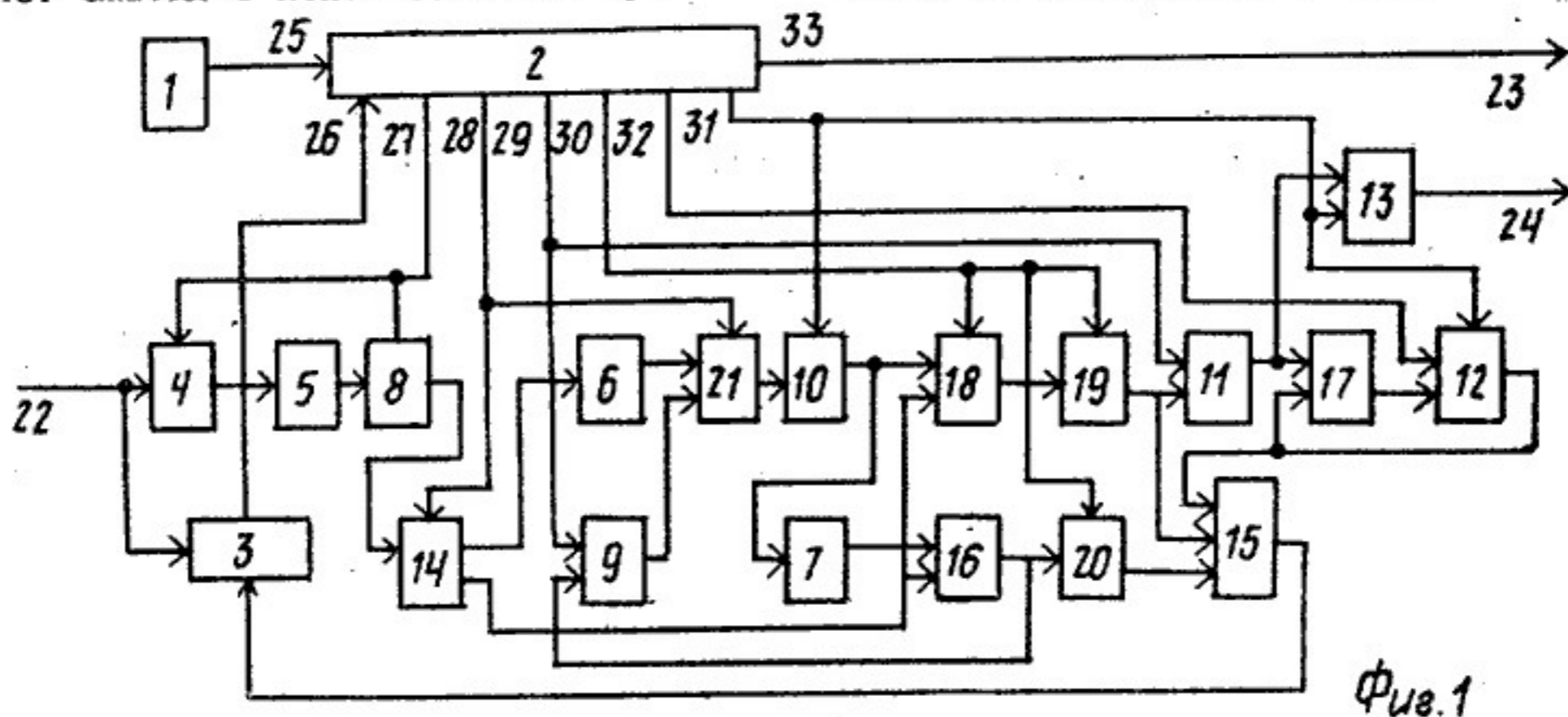
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4401412/24-24
(22) 01.04.88
(46) 15.01.90. Бюл. № 2
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
(72) В.А. Лужецкий, П.В. Козлюк и Ю.Н. Бочков
(53) 621.398(088.8)
(56) Авторское свидетельство СССР № 858054, кл. G 08 C 19/00, 1979.

(54) УСТРОЙСТВО ДЛЯ СЖАТИЯ ИНФОРМАЦИИ
(57) Изобретение относится к измерительной технике и может быть использовано в телеметрических системах для сжатия информации. Цель изобретения - повышение быстродействия устройства и достоверности информации за счет осуществления двухпараметрического сжатия с адаптацией по интервалу аппроксимации и порядку аппроксимирующего базиса. Устройство осуществляет сжатие с использованием ор-

тогонального разложения входного сигнала в ω -базис. При этом на каждом шаге получения очередного коэффициента разложения осуществляется восстановление сигнала и оценка точности восстановления. В случае, если ошибка, т.е. разница между исходным и восстановленным сигналом, не превышает допустимого значения, интервал аппроксимации увеличивается на период дискретизации. Если ошибка больше допустимого значения, то происходит повышение порядка базиса, и выдача очередного коэффициента разложения на выход устройства. Устройство содержит генератор 1 импульсов, блок 2 управления, блок 3 сравнения, интегратор 4, блоки 5-7 нормирования, блоки 8-13 памяти, демультимплексор 14, сумматоры 15-17, арифметический блок 18, умножители 19, 20, коммутатор 21, вход 22 устройства, выход 23 служебной информации, выход 24 устройства. 1 з.п. 4 ил.



Изобретение относится к измерительной технике и может быть использовано в телеметрических системах для сжатия информации.

Цель изобретения - повышение быстродействия устройства и достоверности информации за счет осуществления двухпараметрического сжатия с адаптацией по интервалу аппроксимации и порядку аппроксимирующего базиса.

Поставленная цель достигается благодаря тому, что устройство осуществляет алгоритм двухпараметрического сжатия входного сигнала с адаптацией по интервалу аппроксимации и порядку аппроксимирующих функций на основе ортогонального разложения в α -базисе, определяемый следующим соотношением:

$$L_i(j) = \begin{cases} q_i \alpha^{i-j} \sqrt{\alpha} & \text{при } j = 1 \\ q_i \alpha^{j-i} & \text{при } 2 \leq j \leq i \\ -q_i & \text{при } j = i+1 \\ 0 & \text{при } i+1 < j \leq N, \end{cases} \quad (1)$$

где $L_i(j)$ - i -я функция α -базиса на j -м интервале времени;

$\alpha = \frac{1 + \sqrt{5}}{2} \approx 1,618$ - иррациональное число, известное в литературе как "золотое сечение" или "золотая пропорция";

q_i - нормировочный коэффициент, определяемый соотношением

$$q_i = \begin{cases} \alpha^{-i} & \text{при } 1 \leq i < N \\ \sqrt{\alpha} \alpha^{-i} & \text{при } i = N, \end{cases} \quad (2)$$

где N - размерность базиса.

Матрица преобразования B α -базиса для $N = 5$ имеет вид

$$B = \alpha^{-1} \begin{vmatrix} \sqrt{\alpha} & -1 & 0 & 0 & 0 \\ \alpha^{-1} \sqrt{\alpha} & 1 & -1 & 0 & 0 \\ \alpha^{-2} \sqrt{\alpha} & \alpha^{-1} & 1 & -1 & 0 \end{vmatrix} \quad (3)$$

$$B = \alpha^{-1} \begin{vmatrix} \alpha^{-3} \sqrt{\alpha} & \alpha^{-2} & \alpha^{-1} & 1 & -1 \\ \alpha^{-4} \sqrt{\alpha} & \alpha^{-3} & \alpha^{-2} & \alpha^{-1} & 1 \end{vmatrix}$$

Основными свойствами данного ортогонального преобразования являются:

1) наличие быстрого алгоритма преобразования при любой размерности базиса;

2) возможность организации конвейерного режима вычисления коэффициентов разложения входного сигнала;

3) неизменность ранее вычисленных коэффициентов при добавлении новых в процессе адаптации по порядку ортогонального разложения;

4) очередной i -й отчет входного сигнала участвует в формировании лишь $i-1$ -го и всех последующих коэффициентов разложения;

5) α -базис является оптимальным базисом для входного сигнала типа экспонент.

Предлагаемое устройство осуществляет вычисление коэффициентов разложения входного сигнала в соответствии с соотношением

$$F_i = (S_i - \bar{X}_{i+1}) q_i, \quad (4)$$

где F_i - i -й коэффициент разложения в α -базис;

S_i - i -й промежуточный результат вычисления, определяемый соотношением

$$S_i = \begin{cases} \sqrt{\alpha} \bar{X}_i & \text{при } i = 1 \\ S_{i-1} \alpha^{-1} + \bar{X}_{i+1} & \text{при } i > 1, \end{cases} \quad (5)$$

где \bar{X}_i - i -й интегральный отсчет входного сигнала, определяемый выражением

$$\bar{X}_i = \frac{1}{T_0} \int_{t_{i-1}}^{t_i} X(t) dt, \quad (6)$$

где T_0 - период дискретизации входного сигнала,

$[t_{i-1}, t_i]$ - i -й интервал времени.

Граф вычисления для размерности базиса $N = 5$ изображен на фиг. 4.

Из соотношения (1) следует, что при увеличении размерности базиса N на единицу необходимо изменить лишь последний N -й коэффициент разложения и вычислить очередной $N+1$ -й. Это позволяет просто осуществить переход от одной размерности базиса к другой, как следует из соотношения

$$F_k^{N+1} = \begin{cases} F_k^N & \text{при } 1 \leq k \leq N-1 \\ (F_k^N / \sqrt{\alpha} \alpha^{-1} - \bar{X}_{N+1}) \alpha^{-1} & \text{при } k=N \\ (F_k^N \frac{\alpha^{-1}}{\sqrt{\alpha}} + \bar{X}_{N+1}) \alpha^{-1} \sqrt{\alpha} & \text{при } l=N+1, \end{cases} \quad (7)$$

где F_k^{N+1} — k -й коэффициент разложения входного сигнала в α -базис размерности $N+1$.

Из соотношения (7) следует, что на каждом шаге вычисления очередного k -го коэффициента разложения входного сигнала может быть получена оценка погрешности аппроксимации для размерности базиса, равной k . Это позволяет на каждом шаге цикла вычисления осуществлять увеличение интервала аппроксимации на величину времени, кратную T_0 , что по существу сводится к попытке аппроксимации входного сигнала, определенного k интегральными отсчетами $k-1$ функциями α -базиса размерности $k-1$ при исключении из процедуры вычисления $k-1$ -го интегрального отсчета.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 — схема блока управления; на фиг. 3 — временные диаграммы работы блока управления; на фиг. 4 — граф пятиточечного преобразования входного сигнала в α -базисе.

Устройство содержит генератор 1 импульсов, блок 2 управления, блок 3 сравнения, интегратор 4, блоки 5-7 нормирования, блоки 8-13 памяти, демультиплексор 14, сумматоры 15-17, арифметический блок 18 (сумматор-вычитатель), умножители 19, 20, коммутатор 21, вход 22 устройства, выход 23 служебной информации, выход 24 устройства, входы 25 и 26 блока 2 управления, выходы 27 — 33 блока 2 управления.

Блок 2 управления содержит счетчик 34 по модулю четыре, счетчик 35 по модулю N , дешифраторы 36 и 37, триггер 38, формирователи 39 — 41 импульсов, элементы И 42, 43, элемент ИЛИ 44.

Устройство работает следующим образом.

Входной сигнал с входа 22 устройства поступает на вход интегратора 4 и далее с выхода интегратора 4

10 на вход блока 5 нормирования, на входе которого по истечении времени T_0 появится очередной интегральный отсчет входного сигнала в соответствии с выражением (6). При этом в начале каждого шага цикла вычисления осуществляется запись очередного интегрального отсчета входного сигнала в блок 8 памяти с выхода блока 5 нормирования и установки интегратора 4 в исходное состояние.

20 Указанные действия осуществляются по приходу импульса на входы управления блока 8 памяти и интегратора 4 с выхода 27 блока 2 управления, где сигнал управления (фиг. 3 б) формируется на первом выходе дешифратора 36 на первом такте каждого шага вычисления, а затем, проходя через формирователь 39 импульсов, приобретает требуемую длительность импульса и поступает на выход 27 блока 2 управления.

35 Длительность шага цикла вычислений равна длительности четырех тактов генератора 1 импульсов, что обеспечивает формирование управляющих импульсов на выход дешифратора 36 (фиг. 3 в), на вход которого поступает двухразрядный код (фиг. 3 а) с выхода счетчика 34 по модулю четыре.

45 На первом шаге цикла вычисления на выходе счетчика 35 по модулю N формируется код нуля, что обеспечивает появление на выходе дешифратора 37 блока 2 управления сигнала "Лог.1" (фиг. 3 г), который поступает на выход 28 блока 2 управления и дальше на входы управления демультиплексора 14 и коммутатора 21. Это обеспечивает переключение демультиплексора 14 в режим передачи сигнала с его входа на первый выход, а коммутатор 21 переходит в режим передачи сигнала с его первого входа на выход.

55 Последнее приводит к поступлению первого интегрального отсчета с выхода блока 8 памяти через демульти-

шексор 14 на вход блока 6 нормирования, где происходит умножение первого интегрального отсчета на коэффициент $\sqrt{\alpha}$.

Таким образом, на выход блока 6 поступает первый промежуточный результат вычисления в соответствии с выражением (5).

С выхода блока 6 первый промежуточный результат вычисления через коммутатор 21 поступает на вход блока 10 памяти.

Запись первого промежуточного результата вычисления в блок 10 памяти осуществляется по приходу на его управляющий вход сигнала с выхода 31 блока 2 управления. Формирование данного сигнала в блоке 2 управления происходит при поступлении с выхода блока 3 сравнения на второй вход блока 2 управления сигнала превышения заданной погрешности аппроксимации (фиг. 3 д). Этот сигнал поступает на информационный вход триггера 38, на вход тактирования которого на втором такте шага вычисления поступает сигнал с дешифратора 36, что осуществляет установку триггера 38 в единичное состояние, разрешающее прохождение импульса дешифратора 36 через элемент И 42 на вход формирователя 41 импульсов и дальше на выход 31 блока 2 управления.

Установка триггера 38 в исходное состояние осуществляется на третьем такте шага вычисления при поступлении на установочный вход триггера 38 сигнала уровня "Лог.1" дешифратора 36.

Кроме того, на первом шаге цикла вычисления сигнал уровня "Лог.1" поступает с дешифратора 37 на вход элемента И 43, что разрешает прохождение импульса с дешифратора 36 через элемент И 43 на выход 32 блока 2 управления. В свою очередь импульс, поступивший на четвертом такте первого шага цикла вычисления с выхода 32 блока 2 управления на вход управления элемента 12, устанавливает его в "0", а поступление этого сигнала на вход элемента ИЛИ 44 и дальше на вход счетчика 35 по модулю N устанавливает его в единицу, что приводит к появлению на первом выходе дешифратора сигнала уровня "Лог.0". Последнее приводит к установке демultipлексора 14 в режим передачи сигнала с входа на его второй выход,

а коммутатора - в режим передачи сигнала с его второго входа на выход. Это обеспечивает на втором шаге цикла вычисления поступление второго интегрального отсчета, полученного по описанной выше процедуре, через демultipлексор 14 на входы сумматора-вычитателя 18 и сумматора 16. При этом на вход управления сумматора-вычитателя 18 поступает сигнал уровня "Лог.0" с выхода 30 блока 2 управления, формирующийся на втором выходе второго дешифратора 37, что переводит арифметический блок 16 в режим вычитания сигнала, поступающего на его второй вход, из сигнала, поступающего на его третий вход.

Очевидно, что на выход блока 18 в результате подачи на его третий вход первого промежуточного результата вычисления поступает значение выражения заключенного в скобки соотношения (4), а именно: ненормированный первый коэффициент разложения входного сигнала в α -базисе, нормировка которого и осуществляется в умножителе 19. Поступление на первый вход умножителя 19 сигнала уровня "Лог.0" с выхода 30 блока 2 управления переводит умножитель 19 в режим умножения сигнала, поступающего на второй вход, на α^{-1} , т.е. в соответствии с выражением (2).

С выхода умножителя 19 сигнал, пропорциональный первому коэффициенту разложения, записывается в блок 11 памяти, на вход управления которого поступает импульс записи (фиг. 3 е) с выхода 29 блока управления. Сигнал управления формируется на выходе формирователя 40 импульсов на четвертом такте каждого шага вычисления, что обусловлено соединением входа формирователя 40 импульсов с четвертым выходом первого дешифратора 36.

На выходе сумматора 16 формируется значение второго промежуточного результата вычисления в соответствии с выражением (5), при этом на первый вход второго сумматора 16 поступает промежуточный результат вычисления, полученный на первом шаге цикла вычисления и умноженный в блоке 7 на коэффициент α^{-1} .

Полученный промежуточный результат вычисления с выхода сумматора 16 поступает на вход блока 9 памяти и на

вход умножителя 20. При этом на четвертом такте каждого шага вычисления происходит запись очередного промежуточного результата вычисления в блок 9 памяти по импульсу, приходящему на вход управления блока 9 памяти с выхода 29 блока 2 управления. Кроме того, полученный на втором шаге цикла вычисления промежуточный результат вычисления умножается в умножителе 20 на коэффициент $\sqrt{\alpha} \alpha^{-1}$, что обусловлено подачей на второй вход умножителя 20 потенциала "Лог.0" с выхода 30 блока 2 управления.

Полученный на выходе умножителя 20 результат следует рассматривать как последний коэффициент разложения входного сигнала в α -базисе размерности $N=2$, что позволит оценить погрешность аппроксимации на втором шаге цикла вычисления следующим образом.

Первый и второй коэффициенты разложения входного сигнала в α -базисе размерностью $N=2$ поступают на первый и третий входы сумматора 15, на второй вход которого поступает сигнал с выхода блока 12 памяти (равный нулю на втором шаге цикла вычисления), представляющий собой результат суммирования всех предыдущих в данном цикле вычисления коэффициентов разложения, за исключением двух последних. Результат сложения коэффициентов разложения входного сигнала с выхода первого сумматора 15 подается на вход блока 3 сравнения, где происходит вычисление и оценка погрешности. С выхода блока 3 сравнения, осуществляющего сравнение полученной погрешности аппроксимацией с заданной, в случае превышения последней подается сигнал уровня "Лог.1" на вход 26 блока 2 управления или сигнал уровня "Лог.0" в противном случае.

На следующем шаге цикла вычисления полученный интегральный отсчет входного сигнала поступает через демультимплексор 14 на входы блока 18 и сумматора 16, что позволит вычислить с учетом умножения результатов сложения и вычитания на нормировочные множители коэффициенты разложения входного сигнала, представленного двумя интегральными отсчетами \bar{X}_1 на интервале $[t_0, t_1]$ и \bar{X}_2 на интервале $[t_1, t_2]$ в базисе с той

же размерностью $N=2$. По сути осуществляется проба увеличения интервала аппроксимации при той же размерности базиса.

Если в результате такого расширения интервала аппроксимации погрешность не превысит заданную, то на очередном шаге будет произведена очередная попытка увеличить интервал, при этом в блоки 9 и 11 памяти будут записаны соответствующие результаты последнего удачного увеличения интервалов аппроксимации, а все предыдущие результаты будут уничтожены.

Если на очередном шаге цикла вычисления погрешность аппроксимации превысит заданную, то результаты последнего "удачного" шага будут переписаны из блоков 9 и 11 памяти в блоки 10 и 13 памяти соответственно, сигнал записи в которые (фиг.4 ж) формируется на выходе формирователя 41 импульсов с сигнала, поступающего с выхода элемента И 42, на второй вход которого при превышении погрешности аппроксимации поступает сигнал уровня "Лог.1", разрешающий прохождение на втором такте шага вычисления импульса с дешифратора 36. Описанный сигнал записи поступает с выхода формирователя 41 на выход 31 блока 2 управления и дальше на входы управления блоков 10 и 13 памяти, а также на вход управления блока 12 памяти.

Последнее вызвано необходимостью корректировки суммы коэффициентов разложения, которая осуществляется при записи суммы очередного коэффициента разложения, поступающего на первый вход сумматора 17, и суммы предыдущих коэффициентов, поступающих на второй вход сумматора 17, формирующейся на выходе последнего, в блок 12 памяти.

Таким образом, при очередной неудачной попытке увеличить интервал аппроксимации в соответствии с вышеизложенным на выходе триггера 32 формируется сигнал (фиг.3 з), который поступает на выход 33 блока 2 управления и далее на выход 23 служебной информации устройства, свидетельствующий о появлении на выходе 24 устройства очередного коэффициента разложения входного сигнала. Сигнал с выхода триггера 38 поступает на вход элемента ИЛИ 44, что приводит к уве-

лично содержимого счетчика 35 по модулю N на единицу.

Когда количество неудачных попыток превысит $N-1$, на втором выходе дешифратора 37 будет сформирован сигнал уровня "Лог.1", который переключит умножитель 19 в режим умножения входного сигнала на коэффициент $\alpha^{-1} \sqrt{\alpha}$, а умножитель 20 - в режим умножения на 0, что позволит сформировать последний N -й коэффициент разложения на выходе умножителя 19. N -я неудачная попытка увеличить интервал аппроксимации приведен к выводу последнего коэффициента разложения на выход 24 устройства и установке содержимого счетчика 35 по модулю N в "0" после чего будет осуществлен очередной цикл вычисления.

Максимальная задержка поступления на выход устройства очередного i -го коэффициента разложения входного сигнала по отношению к времени поступления на вход устройства i -го интегрального отсчета составит при отсутствии сжатия

$$t_{3 \text{ макс}} = 1,5 T_0.$$

В то же время для прототипа эта задержка составит

$$t_{п \text{ макс}} = NT_0,$$

что в $2/3N$ раз больше, чем для заявляемого устройства.

Кроме того, достоверность информации, передаваемой на выход устройства, для устройства-прототипа определяется величиной погрешности, вносимой аппаратными средствами и алгоритмической погрешностью, причем, как сказано выше, последняя значительно превосходит аппаратную. Для предлагаемого устройства алгоритмическая погрешность отсутствует.

Ф о р м у л а и з о б р е т е н и я

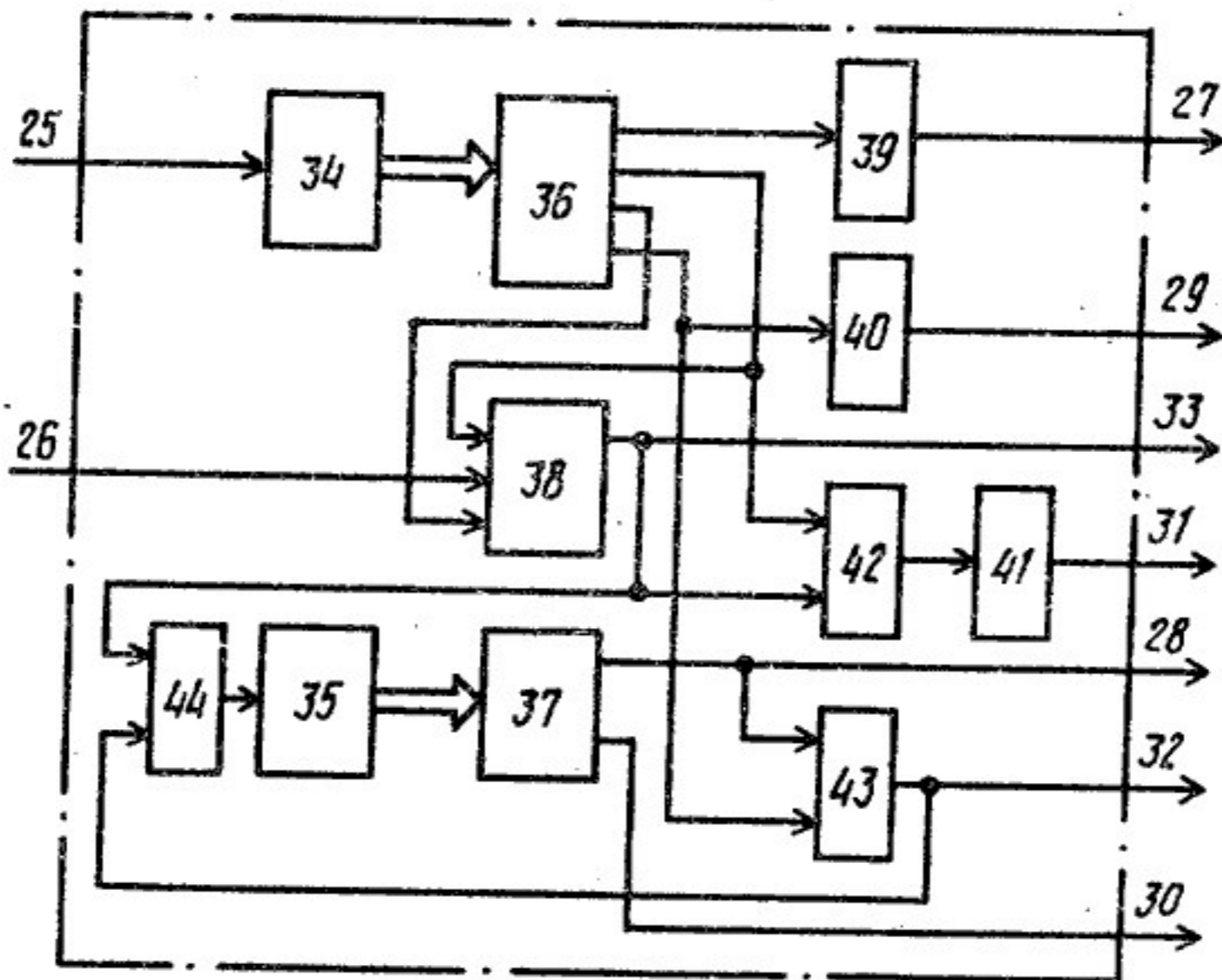
1. Устройство для сжатия информации, содержащее генератор импульсов, выход которого соединен с первым входом блока управления, первый выход которого соединен с первым входом интегратора, блок сравнения, выход которого соединен с вторым входом блока управления, второй выход которого соединен с первым входом первого умножителя, первый сумматор, выход которого соединен с первым

входом блока сравнения, отличающееся тем, что, с целью повышения достоверности информации и быстродействия устройства, в него введены второй и третий сумматоры, коммутатор, блоки памяти, блоки нормирования, второй умножитель, демультиплексор и арифметический блок, первый вход которого и первый вход первого блока памяти подключены соответственно к второму и первому выходам блока управления, третий выход которого соединен с первыми входами коммутатора и демультиплексора, второй вход которого подключен к выходу первого блока памяти, выход интегратора через первый блок нормирования соединен с вторым входом первого блока памяти, первый выход демультиплексора через второй блок нормирования соединен с вторым входом коммутатора, выход которого соединен с первым входом второго блока памяти, выход которого соединен непосредственно с вторым входом арифметического блока и через третий блок нормирования с первым входом второго сумматора, второй выход демультиплексора соединен с вторым входом второго сумматора и третьим входом арифметического блока, выход которого соединен с вторым входом первого умножителя, выход которого соединен с первыми входами первого сумматора и третьего блока памяти, выход которого соединен с первыми входами четвертого блока памяти и третьего сумматора, выход которого соединен с первым входом пятого элемента памяти, выход которого соединен с вторыми входами первого и третьего сумматоров, выход второго сумматора соединен с первыми входами шестого блока памяти и второго умножителя, второй вход и выход которого подключены соответственно к второму выходу блока управления и третьему входу первого сумматора, четвертый выход блока управления соединен с вторыми входами третьего блока памяти и шестого блока памяти, выход которого соединен с третьим входом коммутатора, пятый и шестой выходы блока управления соединены соответственно с вторыми входами второго, четвертого и пятого блоков памяти и третьим входом пятого блока памяти, вторые входы интегратора и блока сравнения объединены и являются входом устрой-

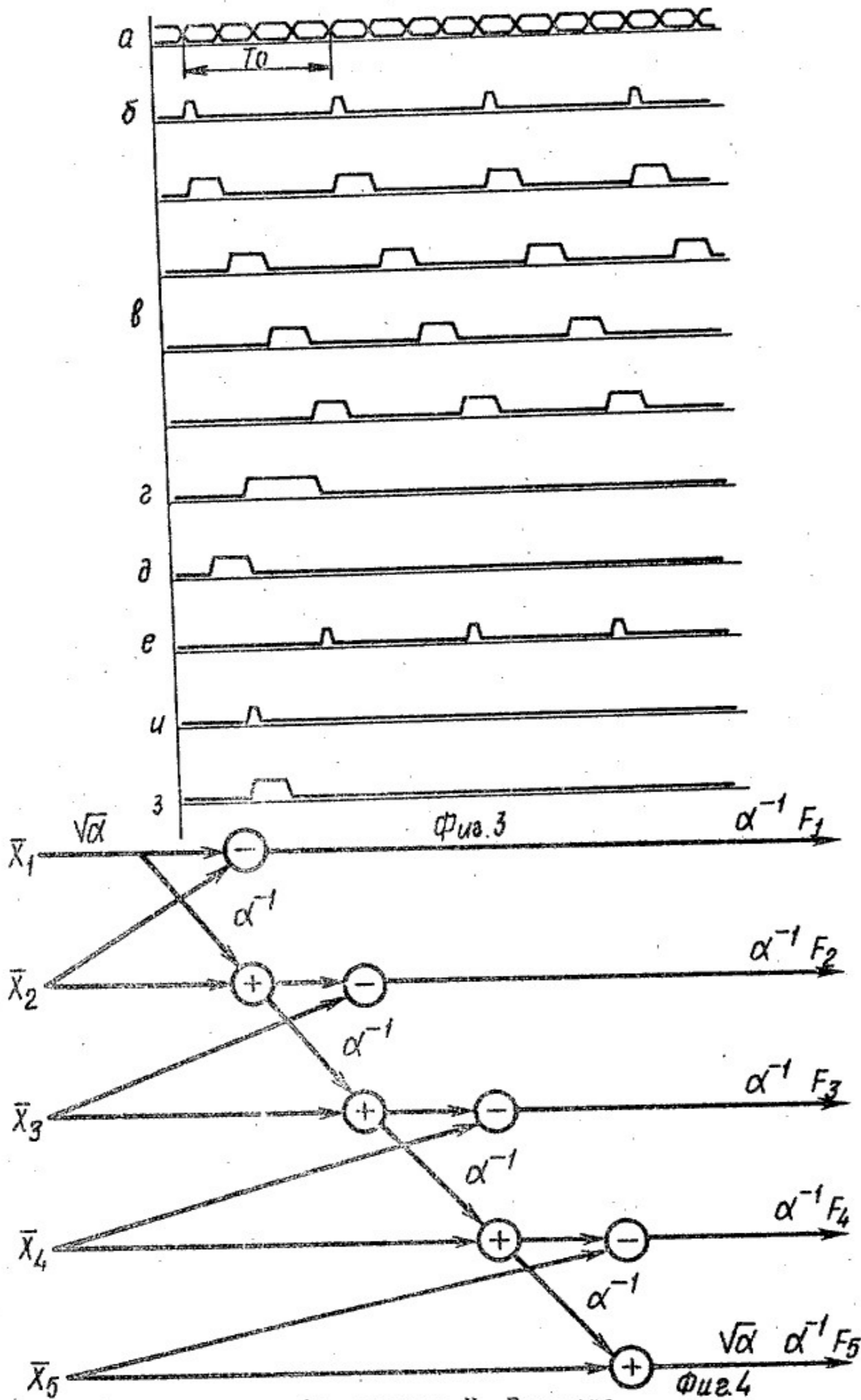
ства, выход четвертого блока памяти и седьмой выход блока управления являются соответственно первым и вторым выходами устройства.

2. Устройство по п. 1, отличающееся тем, что блок управления выполнен на счетчиках, дешифраторах, формирователях импульсов, триггере, элементах И и элементе ИЛИ, выходы первого счетчика соединены с входами первого дешифратора, первый, второй выходы которого соединены соответственно с входом первого формирователя импульсов, первыми входами первого элемента И и триггера, вторым входом триггера и входом второго формирователя импульсов и первым входом второго элемента И, выход триггера соединен с первым входом эле-

мента ИЛИ и вторым входом первого элемента И, выход которого соединен с входом третьего формирователя импульсов, выход элемента ИЛИ соединен с входом второго счетчика, выходы которого соединены с входами второго дешифратора, первый выход которого соединен с вторым входом второго элемента И, выход которого соединен с вторым входом элемента ИЛИ, вход первого счетчика и третий вход триггера являются соответственно первым и вторым входами блока, выход первого формирователя импульсов, второй и первый выходы второго дешифратора, выходы второго и третьего формирователей импульсов, выход второго элемента И и выход триггера являются соответственно первым - седьмым выходами блока.



Фиг. 2



Составитель Н. Бочарова

Редактор А. Маковская

Техред М. Дидык

Корректор Л. Патай

Заказ 111

Тираж 435

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101