



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК
ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГОСУДАРСТВЕННОМ КОМИТЕТЕ СССР ПО НАУКЕ И ТЕХНИКЕ
(ГОСКОМИЗОБРЕТЕНИЙ)

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1547062

На основании полномочий, предоставленных Правительством СССР, Госкомизобретений выдал настоящее авторское свидетельство на изобретение:
"Аналого-цифровой преобразователь"

Автор (авторы): Стахов Алексей Петрович, Квитка Николай Андреевич, Лужецкий Владимир Андреевич, Квитка Светлана Николаевна и Петросюк Юрий Андреевич

Заявитель: СПЕЦИАЛЬНОЕ КОНСТРУКТОРСКО-ТЕХНОЛОГИЧЕСКОЕ БЮРО "МОДУЛЬ" ВИННИЦКОГО ПОЛИТЕХНИЧЕСКОГО ИНСТИТУТА И ВИННИЦКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ

Заявка № 4398835 Приоритет изобретения 28 марта 1988г.

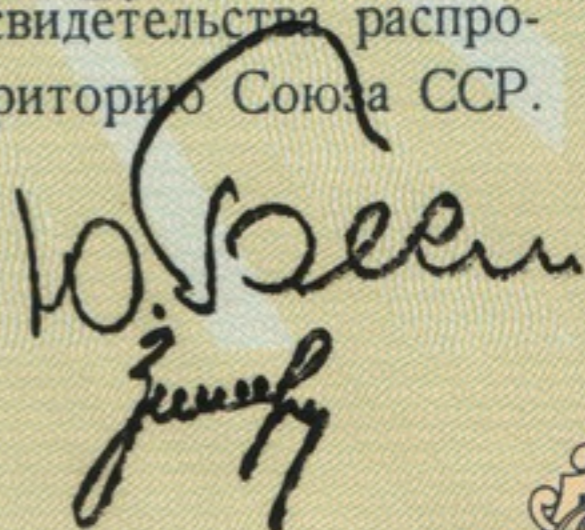

Зарегистрировано в Государственном реестре изобретений СССР

1 ноября 1989г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

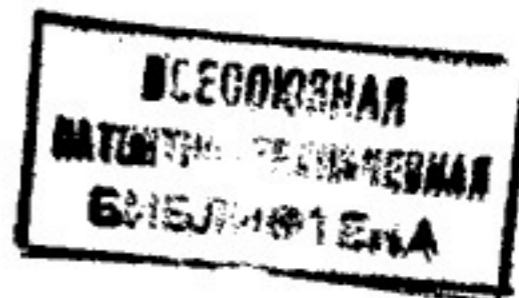
Начальник отдела





ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

(21) 4398835/24-24
 (22) 28.03.88
 (46) 28.02.90. Бюл. № 8
 (71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института и Винницкий политехнический институт
 (72) А. П. Стахов, Н. А. Квитка, В. А. Лужецкий, С. Н. Квитка и Ю. А. Петросюк
 (53) 681.325(088.8)
 (56) Авторское свидетельство СССР № 1288913, кл. Н 03 М 1/26, 1986.
 Авторское свидетельство СССР № 1179533, кл. Н 03 М 1/26, 1984.

2
(54) АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

(57) Изобретение относится к цифровой измерительной и вычислительной технике и может быть использовано для преобразования аналоговых величин в цифровые, для получения цифровой информации о распределении объектов в двумерной системе координат, а также при цифровой обработке сигналов. Изобретение расширяет функциональные возможности за счет обеспечения дополнительной функции преобразования напряжения в код с иррациональ-

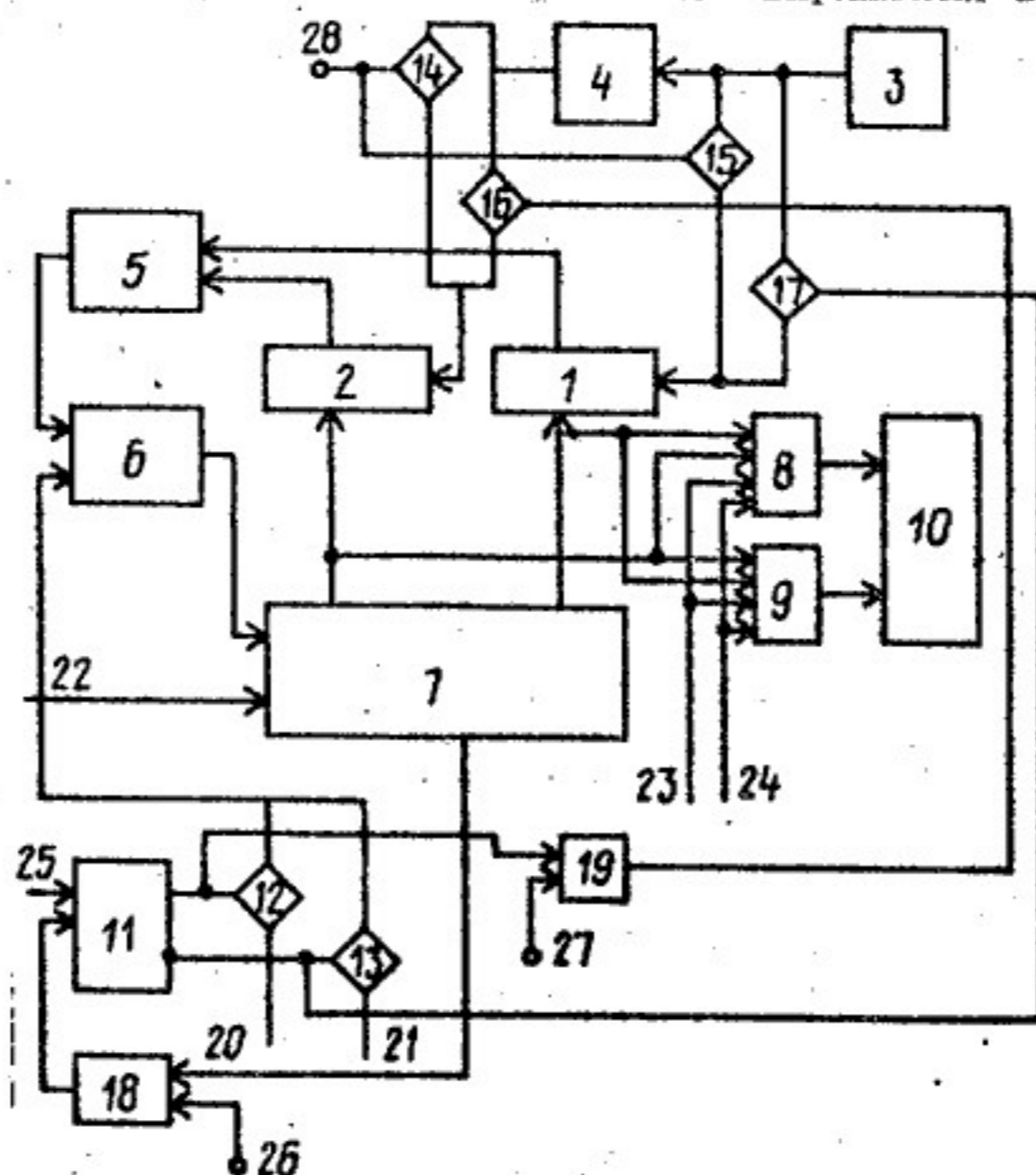


Fig. 1

ным основанием 2. Это достигается тем, что в аналого-цифровой преобразователь, содержащий регистр 10, цифроаналоговый преобразователь 1, блок 6 сравнения, блок 7 управления, введены цифроаналоговый преобразователь,

2, источник 3 опорного напряжения, масштабирующий операционный усилитель 4, суммирующий операционный усилитель 5, аналоговые ключи 12 - 17, элементы И 18, 19, триггер 11, коммутаторы 8, 9. 1 з.п. ф-лы, 2 ил.

Изобретение относится к цифровой измерительной и вычислительной технике и может быть использовано для преобразования аналоговых величин в цифровые, для получения цифровой информации о расположении объектов в двумерной системе координат, а также при цифровой обработке аналоговых сигналов.

Цель изобретения - расширение функциональных возможностей аналого-цифрового преобразователя путем обеспечения дополнительной функции преобразования напряжения в код с иррациональным основанием $\sqrt{2}$.

На фиг. 1 изображена функциональная схема аналого-цифрового преобразователя; на фиг. 2 - функциональная схема блока управления.

Аналого-цифровой преобразователь содержит цифроаналоговые преобразователи (ЦАП) 1 и 2, источник 3 опорного напряжения, масштабирующий операционный усилитель (МОУ) 4, суммирующий операционный усилитель 5, блок 6 сравнения, блок 7 управления, коммутаторы 8 и 9, регистр 10, триггер 11, аналоговые ключи 12 - 17, элементы И 18 и 19, входные шины 20 и 21, шину 22 запуска, шину 23 управления режимами преобразования, шину 24 разрешения передачи, входы 25 - 28 управления.

Блок 7 управления содержит $2n$ элементов И 29, регистр 30 сдвига, $2n$ RS-триггеров 31, элемент 32 запрета, генератор 33 тактовых импульсов, выходные шины 34 и 35, выход 36 и входы 37 и 38 блока управления.

Аналого-цифровой преобразователь (АЦП) способен работать в двух режимах: в режиме преобразования аналоговой величины в код с иррациональным основанием $\sqrt{2}$ и в режиме одновременного преобразования двух независимых (в том числе и одной) аналоговых величин соответственно в два двоичных кода.

В первом режиме АЦП работает следующим образом. Преобразованию предшествует установка АЦП в исходное состояние, которому соответствует установка триггера 11 в единичное состояние путем приложения к входу 25 управляющего импульса, при этом сигналы управления на входах 26 и 27 и на шинах 21 - 24 отсутствуют. Аналоговая величина в виде напряжения присутствует только на входной шине 20 (на шине 21 входной сигнал равен нулю). Коэффициент передачи масштабирующего операционного усилителя 4 равен $\sqrt{2}$. Выходной регистр 10 находится в состоянии "0". На входе 28 управления присутствует единичный сигнал, благодаря которому к ЦАП 1 и 2 приложены опорные напряжения U_0 и $\sqrt{2}U_0$. Процесс преобразования начинается с поступления в шину 22 импульса запуска. При этом RS-триггер 31 старшего разряда устанавливается в состояние "1", а все остальные - в состояние "0". И, кроме того, в разряд $2n$ регистра 30 записывается единица. В первом такте работы АЦП блок 6 сравнивает входное напряжение U_x , поступившее через аналоговый ключ 12 на первый вход, с эталонным напряжением $U_{э(2n-1)}\sqrt{2}$, подаваемым с ЦАП 2 и соответствующим единице старшего разряда полученного кода

$$U_x \geq U_{э(2n-1)}\sqrt{2}.$$

Если $U_x > U_{э(2n-1)}\sqrt{2}$, то на выходе блока 6 сравнения не будет импульса $2n-1$, а в RS-триггере 31 сохранится "1", если же $U_x < U_{э(2n-1)}\sqrt{2}$, то блок 6 выдаст импульс, который, пройдя через $(2n-1)$ -й элемент И 29 установит $(2n-1)$ -й RS-триггер 31 в состояние "0". Появление импульса на выходе элемента 32 запрета вызовет в регистре 30 сдвиг единицы в разряд $(2n-1)$, что обеспечит подачу эталонного напряжения $U_{э(2n-2)}$ с ЦАП 1 на блок 6.

В результате происходит процедура сравнения:

$$[U_x - U_{\Sigma(2n-1)} \sqrt{2}] \geq U_{\Sigma(2n-2)}, \text{ если } U_x > U_{\Sigma(2n-1)} \sqrt{2};$$

или

$$U_x \geq U_{\Sigma(2n-2)}, \text{ если } U_x < U_{\Sigma(2n-1)} \sqrt{2},$$

и, таким образом, будет выполнен второй такт преобразования.

Аналогично будут выполняться все остальные такты работы АЦП: всего будет выполнено $2n$ тактов. При этом в процессе преобразования напряжение U_x будет уравниваться суммой эталонных напряжений, поступающих с ЦАП 1 и ЦАП 2 через суммирующий операционный усилитель 5 на второй вход блока 6. В конце преобразования напряжение U_x уравнивается суммой эталонных напряжений:

$$U_x \approx \sum_{i=0}^{2n-1} d_i U_{\Sigma i},$$

где d_i - цифры в разрядах выходного кода с основанием $\sqrt{2}$;

$U_{\Sigma i}$ - эталонные напряжения, снимаемые с разрядов ЦАП 1 (четных разрядов кода $\sqrt{2}$) и ЦАП 2 (нечетных разрядов кода 2).

В блоке 7 (в RS-триггерах 31) при этом будут созданы нечетные и четные разряды параллельного кода с иррациональным основанием $\sqrt{2}$, который при равенстве входного и компенсирующего напряжений будет соответствовать входному напряжению. В момент поступления в регистр 30 $(2n+1)$ -го импульса единичный потенциал нулевого разряда регистра 30 приложится к инверсному входу элемента 32, прекращая появление импульсов на втором входе регистра 30. Окончательно процесс преобразования заканчивается после приложения в шины 23 и 24 единичных сигналов управления, под воздействием которых информация нечетных разрядов RS-триггеров 31 запишется в нечетные разряды регистра 10, а информация четных разрядов RS-триггеров 31 - в четные разряды регистра 10.

Таким образом будет сформирован цельный параллельный код с основанием $\sqrt{2}$.

Для обеспечения режима независимого преобразования входных напряжений U_{x1} и U_{x2} в двоичные коды N_{x1}

и N_{x2} необходимо установить коэффициент передачи масштабирующего операционного усилителя 4 равным единице, тогда опорное напряжение U_0 будет одинаковым в ЦАП 1 и 2. Триггер 11 устанавливается в единичное состояние, преобразуемые напряжения U_{x1} и U_{x2} прилагаются соответственно к

шинам 20 и 21, а единичный управляющий сигнал - к входам 26 и 27, нулевые сигналы - к шинам 23 и 24 и входу 28 управления. Работа АЦП в данном режиме начинается (как и в первом режиме) в момент подачи импульса запуска в шину 22. При этом единица записывается в $(2n+1)$ -й разряд регистра 30, а RS-триггер 31 старшего $(2n-1)$ -го разряда устанавливается в состояние "1", а все остальные - в состояние "0". В первом такте работы АЦП блок 6 сравнивает входное напряжение U_{x1} с эталонным $U_{\Sigma(2n-1)}$, подаваемым с ЦАП 2 и соответствующим единице старшего разряда параллельного двоичного кода:

$$U_{x1} \geq U_{\Sigma(2n-1)}$$

Если $U_{x1} > U_{\Sigma(2n-1)}$, то на выходе блока 6 сравнения не будет импульса, а в RS-триггере 31 сохраняется единица; если $U_{x1} < U_{\Sigma(2n-1)}$, то блок 6 выдаст импульс, который, пройдя через $(2n-1)$ -й элемент И 29 установит $(2n-1)$ -й RS-триггер 31 в нулевое состояние. Второй такт начинается в момент появления импульса на выходе элемента 32 запрета, который устанавливает триггер 11 в нулевое состояние, подключая напряжение U_{x2} с помощью ключа 13 к первому входу блока 6 и сдвигает единицу в $2n$ -й разряд регистра 23, что приводит к установке $(2n-2)$ -го RS-триггера 31 в единичное состояние, обеспечивая тем самым подачу эталонного напряжения $U_{\Sigma(2n-2)}$ с ЦАП 1 через суммирующий операционный усилитель 5 к второму входу блока 6. В результате происходит процедура сравнения напряжения U_{x2} с $U_{\Sigma(2n-2)}$

(аналогично ранее рассмотренной). Таким образом, выполняются и все остальные такты АЦП. Всего будет выполнено $2n$ тактов. Последовательное включение эталонных напряжений и фиксация параллельных двоичных кодов N_{x1} и N_{x2} осуществляется по сигналам

генератора 33 тактовых импульсов регистром 30 и цепочкой $2n-1$ RS-триггеров 31. Работа генератора 33 прекращается в момент, когда единица в регистре 30 дойдет до последней (нулевой) позиции. В конце преобразования напряжения U_{x_1} и U_{x_2} уравниваются суммами эталонных напряжений, снимаемых с ЦАП 1 и ЦАП 2:

$$U_{x_1} \approx \sum_{i=1}^{2n-1} d_i U_{zi};$$

$$U_{x_2} \approx \sum_{j=0}^{2n-2} d_j U_{zj};$$

где d_i и d_j - двоичные цифры соответственно нечетных и четных разрядов $2n$ RS-триггеров 31;

U_{zi} и U_{zj} - эталонные напряжения, снимаемые с ЦАП 1 и ЦАП 2,

$i \in \{1, 3, 5, \dots, 2n-3, 2n-1\}$, а
 $j \in \{0, 2, 4, \dots, 2n-4, 2n-2\}$.

Таким образом, двоичный код N_{x_1} , соответствующий напряжению U_{x_1} , будет зафиксирован нечетными RS-триггерами 31, а двоичный код N_{x_2} , соответствующий напряжению U_{x_2} - четными RS-триггерами 31. Для записи двоичных кодов N_{x_1} и N_{x_2} соответственно в младшие n разрядов и в старшие n разрядов регистра 10 необходимо в шину 24 подать сигнал разрешения передачи. Тогда цифровая информация нечетных и четных разрядов RS-триггеров с помощью коммутаторов 8 и 9 подключится к соответствующим входам регистра 10.

Ф о р м у л а и з о б р е т е н и я

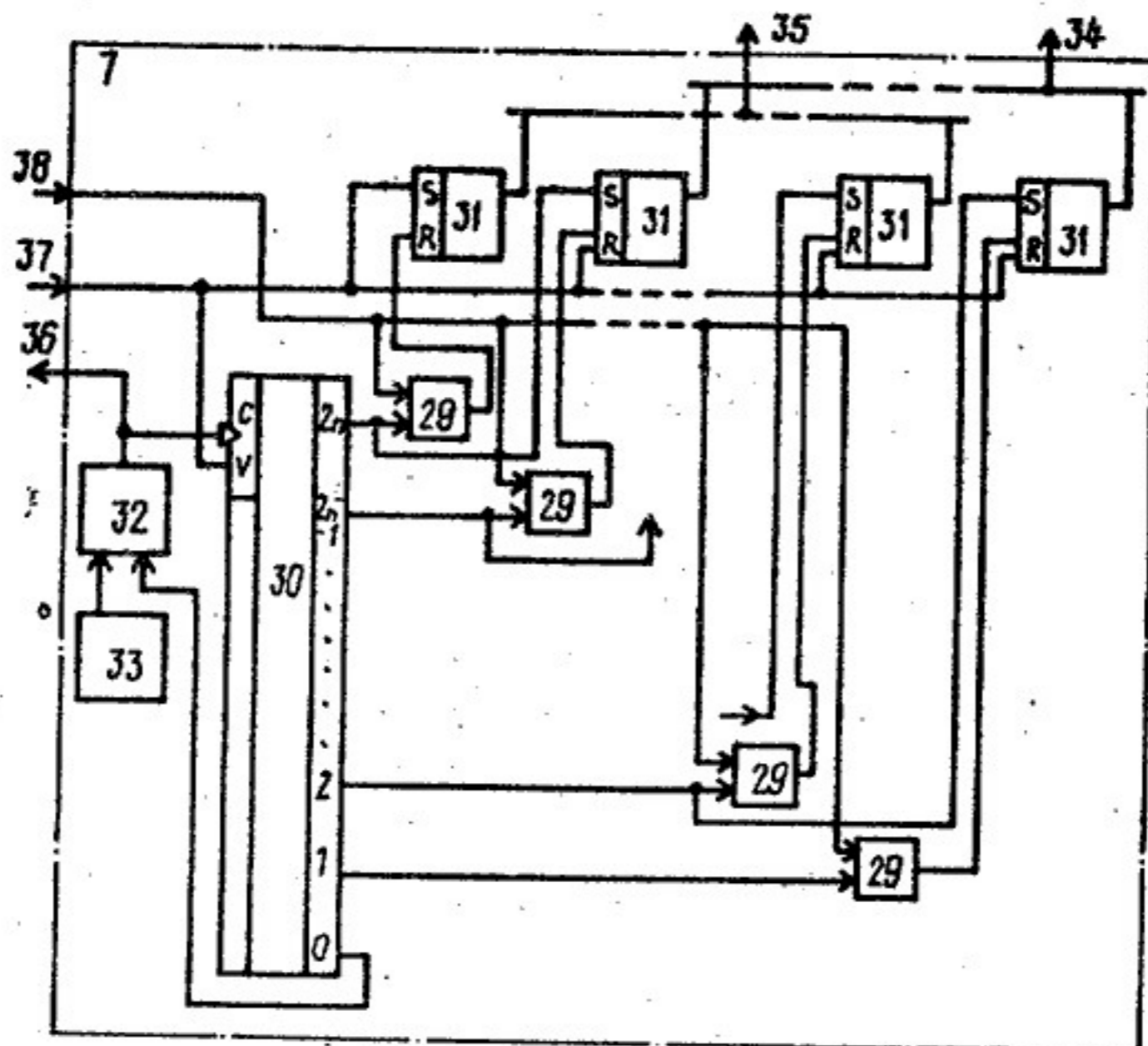
1. Аналого-цифровой преобразователь, содержащий регистр, первый цифроаналоговый преобразователь, блок сравнения, выход которого соединен с первым входом блока управления, второй вход которого является шиной запуска, о т л и ч а ю щ и й с я тем, что, с целью расширения функциональных возможностей путем обеспечения дополнительной функции преобразования напряжения в код с иррациональным основанием $\sqrt{2}$, в него введены источник опорного напряжения, шесть аналоговых ключей, два элемента И, триггер, два коммутатора, мас-

штабирующий и суммирующий операционные усилители, второй цифроаналоговый преобразователь, причем информационные входы первого цифроаналогового преобразователя объединены соответственно с первыми информационными входами первого и второго коммутаторов и соединены с первыми выходами блока управления, вторые входы которого соединены соответственно с вторыми информационными входами первого и второго коммутаторов и информационными входами второго цифроаналогового преобразователя, вход опорного напряжения которого соединен с выходами первого и второго аналоговых ключей, аналоговые входы которых объединены и соединены с выходом масштабирующего операционного усилителя, управляющий вход первого аналогового ключа объединен с управляющим входом третьего аналогового ключа и является первой шиной управления, управляющий вход второго аналогового ключа соединен с выходом первого элемента И, вход масштабирующего операционного усилителя объединен с аналоговыми входами третьего и четвертого аналоговых ключей и соединен с выходом источника опорного напряжения, выходы третьего и четвертого аналоговых ключей соединены с входом опорного напряжения первого цифроаналогового преобразователя, управляющий вход четвертого аналогового ключа объединен с управляющим входом пятого аналогового ключа и соединен с инверсным выходом триггера, прямой выход которого соединен с управляющим входом шестого аналогового ключа и первым входом первого элемента И, второй вход которого является второй шиной управления, вход установки в "1" триггера является третьей шиной управления, счетный вход триггера соединен с выходом второго элемента И, первый вход которого соединен с третьим выходом блока управления, второй вход является четвертой шиной управления, аналоговые входы пятого и шестого аналоговых ключей являются соответственно первой и второй входными шинами, выходы пятого и шестого аналоговых ключей соединены с первым входом блока сравнения, второй вход которого соединен с выходом суммирующего операционного усилителя, первый и второй входы которого соедине-

ны соответственно с выходами первого и второго цифроаналоговых преобразователей, третьи управляющие входы первого и второго коммутаторов объединены и являются шиной управления режимами преобразования, четвертые управляющие входы первого и второго коммутаторов объединены и являются шиной разрешения передачи, выходы первого и второго коммутаторов соединены соответственно с первым и вторым входами регистра.

2. Преобразователь по п.1, отличающийся тем, что блок управления выполнен на генераторе тактовых импульсов, $2n$ RS-триггерах, где n - число разрядов, регистре сдвига, элементе запрета, $2n$ элементах И, первые входы которых объединены и являются первым входом блока, второй вход каждого i -го элемента И

объединен с S-входом $(i+1)$ -го RS-триггера и соединен с i -м выходом регистра сдвига, S-вход первого RS-триггера объединен с первыми R-входами $2n$ RS-триггеров, кроме первого RS-триггера, первым входом регистра сдвига и является вторым входом блока, R-вход первого RS-триггера и вторые R-входы $2n-1$ RS-триггеров соединены с выходами соответствующих $2n$ элементов И, второй вход регистра сдвига соединен с выходом элемента запрета и является третьим выходом блока, инверсный вход элемента запрета соединен с $(2n+1)$ -м выходом регистра сдвига, прямой вход элемента запрета соединен с выходом генератора тактовых импульсов, выходы четных и нечетных $2n$ RS-триггеров являются соответственно первыми и вторыми выходами блока.



Фиг. 2

Составитель А. Титов

Редактор А. Ревин

Техред Л. Сердюкова

Корректор В. Гирняк

Заказ 85

Тираж 668

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101