



УКРАЇНА

(19) **UA** (11) **99335** (13) **U**
(51) МПК

H03F 3/26 (2006.01)

G05B 1/01 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

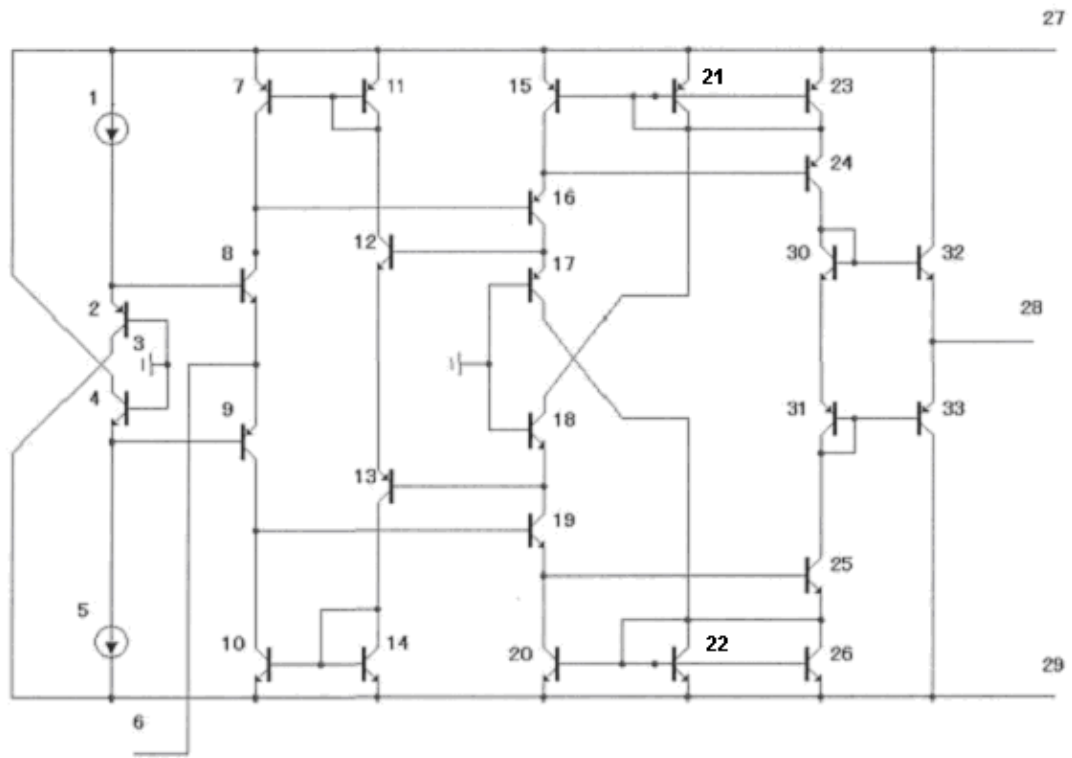
(21) Номер заявки: u 2015 00053	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Гарнага Володимир Анатолійович (UA), Філіпчук Віталій Сергійович (UA)
(22) Дата подання заявки: 05.01.2015	
(24) Дата, з якої є чинними права на корисну модель: 25.05.2015	
(46) Публікація відомостей про видачу патенту: 25.05.2015, Бюл.№ 10	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

(57) Реферат:

Двотактний симетричний підсилювач струму містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, двадцять два транзистори. В пристрій додатково введено чотири транзистори. При цьому бази першого та другого транзисторів об'єднано між собою та з'єднано з шиною нульового потенціалу, бази третього та четвертого транзисторів з'єднано з емітерами першого та другого транзисторів відповідно, емітери двадцять третього та двадцять четвертого транзисторів об'єднано між собою, бази двадцять п'ятого та двадцять шостого транзисторів з'єднано з базами двадцять третього та двадцять четвертого транзисторів відповідно, колектори двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами двадцять першого та двадцять другого транзисторів відповідно, колектори двадцять п'ятого та двадцять шостого транзисторів підключено до шин додатного та від'ємного живлення відповідно, емітери двадцять п'ятого та двадцять шостого транзисторів з'єднано з вихідною шиною.

UA 99335 U



Корисна модель належить до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо двотактний симетричний підсилювач струму (Push-pull amplifier with current mirrors for determining the quiescent operating point, United States Patent 3,852,678, Dec.3, 1974), який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною. Недоліком пристрою є низький коефіцієнт підсилення, що обмежує галузь його використання.

Як найближчий аналог вибрано двотактний симетричний підсилювач струму (Патент України № 61272, М.К.Л Н03К 5/24, опубліковано 11.07.2011), який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, двадцять два транзистори, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, колектори третього і четвертого транзисторів з'єднано з колекторами сьомого та восьмого транзисторів відповідно, бази сьомого та восьмого транзисторів з'єднано з колекторами та базами дев'ятого та десятого транзисторів відповідно, а також з колекторами одинадцятого та дванадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів об'єднано між собою, бази одинадцятого та дванадцятого транзисторів з'єднано з емітерами п'ятнадцятого та шістнадцятого транзисторів відповідно, а також з колекторами п'ятого та шостого транзисторів, бази п'ятнадцятого та шістнадцятого транзисторів з'єднано з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднано з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, а також з базами двадцять першого та двадцять другого транзисторів відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднано з базами та колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, а також з базами дев'ятнадцятого та двадцятого транзисторів відповідно, а також з колекторами п'ятнадцятого та шістнадцятого транзисторів відповідно, а також з емітерами двадцять першого та двадцять другого транзисторів відповідно, колектори двадцять першого та двадцять другого транзисторів з'єднано з вихідною шиною, емітери сьомого, дев'ятого, тринадцятого, сімнадцятого та дев'ятнадцятого транзисторів підключено до шини додатного живлення, емітери восьмого, десятого, чотирнадцятого, вісімнадцятого та двадцятого транзисторів підключено до шини від'ємного живлення.

Недоліком найближчого аналога є недостатньо високий коефіцієнт підсилення, що призводить до збільшення похибок при роботі схеми.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність роботи завдяки збільшенню коефіцієнта передачі, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, двадцять два транзистори, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи яких з'єднано з шинами додатного і від'ємного живлення відповідно, колектори третього і четвертого транзисторів з'єднано з колекторами сьомого та восьмого транзисторів відповідно, бази сьомого та восьмого транзисторів з'єднано з колекторами та базами дев'ятого та десятого транзисторів відповідно, а

також з колекторами одинадцятого та дванадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів об'єднано між собою, бази одинадцятого та дванадцятого транзисторів з'єднано з емітерами п'ятнадцятого та шістнадцятого транзисторів відповідно, а також з колекторами п'ятого та шостого транзисторів, бази п'ятнадцятого та шістнадцятого транзисторів з'єднано з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднано з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, а також з базами двадцять першого та двадцять другого транзисторів відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднано з базами та колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, а також з базами та колекторами дев'ятнадцятого та двадцятого транзисторів відповідно, а також з колекторами п'ятнадцятого та шістнадцятого транзисторів відповідно, а також з емітерами двадцять першого та двадцять другого транзисторів відповідно, колектори двадцять першого та двадцять другого транзисторів з'єднано з вихідною шиною, емітери сьомого, дев'ятого, тринадцятого, сімнадцятого та дев'ятнадцятого транзисторів підключено до шини додатного живлення, емітери восьмого, десятого, чотирнадцятого, вісімнадцятого та двадцятого транзисторів підключено до шини від'ємного живлення, введено чотири транзистори, причому бази першого та другого транзисторів об'єднано між собою та з'єднано з шиною нульового потенціалу, бази третього та четвертого транзисторів з'єднано з емітерами першого та другого транзисторів відповідно, емітери двадцять третього та двадцять четвертого транзисторів об'єднано між собою, бази двадцять п'ятого та двадцять шостого транзисторів з'єднано з базами двадцять третього та двадцять четвертого транзисторів відповідно, колектори двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами двадцять першого та двадцять другого транзисторів відповідно, колектори двадцять п'ятого та двадцять шостого транзисторів підключено до шин додатного та від'ємного живлення відповідно, емітери двадцять п'ятого та двадцять шостого транзисторів з'єднано з вихідною шиною.

На кресленні представлено принципову схему двотактного симетричного підсилювача струму.

Пристрій містить вхідну шину 6, яку з'єднано з емітерами третього 8 і четвертого 9 транзисторів, бази першого 2 і другого 4 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 3, бази третього 8 і четвертого 9 транзисторів з'єднано з емітерами першого 2 і другого 4 транзисторів відповідно, а також з першими виводами першого 1 і другого 5 джерел струму, другі виводи першого 1 і другого 5 джерел струму з'єднано з шиною, додатного 27 і від'ємного 29 живлення відповідно, колектори третього 8 і четвертого 9 транзисторів з'єднано з колекторами сьомого 7 та восьмого 10 транзисторів відповідно, бази сьомого 7 та восьмого 10 транзисторів з'єднано з колекторами та базами дев'ятого 11 та десятого 14 транзисторів відповідно, а також з колекторами одинадцятого 12 та дванадцятого 13 транзисторів відповідно, емітери одинадцятого 12 та дванадцятого 13 транзисторів об'єднано між собою, бази одинадцятого 12 та дванадцятого 13 транзисторів з'єднано з емітерами п'ятнадцятого 17 та шістнадцятого 18 транзисторів відповідно, а також з колекторами п'ятого 16 та шостого 19 транзисторів, бази п'ятнадцятого 17 та шістнадцятого 18 транзисторів з'єднано з шиною нульового потенціалу 3, емітери п'ятого 16 та шостого 19 транзисторів з'єднано з колекторами тринадцятого 15 та чотирнадцятого 20 транзисторів відповідно, а також з базами двадцять першого 24 та двадцять другого 25 транзисторів відповідно, бази тринадцятого 15 та чотирнадцятого 20 транзисторів з'єднано з базами та колекторами сімнадцятого 21 та вісімнадцятого 22 транзисторів відповідно, а також з базами та колекторами дев'ятнадцятого 23 та двадцятого 26 транзисторів відповідно, а також з колекторами п'ятнадцятого 17 та шістнадцятого 18 транзисторів відповідно, а також з емітерами двадцять першого 24 та двадцять другого 25 транзисторів відповідно, емітери двадцять третього 30 та двадцять четвертого 31 транзисторів об'єднано між собою, бази двадцять п'ятого 32 та двадцять шостого 33 транзисторів з'єднано з базами двадцять третього 30 та двадцять четвертого 31 транзисторів відповідно, колектори двадцять третього 30 та двадцять четвертого 31 транзисторів з'єднано з колекторами двадцять першого 24 та двадцять другого 25 транзисторів відповідно, емітери двадцять п'ятого 32 та двадцять шостого 33 транзисторів з'єднано з вихідною шиною 28, емітери сьомого 7, дев'ятого 11, тринадцятого 15, сімнадцятого 21 та дев'ятнадцятого 23 транзисторів підключено до шини додатного живлення 27, емітери восьмого 10, десятого 14, чотирнадцятого 20, вісімнадцятого 22 та двадцятого 26 транзисторів підключено до шини від'ємного живлення 29, колектори двадцять п'ятого 32 та двадцять шостого 33 транзисторів підключено до шин додатного 27 та від'ємного живлення 29 відповідно.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 6. Якщо вхідний струм втікає у схему, то четвертий 9 транзистор трохи відкривається, а третій 8 транзистор трохи закривається, відповідно шостий 19 транзистор трохи відкривається, а п'ятий 16 транзистор трохи закривається, відповідно двадцять шостий 33 транзистор трохи відкривається, а двадцять п'ятий 32 транзистор трохи закривається. При цьому потенціал точки об'єднання колекторів двадцять п'ятого 32 та двадцять шостого 33 транзисторів зменшується і прямує до напруги живлення - Уж.

Якщо вхідний струм витікає зі схеми, то четвертий 9 транзистор трохи закривається, а третій 8 транзистор трохи відкривається, відповідно шостий 19 транзистор трохи закривається, а п'ятий 16 транзистор трохи відкривається, відповідно двадцять шостий 33 транзистор трохи закривається, а двадцять п'ятий 32 транзистор трохи відкривається. При цьому потенціал точки об'єднання колекторів двадцять п'ятого 32 та двадцять шостого 33 транзисторів збільшується і прямує до напруги живлення Уж.

Вхідна 6 та вихідна 28 шини утворюють вхід та вихід схеми.

Шини додатного 27 та від'ємного 29 живлення, а також шина нульового потенціалу 3 задають необхідний рівень напруги для живлення схеми.

Перше 1, друге 5 джерела струму та перший 2, другий 4 транзистори задають напругу зміщення для третього 8 та четвертого 9 транзистора, які в свою чергу працюють як вхідний каскад.

Відбивачі на сьомому 7, дев'ятому 11 та восьмому 10, десятому 14 транзисторах є компенсаторами і відсмоктують надлишковий струм від баз п'ятого 16 та шостого 19 транзисторів, які є проміжним підсилювальним каскадом.

Одинадцятий 12, дванадцятий 13, п'ятнадцятий 17 та шістнадцятий 18 транзистори утворюють двонаправлений відбивач струму, який задає режим робочої точки для проміжного і вихідного каскаду.

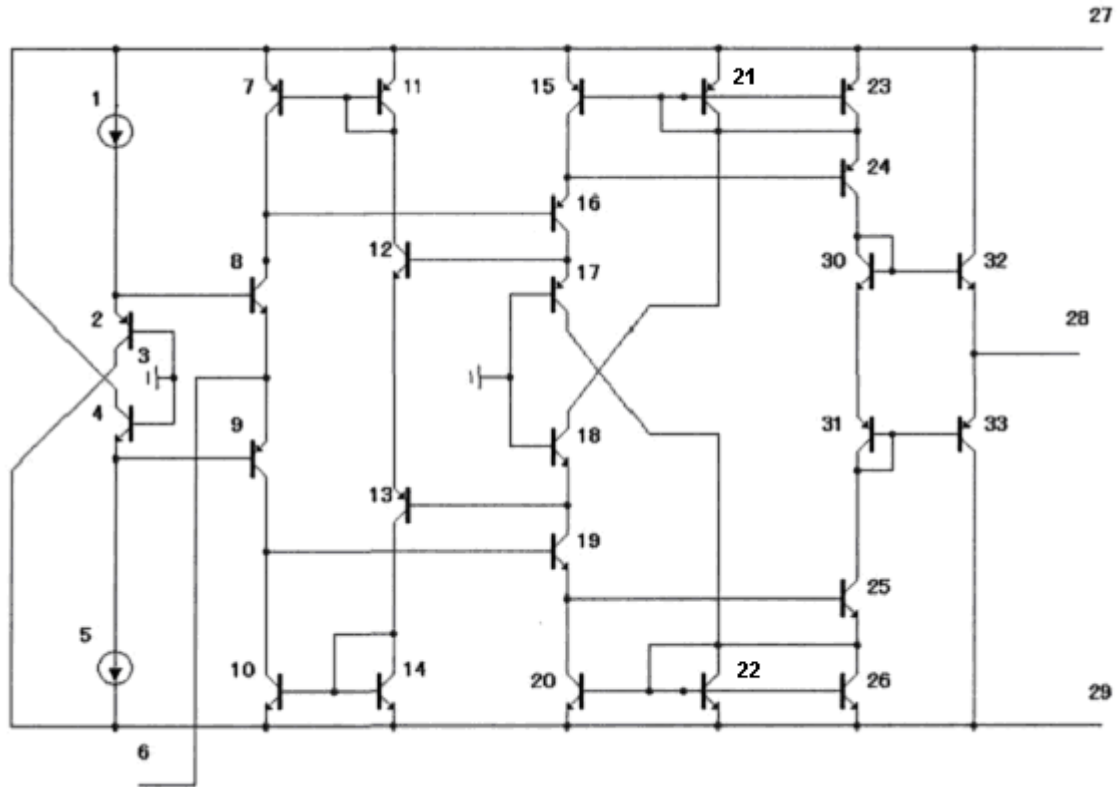
Тринадцятий 15, сімнадцятий 21, дев'ятнадцятий 23, двадцять перший 24 та чотирнадцятий 20, вісімнадцятий 22, двадцятий 26, двадцять другий 25 транзистори утворюють відбивачі струму, які з'єднують проміжний підсилювальний каскад з вихідним каскадом.

Двадцять третій 30, двадцять четвертий 31, двадцять п'ятий 32 та двадцять шостий 33 транзистори утворюють вихідний підсилювальний каскад.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Двотактний симетричний підсилювач струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, двадцять два транзистори, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи яких з'єднано з шинами додатного і від'ємного живлення відповідно, колектори третього і четвертого транзисторів з'єднано з колекторами сьомого та восьмого транзисторів відповідно, бази сьомого та восьмого транзисторів з'єднано з колекторами та базами дев'ятого та десятого транзисторів відповідно, а також з колекторами одинадцятого та дванадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів об'єднано між собою, бази одинадцятого та дванадцятого транзисторів з'єднано з емітерами п'ятнадцятого та шістнадцятого транзисторів відповідно, а також з колекторами п'ятого та шостого транзисторів, бази п'ятнадцятого та шістнадцятого транзисторів з'єднано з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднано з колекторами тринадцятого та чотирнадцятого транзисторів відповідно, а також з базами двадцять першого та двадцять другого транзисторів відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднано з базами та колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, а також з базами та колекторами дев'ятнадцятого та двадцятого транзисторів відповідно, а також з колекторами п'ятнадцятого та шістнадцятого транзисторів відповідно, а також з емітерами двадцять першого та двадцять другого транзисторів відповідно, колектори двадцять першого та двадцять другого транзисторів з'єднано з вихідною шиною, емітери сьомого, дев'ятого, тринадцятого, сімнадцятого та дев'ятнадцятого транзисторів підключено до шини додатного живлення, емітери восьмого, десятого, чотирнадцятого, вісімнадцятого та двадцятого транзисторів підключено до шини від'ємного живлення, який **відрізняється** тим, що у нього введено чотири транзистори, причому бази першого та другого транзисторів об'єднано між

- 5 собою та з'єднано з шиною нульового потенціалу, бази третього та четвертого транзисторів з'єднано з емітерами першого та другого транзисторів відповідно, емітери двадцять третього та двадцять четвертого транзисторів об'єднано між собою, бази двадцять п'ятого та двадцять шостого транзисторів з'єднано з базами двадцять третього та двадцять четвертого транзисторів відповідно, колектори двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами двадцять першого та двадцять другого транзисторів відповідно, колектори двадцять п'ятого та двадцять шостого транзисторів підключено до шин додатного та від'ємного живлення відповідно, емітери двадцять п'ятого та двадцять шостого транзисторів з'єднано з вихідною шиною.



Комп'ютерна верстка Л. Ціхановська

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601