



УКРАЇНА

(19) **UA** (11) **99016** (13) **U**  
(51) МПК  
*Н03К 19/08* (2006.01)

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

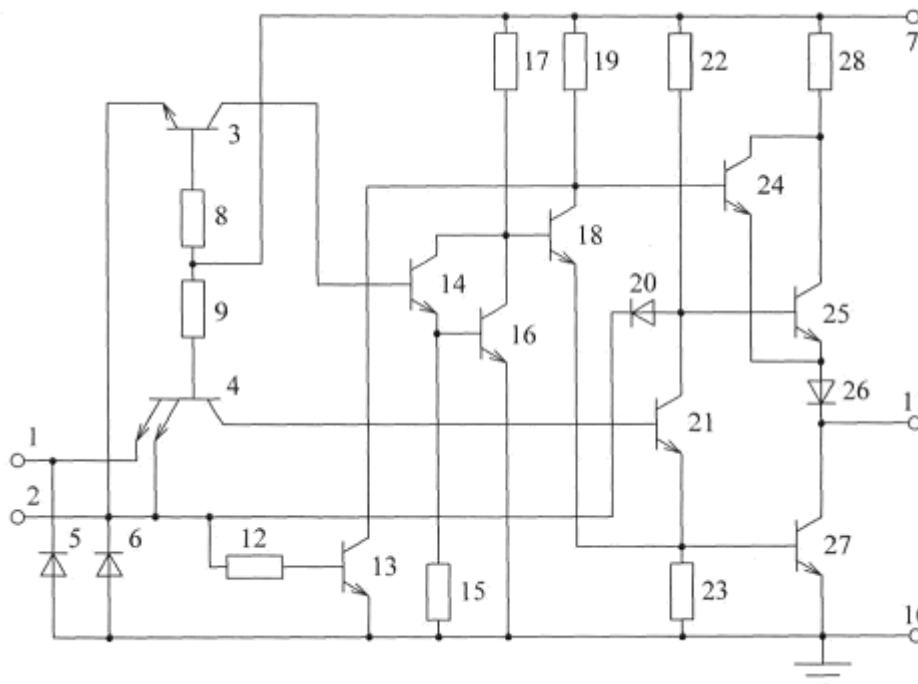
## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: <b>u 2014 13745</b>	(72) Винахідник(и): <b>Стронський Віктор Володимирович (UA), Гузь Максим Дмитрович (UA)</b>
(22) Дата подання заявки: <b>22.12.2014</b>	(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b>
(24) Дата, з якої є чинними права на корисну модель: <b>12.05.2015</b>	
(46) Публікація відомостей про видачу патенту: <b>12.05.2015, Бюл.№ 9</b>	

## (54) ЛОГІЧНИЙ ЕЛЕМЕНТ

### (57) Реферат:

Логічний елемент містить джерело постійної напруги, перший, другий входи, вихід пристрою, вхідний двоємітерний транзистор, перший, другий вхідні діоди, перший проміжний транзистор, транзистор першого фазорозподільного каскаду, перший, другий вхідні транзистори, проміжний і вихідний діоди, перший вхідний резистор, перший, другий резистори першого фазорозподільного каскаду, проміжний резистор, вихідний резистор, перший і другий вихідні транзистори. Також в логічний елемент введено вхідний транзистор, перший, другий транзистори інвертуючого каскаду, транзистор другого фазорозподільного каскаду, третій вихідний транзистор, другий вхідний резистор, перший, другий резистори інвертуючого каскаду, резистор другого фазорозподільного каскаду.



UA 99016 U



Корисна модель належить до області мікроелектроніки і обчислювальної техніки та призначена для побудови цифрових пристроїв порівняння.

Відомий неінвертуючий вентиль містить звичайний каскад за схемою Дарлінгтона і в підсумку пристрій виконує логічну операцію I-NI-NI, містить джерело постійної напруги та має перший, другий входи, вихід та складається з вхідного резистора, вхідного двоємітерного транзистора, першого, другого транзисторів інвертуючого каскаду, першого, другого резисторів інвертуючого каскаду, транзистора фазорозподільного каскаду, першого, другого резисторів фазорозподільного каскаду, першого, другого, третього вихідних транзисторів, вхідного резистора, першого, другого додаткових вихідних резисторів, причому перший, другий емітери вхідного двоємітерного транзистора підключені до першого, другого входів пристрою, база через вхідний резистор підключена до позитивного полюса джерела постійної напруги, колектор з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор інвертуючого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого транзистора інвертуючого каскаду, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий резистор інвертуючого каскаду підключений до позитивного полюса джерела постійної напруги та з'єднаний з колектором першого транзистора інвертуючого каскаду і базою транзистора фазорозподільного каскаду, емітер якого через другий резистор фазорозподільного каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий додатковий вихідний резистор з'єднаний з емітером транзистора фазорозподільного каскаду та підключений до виходу пристрою і з'єднаний з емітером першого вихідного транзистора, база якого через перший додатковий вихідний резистор підключена до загальної шини джерела постійної напруги і з'єднана з емітером третього вихідного транзистора, колектор першого вихідного транзистора через вихідний резистор підключений до позитивного полюса джерела постійної напруги і з'єднаний з колектором третього вихідного транзистора, база якого через перший резистор фазорозподільного каскаду підключена до позитивного полюса джерела постійної напруги і з'єднана з колектором транзистора фазорозподільного каскаду [див. Скарлетт Дж. Транзисторно-транзисторные логические интегральные схемы и их применение. Пер. с англ. В.Л. Левина и Л.С. Ходоша. Под ред. Б.И. Ермолаева. - М.: Мир, 1974, фиг. 7.1. - С. 73].

Недоліком такого пристрою є те, що він реалізує логічну функцію "I" і в цифрових пристроях порівняння цей елемент може застосовуватись в парі з логічним елементом "АБО-НІ", що вдвічі збільшує кількість логічних елементів в цифрових пристроях порівняння, а це, в свою чергу, збільшує потужність споживання і показники відмовостійкості за раптовими відмовами цифрового пристрою порівняння.

Як найближчий аналог вибрано логічний елемент [див. Соломатин Н. М. Логические элементы ЭВМ. - М.: Высшая школа, 1980, рис. 3.6д. - С. 92], який містить вхідний двоємітерний транзистор, два вхідних діода, вхідний резистор, проміжний резистор, проміжний транзистор, проміжний діод, транзистор першого фазорозподільного каскаду, перший, другий резистори фазорозподільного каскаду, вихідний резистор, вихідний діод, перший, другий вихідні транзистори, причому джерело постійної напруги, перший, другий, третій входи пристрою та його вихід утворені вхідним двоємітерним транзистором, першим, другим вхідними діодами, першим вхідним резистором, проміжним резистором, проміжним транзистором, проміжним діодом, транзистором першого фазорозподільного каскаду, першим, другим резисторами першого фазорозподільного каскаду, вихідним резистором, першим, другим вихідними транзисторами, вихідним діодом, причому перший емітер вхідного двоємітерного транзистора підключений до першого входу пристрою і з'єднаний з катодом першого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, другий емітер вхідного двоємітерного транзистора підключений до другого входу пристрою і з'єднаний з катодом проміжного діода та катодом другого вхідного діода, катод якого підключений до загальної шини джерела постійної напруги, база вхідного двоємітерного транзистора через вхідний резистор підключена до позитивного полюса джерела постійної напруги, колектор з'єднаний з базою транзистора першого фазорозподільного каскаду, емітер якого через другий резистор першого фазорозподільного каскаду підключений до загальної шини джерела постійної напруги та з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор підключений до виходу пристрою і з'єднаний з катодом вихідного діода, анод якого з'єднаний з емітером першого вихідного транзистора, колектор якого через вихідний резистор підключений до позитивного полюса джерела постійної напруги, база через перший резистор першого фазорозподільного каскаду підключена до позитивного

полюса джерела постійної напруги і з'єднана з анодом проміжного діода, колектором транзистора першого фазорозподільного каскаду і колектором проміжного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, база з'єднана з першим виводом проміжного резистора, другий вивід якого підключений до третього входу пристрою.

5 Недоліком такого пристрою є те, що він реалізує логічну функцію "І-НІ" і в цифрових пристроях порівняння цей елемент може застосовуватись в парі з логічним елементом "АБО", що вдвічі збільшує кількість логічних елементів в цифрових пристроях порівняння, а це в свою чергу підвищує потужність споживання цифрового пристрою порівняння і знижує показники відмовостійкості за раптовими відмовами.

10 В основу корисної моделі поставлена задача створення такого логічного елемента, в якому за рахунок введення нових елементів і зв'язків між ними реалізовано логічну функцію "ЗАБОРОНА" в один ступінь швидкодії, що дозволяє спростити цифрові пристрої за рахунок зменшення, кількості логічних елементів, а це призводить до підвищення відмовостійкості цих цифрових пристроїв за раптовими відмовами.

15 Поставлена задача вирішується тим, що в логічний елемент, який містить джерело постійної напруги, перший, другий входи, вихід пристрою, вхідний двоємітерний транзистор, перший, другий вхідні діоди, перший проміжний транзистор, транзистор першого фазорозподільного каскаду, перший, другий вхідні транзистори, проміжний і вихідний діоди, перший вхідний резистор, перший, другий резистори першого фазорозподільного каскаду, проміжний резистор, 20 вихідний резистор, перший і другий вихідні транзистори, причому база вхідного двоємітерного транзистора через перший вхідний резистор підключена до позитивного полюса джерела постійної напруги, перший емітер з'єднаний з катодом першого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, другий емітер з'єднаний з катодом проміжного діода і катодом другого вхідного діода, анод якого підключений до загальної шини 25 джерела постійної напруги, колектор з'єднаний з базою транзистора першого фазорозподільного каскаду, емітер якого через другий резистор першого фазорозподільного каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор підключений до виходу пристрою і з'єднаний з катодом вихідного діода, анод якого з'єднаний з емітером першого вихідного транзистора, колектор якого через вихідний резистор 30 підключено до позитивного полюса джерела постійної напруги, а база з'єднана з анодом проміжного діода і колектором транзистора першого фазорозподільного каскаду та через перший резистор першого фазорозподільного каскаду підключений до позитивного полюса джерела постійної напруги, а також емітер першого проміжного транзистора підключений до загальної шини джерела постійної напруги, база з'єднана з першим входом проміжного 35 резистора, введено вхідний транзистор, перший, другий транзистори інвертуючого каскаду, транзистор другого фазорозподільного каскаду, третій вихідний транзистор, другий вхідний резистор, перший, другий резистори інвертуючого каскаду, резистор другого фазорозподільного каскаду, причому другий вивід проміжного резистора з'єднаний з катодами проміжного і другого вхідного діодів та емітером вхідного транзистора, база якого через другий вхідний резистор 40 підключена до позитивного полюса джерела постійної напруги, колектор з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор інвертуючого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний із базою другого транзистора інвертуючого каскаду, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий резистор інвертуючого каскаду підключений до позитивного полюса джерела постійної напруги та з'єднаний з колектором першого транзистора інвертуючого каскаду і базою транзистора другого фазорозподільного каскаду, емітер якого з'єднаний з емітером транзистором першого фазорозподільного каскаду і базою другого вихідного транзистора та через другий резистор першого фазорозподільного каскаду 45 підключений до загальної шини джерела постійної напруги, колектор другого фазорозподільного каскаду через резистор другого фазорозподільного каскаду підключений до позитивного полюса джерела постійної напруги та з'єднаний з колектором проміжного транзистора і базою третього вихідного транзистора, колектор якого з'єднаний з колектором другого вихідного транзистора і через вихідний резистор підключений до позитивного полюса 50 джерела постійної напруги, а емітер з'єднаний з емітером другого вихідного транзистора і анодом вихідного діода.

На кресленні зображена схема логічного елемента.

60 Пристрій містить позитивний полюс 7 і загальну шину 10 джерела постійної напруги, перший 1, другий 2 входи і вихід 11 пристрою, вхідний 3 і вхідний двоємітерний 4 транзистори, перший 5 і другий 6 вхідні діоди, перший 9, другий 8 вхідні резистори, проміжний резистор 12, проміжний

транзистор 13, проміжний діод 20, перший 14, другий 16 транзистори інвертуючого каскаду, перший 15, другий 17 резистори інвертуючого каскаду, транзистор 18 другого фазорозподільного каскаду, резистор 19 другого фазорозподільного каскаду, транзистор 21 першого фазорозподільного каскаду, перший 22 і другий 23 резистори першого фазорозподільного каскаду, третій 24 і перший 25 вихідні транзистори, вихідний резистор 28, вихідний діод 26, другий вихідний транзистор 27, причому бази двоємітерного вхідного транзистора 4 і вхідного транзистора відповідно через перший 9 і другий 8 вхідні резистори підключені до позитивного полюса 7 джерела постійної напруги, перший емітер двоємітерного вхідного транзистора 4 підключений до першого входу 1 пристрою і з'єднаний з катодом першого вхідного діода 5, анод якого підключений до загальної шини 10 джерела постійної напруги, другий емітер двоємітерного вхідного транзистора 4 підключений до другого входу 2 пристрою, з'єднаний з емітером вхідного транзистора 3, першим виводом проміжного резистора 12, катодом проміжного діода 20, катодом другого вхідного діода 6, анод якого підключений до загальної шини 10 джерела постійної напруги, колектор двоємітерного вхідного транзистора 4 з'єднаний з базою транзистора 21 першого фазорозподільного каскаду, колектор якого з'єднаний з анодом проміжного діода 20 і базою першого вихідного транзистора 25 та через перший резистор 22 першого фазорозподільного каскаду підключений до позитивного полюса 7 джерела постійної напруги, емітер через другий резистор 23 першого фазорозподільного каскаду підключений до загальної шини 10 джерела постійної напруги і з'єднаний з емітером транзистора 18 другого фазорозподільного каскаду та базою другого вихідного транзистора 27, емітер якого підключений до загальної шини 10 джерела постійної напруги, колектор підключений до виходу 11 пристрою і з'єднаний з катодом вихідного діода 26, анод якого з'єднаний з емітером третього вихідного транзистора 24 і емітером другого вихідного транзистора 25, колектор якого через вихідний резистор 28 підключений до позитивного полюса 7 джерела постійної напруги і з'єднаний з колектором третього вихідного транзистора 24, база якого через резистор 19 другого фазорозподільного каскаду підключена до позитивного полюса 7 джерела постійної напруги і з'єднана з колектором транзистора 18 другого фазорозподільного каскаду і колектором проміжного транзистора 13, база якого з'єднана з другим виводом проміжного резистора 12, емітер підключений до загальної шини 10 джерела постійної напруги, база транзистора 18 другого фазорозподільного каскаду через другий резистор 17 інвертуючого каскаду підключена до позитивного полюса 7 джерела постійної напруги і з'єднана з колекторами першого 14 і другого 16 транзисторів інвертуючого каскаду, емітер другого транзистора 16 інвертуючого каскаду підключений до загальної шини 10 джерела постійної напруги, база через перший резистор 15 інвертуючого каскаду підключена до загальної шини 10 джерела постійної напруги і з'єднана з емітером першого транзистора 14 інвертуючого каскаду, база якого з'єднана з колектором вхідного транзистора 3.

Умовно розділимо логічний елемент (креслення) на дві частини: нижню частину логічного елемента на вхідному двоємітерному транзисторі 4, першому вхідному резисторі 9, першому 5, другому 6 вхідних діодах, першому 1, другому 2 входах пристрою, проміжному діоді 20, транзисторі першого фазорозподільного каскаду 21, першому 22, другому 23 резисторах першого фазорозподільного каскаду, першому 25, другому 27 вихідних транзисторах, вихідному резисторі 28, вихідному діоді 26, виході пристрою 11 та верхню частину логічного елемента на вхідному транзисторі 3, другому вхідному діоді 6, другому вході пристрою 2, другому вхідному резисторі 8, проміжному резисторі 12, проміжному транзисторі 13, першому 14, другому 16 транзисторах інвертуючого каскаду, першому 15, другому 17 резисторах інвертуючого каскаду, транзисторі 18 другого фазорозподільного каскаду, резисторі 19 другого фазорозподільного каскаду, другому резисторі 23 першого фазорозподільного каскаду, третьому 24, другому 27 вихідних транзисторах, вихідному резисторі 28, вихідному діоді 26, виході пристрою 11.

Логічний елемент працює наступним чином:

При низькій напрузі на першому 1, другому 2 входах пристрою, першому, другому емітерах вхідного двоємітерного транзистора 4, перший 5, другий 6 вхідні діоди будуть обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на першому 1, другому 2 входах пристрою, струм від позитивного полюса джерела постійної напруги 7 протікає через перший вхідний резистор 9 і відкриті емітерні переходи вхідного двоємітерного транзистора 4. В результаті, вхідний двоємітерний транзистор 4 відкривається, і напруги на його базі  $U_{б1} \approx 1,0$  В недостатньо, щоб відкрити транзистор 21 першого фазорозподільного каскаду, де потрібно  $U_{б2} \approx 2,1$  В. Від емітера закритого транзистора 21 першого фазорозподільного каскаду струм в базу другого вихідного транзистора 27 не надходить, що приводить до закритого стану другого вихідного транзистора 27, струм від позитивного полюса джерела постійної напруги 7 через проміжний діод 20 протікає на другий вхід 2 пристрою. На колекторі транзистора 21 першого

фазорозподільного каскаду низький потенціал ( $U_{к1} \approx 1,0$  В), якого недостатньо, щоб відкрити перший вихідний транзистор 25 і вихідний діод 26 (потрібно  $U_{к2} \approx 1,4$  В). Це призводить до закритого стану першого вихідного транзистора 25, вихідного діода 26. В результаті, перший 25, другий 27 вихідні транзистори і вихідний діод 26 закриті і на виході 11 пристрою "Z" стан з нескінченно високим опором, коли елемент повністю відключений від навантаження і не споживає та не віддає вихідний струм.

При високій напрузі на першому 1 вході і низькій напрузі на другому 2 вході пристрою другий вхідний діод 6 буде обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на другому 2 вході пристрою, струм від позитивного полюса джерела постійної напруги 7 протікає через перший вхідний резистор 9 і відкритий другий емітерний перехід вхідного двоємітерного транзистора 4. В результаті, вхідний двоємітерний транзистор 4 відкривається і напруги на його базі  $U_{б1} \approx 1,0$  В недостатньо для того, щоб відкрити транзистор 21 першого фазорозподільного каскаду (необхідно  $U_{б2} \approx 2,1$  В). Далі нижня частина логічного елемента працює аналогічно вище розглянутому випадку, коли на перший 1, другий 2 входи подані логічні "0". На виході 11 пристрою "Z" стан з нескінченно високим опором.

При низькій напрузі на першому 1 вході і високій напрузі на другому 2 вході пристрою перший вхідний діод 5 буде обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на першому 1 вході пристрою, струм від позитивного полюса джерела постійної напруги 7 протікає через перший вхідний резистор 9 і відкритий перший емітерний перехід вхідного двоємітерного транзистора 4. В результаті, вхідний двоємітерний транзистор 4 відкривається і напруги на його базі  $U_{б1} \approx 1,0$  В недостатньо для того, щоб відкрити транзистор 21 першого фазорозподільного каскаду (потрібно  $U_{б2} \approx 2,1$  В). Від емітера закритого транзистора 21 першого фазорозподільного каскаду струм в базу другого вихідного транзистора 27 не надходить, що приводить до закритого стану другого вихідного транзистора 27. Проміжний діод 20 закритий, тому що на його катод подано високий рівень напруги. Струм від позитивного полюса джерела постійної напруги 7 протікає через перший резистор 22 першого фазорозподільного каскаду в базу першого вихідного транзистора 25, що призводить до відкритого стану першого вихідного транзистора 25, вихідного діода 26. На виході 11 пристрою логічна "1". Вихідний резистор 28 запобігає перевантаженню першого вихідного транзистора 25, вихідного діода 26 в разі короткого замикання виходу 11 пристрою та при перемиканнях логічного елемента з логічної "1" в "0" або з логічного "0" в "1". Другий резистор 23 першого фазорозподільного каскаду забезпечує закритий стан другого вихідного транзистора 27. Слід додати, що перший вихідний транзистор 25, вихідний резистор 28, вихідний діод 26, перший резистор 22 першого фазорозподільного каскаду утворюють емітерний повторювач, що забезпечує передачу рівня напруги логічної "1".

Якщо на перший 1, другий 2 входи пристрою подано високу напругу, що відповідає рівню логічної одиниці на входах 1, 2, то перший 5, другий 6 вхідні діоди при цьому зворотного включені, тому що на катодах висока напруга логічної "1", а аноди підключені до загальної шини 10 джерела постійної напруги, що призводить до закритого стану вхідних діодів 5, 6. При цьому вхідний двоємітерний транзистор 4 працює в інверсному активному режимі і напруги на його базі  $U_{б2} \approx 2,1$  В достатньо для відкриття колекторного переходу вхідного двоємітерного транзистора 4, емітерних переходів транзистора 21 першого фазорозподільного каскаду і другого вихідного транзистора 27. На колекторі транзистора 21 першого фазорозподільного каскаду низький потенціал  $U_{к1} \approx 1,0$  В, якого недостатньо для відкриття проміжного діода 20, першого вихідного транзистора 25 і вихідного діода 26 (потрібно  $U_{к2} \approx 1,4$  В), що призводить до закритого стану проміжного діода 20 і першого вихідного транзистора 25. Вихід 11 пристрою через низький опір переходу колектор-емітер відкритого другого вихідного транзистора 27 підключений до загальної шини 10 джерела постійної напруги, а це відповідає рівню логічного нуля на виході 11 пристрою.

Таким чином, нижня частина логічного елемента в разі подачі логічної одиниці на другий вхід 2 пристрою реалізує логічну операцію I-NI, а в разі подання логічного нуля на другий вхід 2 пристрою на виході 11 пристрою буде "Z" стан з нескінченно високим опором.

При низькій напрузі на другому вході 2 пристрою другий вхідний діод 6 буде обмежувати амплітуду від'ємних сигналів, що відповідає рівню логічного нуля на другому вході 2 пристрою, струм від позитивного полюса джерела постійної напруги 7 протікає через другий вхідний резистор 8 і відкритий другий емітерний перехід вхідного двоємітерного транзистора 4. В результаті, вхідний двоємітерний транзистор 4 відкривається і напруги на його базі  $U_{б1} \approx 1,0$  В недостатньо для того, щоб відкрити перший 14, другий 16 транзистори інвертуючого каскаду, для яких потрібно  $U_{б2} \approx 2,1$  В. В результаті, перший 14, другий 16 транзистори інвертуючого каскаду, що включені за схемою Дарлінгтона, переходять в закритий стан. На колекторах

закритих першого 14, другого 16 транзисторів інвертуючого каскаду високий потенціал і в базу транзистора 18 другого фазорозподільного каскаду протікає струм від позитивного полюса джерела постійної напруги 7 через другий резистор 17 Інвертуючого каскаду, що обумовлює відкритий стан транзистора 18 другого фазорозподільного каскаду, струм емітера якого надходить в базу другого вихідного транзистора 27, що обумовлює відкритий стан другого вихідного транзистора 27. Проміжний транзистор 13 в закритому стані і не впливає на роботу верхньої частини пристрою, тому що його база через проміжний резистор 12 підключена до другого входу 2 пристрою, на який подана низька напруга логічного "0". На колекторі відкритого транзистора 18 другого фазорозподільного каскаду низький потенціал ( $U_{к1} \approx 1,0$  В), якого недостатньо для того, щоб відкрити третій вихідний транзистор 24 і вихідний діод 26, для яких потрібний потенціал  $U_{к2} \approx 1,4$  В. Тому третій вихідний транзистор 24 і вихідний діод 26 переходять в закритий стан. Вихід 11 пристрою через малий опір переходу колектор-емітер відкритого другого вихідного транзистора 27 підключений до загальної шини 10 джерела постійної напруги, а це відповідає рівню логічного нуля на виході 11 пристрою.

Якщо на другий вхід 2 пристрою подано високу напругу, що відповідає рівню логічної "1" на вході 2, то другий вхідний діод 6 зворотно включений, тому що на його катоді висока напруга логічної "1", а анод підключений до загальної шини 10 джерела постійної напруги, що призводить до закритого стану другого вхідного діода 6. При цьому вхідний транзистор 3 працює в інверсному активному режимі і напруги на його базі  $U_{б1} \approx 2,1$  В достатньо для відкриття колекторного переходу вхідного транзистора 3, емітерних переходів першого 14, другого 16 транзисторів інвертуючого каскаду, що обумовлює відкритий стан першого 14, другого 16 транзисторів інвертуючого каскаду, перший резистор 15 інвертуючого каскаду обмежує струм бази другого транзистора 16 інвертуючого каскаду. На колекторі відкритого другого 16 транзистора інвертуючого каскаду низький потенціал ( $U_{к3} \approx 0,3$  В), якого недостатньо для того, щоб відкрити емітерні переходи транзистора 18 другого фазорозподільного каскаду і другого вихідного транзистора 27, де потрібно  $U_{к2} \approx 1,4$  В. В зв'язку з цим, транзистор 18 другого фазорозподільного каскаду і другий вихідний транзистор 27 переходять в закритий стан. При подачі на другий вхід 2 пристрою високої напруги логічної "1", в базу проміжного транзистора 13 протікає струм від другого входу 2 через проміжний резистор 12, який обмежує струм бази проміжного транзистора 13, що призводить до відкритого стану проміжного транзистора 13, резистор 19 другого фазорозподільного каскаду обмежує струм колектора відкритого проміжного транзистора 13. На колекторі відкритого проміжного транзистора 13 і колекторі закритого транзистора 18 другого фазорозподільного каскаду низький потенціал ( $U_{к3} \approx 0,3$  В), якого недостатньо для того, щоб відкрити третій вихідний транзистор 24 і вихідний діод 26, а це обумовлює закритий стан третього вихідного транзистора 24 і вихідного діода 26. Крім того, другий вихідний транзистор 27 знаходиться в закритому стані та на виході пристрою "Z" стан з нескінченно високим опором.

Таким чином, верхня частина логічного елемента в разі подачі логічної одиниці на другий вхід 2 пристрою реалізує на виході "Z" стан з нескінченно високим опором, а в разі подачі логічного нуля на другий вхід 2 пристрою повторює вхідний сигнал (логічний "0") на виході 11 пристрою.

Стани входів і виходів пристрою подані в таблиці.

Таблиця

Вхід 1	Вхід 2	Вихід нижньої частини пристрою	Вихід верхньої частини пристрою	Вихід 11 пристрою
0	0	Z	0	0
0	1	1	Z	1
1	0	Z	0	0
1	1	0	Z	0

Логічні схеми з трьома станами можна об'єднувати за виходами на одне спільне навантаження, але при цьому в будь-який момент часу навантаження повинно обслуговуватись одним елементом, а всі інші повинні знаходитись в третьому "Z" стані (див. Соломатин Н.М. Логические элементы ЭВМ. - М.: Высшая школа, 1980. - С. 96). Об'єднуючи сигнали на виходах нижньої частини і верхньої частини пристрою, отримуємо на виході 11 пристрою логічну функцію "ЗАБОРОНА відносно X2", де X2 - логічний сигнал на другому вході 2 пристрою. Якщо підключити до першого входу 1 пристрою емітер вхідного транзистора 3, катод проміжного діода

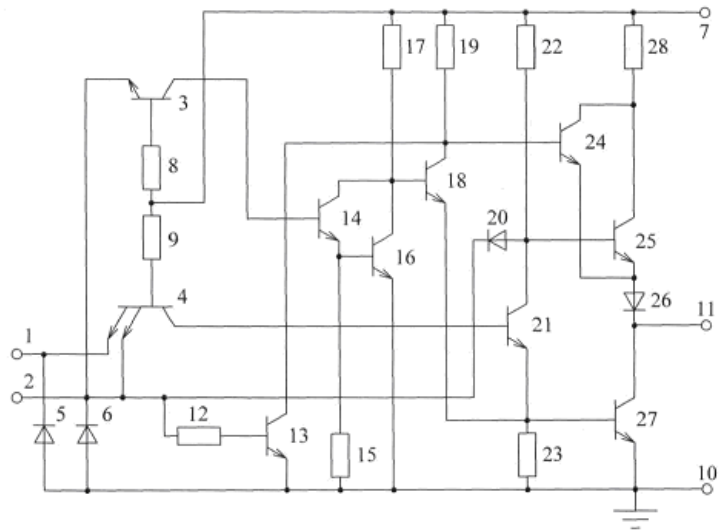
20 та другий вивід проміжного резистора 12, то пристрій буде реалізовувати логічну функцію "ЗАБОРОНА відносно X1", де X1 - логічний сигнал на першому вході 1 пристрою.

Таким чином, реалізовано новий логічний елемент транзисторно-транзисторної логіки "ЗАБОРОНА", що дозволить реалізувати цифрові пристрої порівняння з меншою кількістю логічних елементів в один ступінь швидкодії і з меншою потужністю споживання та кращими показниками відмовостійкості за раптовими відмовами за рахунок спрощення цифрових пристроїв порівняння.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

10 Логічний елемент, який містить джерело постійної напруги, перший, другий входи, вихід пристрою, вхідний двоємітерний транзистор, перший, другий вхідні діоди, перший проміжний транзистор, транзистор першого фазорозподільного каскаду, перший, другий вхідні транзистори, проміжний і вихідний діоди, перший вхідний резистор, перший, другий резистори першого фазорозподільного каскаду, проміжний резистор, вихідний резистор, перший і другий вихідні транзистори, причому база вхідного двоємітерного транзистора через перший вхідний резистор підключена до позитивного полюса джерела постійної напруги, перший емітер з'єднаний з катодом першого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, другий емітер з'єднаний з катодом проміжного діода і катодом другого вхідного діода, анод якого підключений до загальної шини джерела постійної напруги, колектор з'єднаний з базою транзистора першого фазорозподільного каскаду, емітер якого через другий резистор першого фазорозподільного каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор підключений до виходу пристрою і з'єднаний з катодом вихідного діода, анод якого з'єднаний з емітером першого вихідного транзистора, колектор якого через вихідний резистор підключено до позитивного полюса джерела постійної напруги, а база з'єднана з анодом проміжного діода і колектором транзистора першого фазорозподільного каскаду та через перший резистор першого фазорозподільного каскаду підключений до позитивного полюса джерела постійної напруги, а також емітер першого проміжного транзистора підключений до загальної шини джерела постійної напруги, база з'єднана з першим входом проміжного резистора, який **відрізняється** тим, що в нього введено вхідний транзистор, перший, другий транзистори інвертуючого каскаду, транзистор другого фазорозподільного каскаду, третій вихідний транзистор, другий вхідний резистор, перший, другий резистори інвертуючого каскаду, резистор другого фазорозподільного каскаду, причому другий вивід проміжного резистора з'єднаний з катодами проміжного і другого вхідного діодів та емітером вхідного транзистора, база якого через другий вхідний резистор підключена до позитивного полюса джерела постійної напруги, колектор з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор інвертуючого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний із базою другого транзистора інвертуючого каскаду, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий резистор інвертуючого каскаду підключений до позитивного полюса джерела постійної напруги та з'єднаний з колектором першого транзистора інвертуючого каскаду і базою транзистора другого фазорозподільного каскаду, емітер якого з'єднаний з емітером транзистором першого фазорозподільного каскаду і базою другого вихідного транзистора та через другий резистор першого фазорозподільного каскаду підключений до загальної шини джерела постійної напруги, колектор другого фазорозподільного каскаду через резистор другого фазорозподільного каскаду підключений до позитивного полюса джерела постійної напруги та з'єднаний з колектором проміжного транзистора і базою третього вихідного транзистора, колектор якого з'єднаний з колектором другого вихідного транзистора і через вихідний резистор підключений до позитивного полюса джерела постійної напруги, а емітер з'єднаний з емітером другого вихідного транзистора і анодом вихідного діода.





---

Комп'ютерна верстка Л. Бурлак

---

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601