



УКРАЇНА

(19) **UA** (11) **97829** (13) **U**
(51) МПК (2015.01)
Н03К 23/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

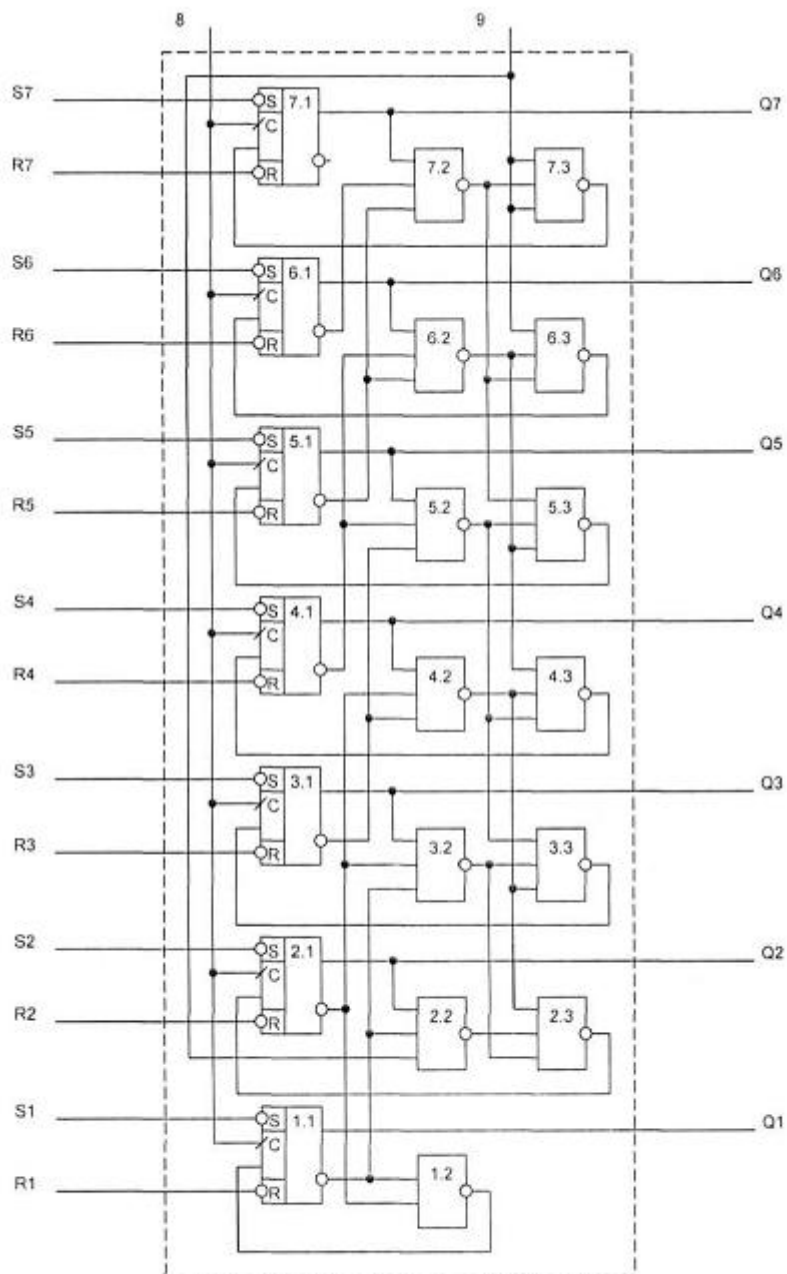
<p>(21) Номер заявки: u 2014 10520</p> <p>(22) Дата подання заявки: 25.09.2014</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.04.2015</p> <p>(46) Публікація відомостей про видачу патенту: 10.04.2015, Бюл.№ 7</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA), Муращенко Олександр Геннадійович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
---	---

(54) ЛІЧИЛЬНИК, ЩО ВІДНІМАЄ, У ФІБОНАЧЧІЄВІЙ СИСТЕМІ ЧИСЛЕННЯ

(57) Реферат:

Лічильник, що віднімає, у фібоначчіївій системі числення містить вхід тактових імпульсів, N інформаційних виходів та у кожному i-му розряді містить лічильний тригер, вхід C синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід лічильного тригера i-го розряду з'єднаний з інформаційним виходом лічильника. Крім цього, він додатково містить вхід логічної одиниці, 2N входів встановлення у початковий стан, а кожний i-й розряд, крім першого розряду, додатково містить перший і другий логічні елементи I-NI, причому перший вхід першого логічного елемента I-NI i-го розряду, з'єднаний з прямим виходом лічильного тригера даного розряду, другий вихід з'єднаний з інверсним виходом лічильного тригера (i-1)-го розряду, третій вхід першого логічного елемента I-NI i-го розряду, крім другого розряду, з'єднаний з інверсним виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента I-NI i-го розряду.

UA 97829 U



Фир. 1

Корисна модель належить до галузі цифрової вимірювальної і обчислювальної техніки і може бути використана для лічби імпульсів з представленням результату у фібоначчєвій системі числення.

5 Відомий лічильник імпульсів в р-кодах фібоначчє [А.с. СРСР №1480121, м. кл. Н03К23/40, бюл. №18, 15.05.89], що містить елементи АБО, що з'єднані з лічильними входами лічильних тригерів, елементи І, D-тригер, елемент НІ і елемент затримки.

Недоліком цього пристрою є неможливість лічби в режимі віднімання.

10 За прототип обрано лічильник імпульсів в р-кодах фібоначчє [А.с. СРСР №1172006, м. кл. Н03К23/48, бюл. №29, 07.08.851, який містить лічильний вхід лічильника (в подальшому вхід тактових імпульсів), N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер, вхід С синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід лічильного тригера i-го розряду з'єднаний з інформаційним виходом лічильника, елемент АБО, елемент І, вихід якого з'єднаний з першим входом елемента АБО, вихід якого з'єднано з лічильним входом тригера, інверсний вхід якого з'єднаний з першим входом елемента І.

15 Недоліком прототипу є неможливість лічби в режимі віднімання.

В основу корисної моделі поставлено задачу створення лічильника, що віднімає, у фібоначчєвій системі числення, в якому за рахунок введення нових елементів та зв'язків досягається можливість лічби імпульсів в режимі віднімання з представленням результату у фібоначчєвій системі числення, що у свою чергу розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

20 Поставлена задача вирішується тим, що у лічильник імпульсів, який містить вхід тактових імпульсів, N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер, вхід С синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід лічильного тригера i-го розряду з'єднаний з інформаційним виходом лічильника, введено вхід логічної одиниці, 2N входів встановлення у початковий етап, а кожний i-й розряд, крім першого розряду, додатково містить перший і другий логічні елементи І-НІ, причому перший вхід першого логічного елемента І-НІ i-го розряду, з'єднаний з прямим виходом лічильного тригера даного розряду, другий вихід з'єднаний з інверсним виходом лічильного тригера (i-1)-го розряду, третій вхід першого логічного елемента І-НІ i-го розряду, крім другого розряду, з'єднаний з інверсним виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента І-НІ i-го розряду, другий вхід другого логічного елемента І-НІ i-го розряду, крім N-го і (N-1)-го розрядів, з'єднаний з виходом першого логічного елемента І-НІ(i+1)-го розряду, третій вхід з'єднаний з виходом першого логічного елемента І-НІ (i+2)-го розряду, а вихід з'єднаний з Т-входом лічильного тригера i-го розряду, крім того, у першому розряді лічильник додатково містить логічний елемент І-НІ, перший вхід якого з'єднаний з інверсним виходом лічильного тригера першого розряду, другий вхід з'єднаний з інверсним виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, а також, третій вхід першого елемента І-НІ другого розряду, другий і третій входи другого логічного елемента І-НІ N-го розряду та третій вхід другого логічного елемента І-НІ (N-1)-го розряду з'єднані зі входом логічної одиниці лічильника.

40 На фіг. 1 наведено структурну схему структурну семирозрядного лічильника що віднімає, у фібоначчєвій системі числення. На фіг. 2 наведено часову діаграму перших двадцяти тактів роботи семирозрядного лічильника що віднімає, у фібоначчєвій системі числення.

45 Пристрій містить вхід тактових імпульсів 8, вхід логічної одиниці 9 призначений для подачі одиничного потенціалу, входи S1-S7 встановлення у початковий стан, призначені для подачі нульових сигналів для встановлення в одиничний стан лічильних тригерів з 1-го по 7-й розряд відповідно, входи R1-R7 встановлення у початковий етап, призначені для подачі нульових сигналів для встановлення в нульовий стан лічильних тригерів з 1-го по 7-й розряд відповідно, а також інформаційні виходи Q1-Q7. Крім того, лічильник містить лічильні тригери 1.1-7.1, призначені для зміни і зберігання етапів з 1-го по 7-й розряд відповідно; перші логічні елементи 2.2-7.2 І-НІ, призначені для формування сигналів розгортки з 2-го по 7-й розряд відповідно; другі логічні елементи 2.3-7.3 І-НІ, призначені для формування сигналів на Т-входи лічильних тригерів 2.1-7.1 відповідно, а також логічний елемент 1.2 І-НІ, призначений для формування сигналу на Т-вхід лічильного тригера 1.1. Вхід тактових імпульсів 8 лічильника з'єднаний з С-входами лічильних тригерів 1.1-7.1, входи S1-S7 встановлення у початковий стан лічильника з'єднані з S-входами лічильних тригерів 1.1-7.1 відповідно, входи R1-R7 встановлення у початковий стан лічильника з'єднані з R-входами лічильних тригерів 1.1-7.1 відповідно, прямі виходи лічильних тригерів 1.1-7.1 з'єднані з інформаційними виходами Q1-Q7 лічильника відповідно, прямі виходи тригерів 2.1-7.1 з'єднані з першими входами перших логічних елементів 2.2-7.2 відповідно, інверсні виходи лічильних тригерів 1.1-6.1 з'єднані з другими

входами перших логічних елементів 2.2-7.2 I-II відповідно, інверсні виходи лічильних тригерів 1.1-5.1 з'єднані з третіми входами перших логічних елементів I-II 3.2-7.2 відповідно, інверсний вихід лічильного тригера 1.1 з'єднаний з першим входом логічного елемента 1.2 1-I HE, інверсний вихід лічильного тригера 2.1 з'єднаний з другим входом логічного елемента 1.2 I-II.

5 Виходи перших логічних елементів 2.2-7.2 I-II з'єднані з першими входами других логічних елементів 2.3-7.3 I-II відповідно, виходи перших логічних елементів 3.2-7.2 I-II з'єднані з другими входами других логічних елементів 2.3-7.3 I-II відповідно, виходи перших логічних елементів 4.2-7.2 I-II з'єднані з третіми входами других логічних елементів 2.3-6.3 I-II відповідно. Виходи других логічних елементів 2.3-7.3 I-II з'єднані з Т-входами лічильних тригерів 2.1-7.1 відповідно, вихід логічного елемента 1.2 I-II з'єднаний з Т-входом лічильного тригера 1.1, вхід логічної одиниці 9 лічильника з'єднаний з третім входом першого логічного елемента 2.2 1-II, третім входом другого логічного елемента 6.3 I-II та другим і третім входами другого логічного елемента 7.3 I-II. З опису структури слідує, що при нарощуванні розрядності апарату витрати даного лічильника зростають лінійно і становлять не більше одного лічильного тригера і двох логічних елементів 3 I-II на один розряд.

15 Пристрій працює наступним чином. Робота починається із задання початкового стану лічильника шляхом встановлення нульових сигналів на входах початкового встановлення S1-S7 відповідно до того, які розряди коду початкового стану мають одиничні значення і на входах початкового встановлення R1-R7 відповідно до того, які розряди коду початкового стану мають нульові значення. На інших входах S1-S7 і R1-R7 встановлюються одиничні сигнали. На вході 8 лічильника задається нульовий сигнал, який надходить на С-входи всіх лічильних тригерів. Лічильні тригери всіх розрядів встановлюються відповідно до заданого коду. Нехай, наприклад це буде код 1100100. Одиничний потенціал зі входу логічної одиниці 9 надходить на третій вхід логічного елемента 2.1 I-II, третій вхід другого логічного елемента 6.3 I-II та другий і третій

20 входи другого логічного елемента 7.3 I-II. Після встановлення заданого коду у лічильних тригерах на всіх входах початкового встановлення S1-S7 і R1-R7 встановлюється одиничний сигнал, який зберігається протягом подальшої роботи. Одиничні сигнали з прямих виходів лічильних тригерів 7.1, 6.1, 3.1 надходять на інформаційні виходи Q7, Q6. Q3 лічильника відповідно і на перші входи перших логічних елементів 3.2, 6.2, 7.2 I-II відповідно. Нульові сигнали з прямих виходів лічильних тригерів 2.1, 4.1, 5.1 поступають на інформаційні виходи Q2, Q4, Q5 відповідно лічильника і на перші входи перших логічних елементів 2.2, 4.2, 5.2 I-II відповідно. Нульовий сигнал з прямого виходу лічильного тригера 1.1 надходить на інформаційний вихід Q1 лічильника. Одиничні сигнали з інверсних виходів лічильних тригерів 2.1, 4.1, 5.1 надходять на другі входи перших логічних елементів 3.2, 5.2, 6.2 I-II відповідно.

25 Нульові сигнали з інверсних виходів лічильних тригерів 3.1, 6.1 надходять на другі входи перших логічних елементів 4.2, 7.2 I-II відповідно. Одиничні сигнали з інверсних виходів лічильних тригерів 2.1, 4.1, 5.1 надходять на треті входи перших логічних елементів 4.2, 6.2, 7.2 I-II відповідно. Нульовий сигнал з інверсного виходу лічильного тригера 3.1 надходить на третій вхід першого елемента 5.2 I-II. Одиничний сигнал з інверсного виходу лічильного тригера 1.1 надходить на перший вхід елемента 1.2, на другий вхід якого поступає одиничний сигнал з інверсного виходу лічильного тригера 2.1. Нульовий сигнал з виходу логічного елемента 1.2 I-II надходить на Т-вхід лічильного тригера 1.1. Одиничний сигнал з виходу першого логічного елемента 2.2 I-II надходить на перший вхід другого логічного елемента 2.3 I-II. Нульовий сигнал з виходу першого логічного елемента 3.2 1-II надходить на другий вхід другого елемента 2.3 I-II і на перший вхід другого елемента 3.3 I-II. Одиничний сигнал з виходу першого логічного елемента 4.2 I-II надходить на третій вхід другого логічного елемента 2.3 I-II, на другий вхід другого логічного елемента 3.3 I-II і на перший вхід другого логічного елемента 4.3 I-II. Одиничний сигнал з виходу першого логічного елемента 5.2 I-II надходить на третій вхід другого логічного елемента 3.3 I-II, на другий вхід другого логічного елемента 4.3 I-II і на перший вхід другого логічного елемента 5.3 I-II. Нульовий сигнал з виходу першого логічного елемента 6.2 I-II надходить на третій вхід другого логічного елемента 4.3 I-II, на другий вхід другого логічного елемента 5.3 I-II і на перший вхід другого логічного елемента 5.3 I-II. Одиничний сигнал з виходу першого логічного елемента 7.2 I-II надходить на третій вхід другого логічного елемента 5.2 I-II, другий вхід другого логічного елемента 6.3 1-II і на перший вхід другого логічного елемента 7.3 I-II. Одиничний сигнал з виходу другого логічного елемента 2.3 I-II надходить на Т-вхід лічильного тригера 2.1. Одиничний сигнал з виходу другого логічного елемента 3.3 I-II надходить на Т-вхід лічильного тригера 3.1. Одиничний сигнал з виходу другого логічного елемента 4.3 I-II надходить на Т-вхід лічильного тригера 4.1. Одиничний сигнал з виходу другого логічного елемента 5.3 I-II поступає на Т-вхід лічильного тригера 5.1. Одиничний сигнал з виходу другого логічного елемента 6.3 I-II надходить на Т-вхід

30
35
40
45
50
55
60

- лічильного тригера 6.1. Нульовий сигнал з виходу другого логічного елемента 7.3 І-НІ надходить на Т-вхід лічильного тригера 7.1. На всі входи початкового встановлення лічильника подаються одиничні сигнали, які надходять на S- і R-входи відповідних лічильних тригерів. При надходженні наступного імпульсу на вхід тактових імпульсів 8 лічильника сигнал надходить на С-входи всіх лічильних тригерів. У лічильнику встановлюється код 1011010. Коди і числові значення станів лічильника наведено в Таблиці 1.

Таблиця 1

Коди і числові значення станів семирозрядного лічильника, що віднімає, у фібопаччівій системі числення

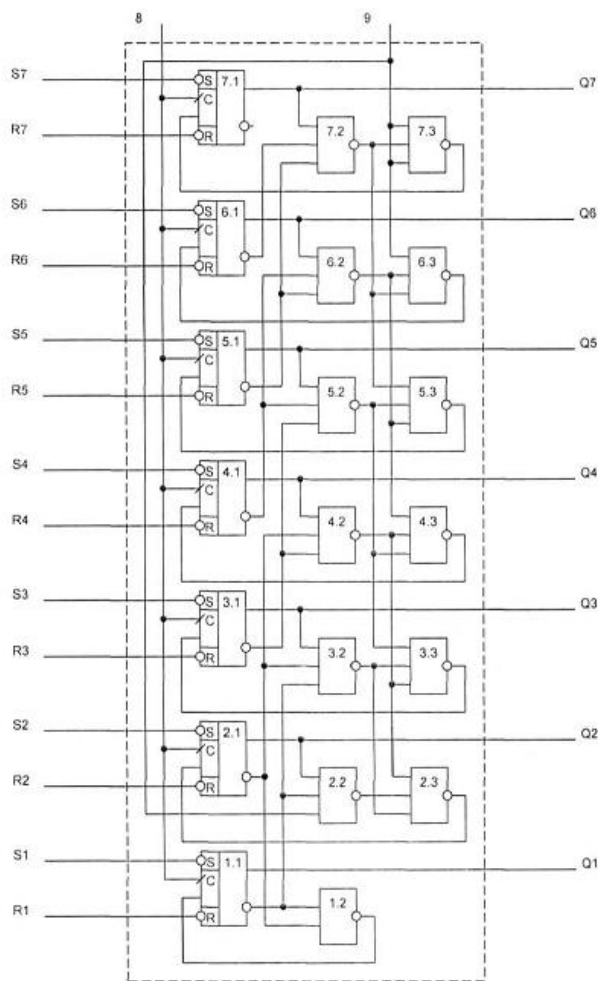
№ стану	Розряди лічильника							Значення КОДУ
	Q7	Q6	Q5	Q4	Q3	Q2	Q1	
1	1	1	0	0	1	0	0	37
2	1	0	1	1	0	1	0	36
	1	0	1	1	0	0	1	35
4	1	0	1	0	1	1	0	34
5	1	0	1	0	1	0	1	33
6	1	0	1	0	1	0	0	32
7	1	0	1	0	0	1	0	31
8	1	0	0	1	1	0	1	30
9	0	1	1	1	1	0	0	29
10	0	1	1	1	0	1	0	28
11	0	1	1	1	0	0	1	27
12	0	1	1	0	1	1	0	26
13	0	1	1	0	1	0	1	25
14	0	1	1	0	1	0	0	24
15	0	1	1	0	0	1	0	23
16	0	1	0	1	1	0	1	22
17	0	1	0	1	1	0	0	21
18	0	1	0	1	0	1	0	20
19	0	1	0	1	0	0	1	19
20	0	1	0	0	1	1	0	18
21	0	0	1	1	1	0	1	17
22	0	0	1	1	1	0	0	16
23	0	0	1	1	0	1	0	15
24	0	0	1	1	0	0	1	14
25	0	0	1	0	1	1	0	13
26	0	0	1	0	1	0	1	12
27	0	0	1	0	1	0	0	11
28	0	0	1	0	0	1	0	10
29	0	0	0	1	1	0	1	9
30	0	0	0	1	1	0	0	8
31	0	0	0	1	0	1	0	7
32	0	0	0	1	0	0	1	6
33	0	0	0	0	1	1	ρ	5
34	0	0	0	0	1	0	1	4
35	0	0	0	0	1	0	0	3
36	0	0	0	0	0	1	0	2
37	0	0	0	0	0	0	1	1
38	0	0	0	0	0	0	0	0

Подальшу роботу лічильника пояснює часова діаграма, що представлена на фіг. 2.

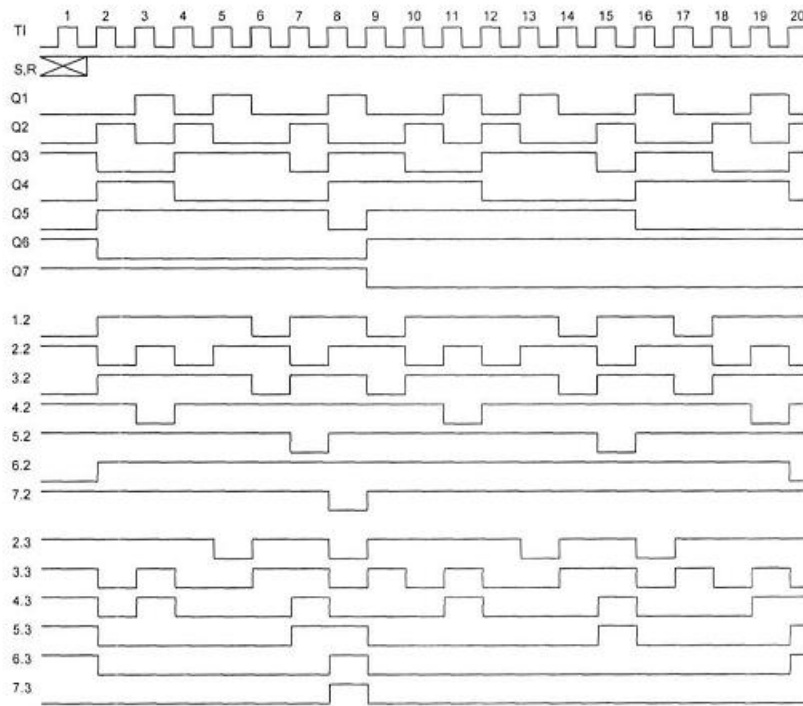
- 10 З опису роботи слідує, що максимальна затримка переключення станів лічильника на кожному такті не залежить від його розрядності і визначається затримкою переключення лічильного тригера та двох логічних елементів І-НІ.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Лічильник, що віднімає, у фібоначчівій системі числення, який містить вхід тактових імпульсів, N інформаційних виходів та у кожному i-му розряді містить лічильний тригер, вхід C синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, а прямий вихід лічильного тригера i-го розряду з'єднаний з інформаційним виходом лічильника, який **відрізняється** тим, що додатково містить вхід логічної одиниці, 2N входів встановлення у початковий стан, а кожний i-й розряд, крім першого розряду, додатково містить перший і другий логічні елементи I-NI, причому перший вхід першого логічного елемента I-NI i-го розряду, з'єднаний з прямим виходом лічильного тригера даного розряду, другий вихід з'єднаний з інверсним виходом лічильного тригера (i-1)-го розряду, третій вхід першого логічного елемента I-NI i-го розряду, крім другого розряду, з'єднаний з інверсним виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента I-NI i-го розряду, другий вхід другого логічного елемента I-NI i-го розряду, крім N-го і (N-1)-го розрядів, з'єднаний з виходом першого логічного елемента I-NI (i+1)-го розряду, третій вхід з'єднаний з виходом першого логічного елемента I-NI (i+2)-го розряду, а вихід з'єднаний з T-входом лічильного тригера i-го розряду, крім того, у першому розряді лічильник додатково містить логічний елемент I-NI, перший вхід якого з'єднаний з інверсним виходом лічильного тригера першого розряду, другий вхід з'єднаний з інверсним виходом лічильного тригера другого розряду, а вихід з'єднаний з T-входом лічильного тригера першого розряду, а також, третій вхід першого елемента I-NI другого розряду, другий і третій входи другого логічного елемента I-NI N-го розряду та третій вхід другого логічного елемента I-NI (N-1)-го розряду з'єднані зі входом логічної одиниці лічильника.



Фіг. 1



Фиг. 2

Комп'ютерна верстка В. Мацело

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601