



УКРАЇНА

(19) **UA** (11) **89906** (13) **U**
(51) МПК
H03F 3/04 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

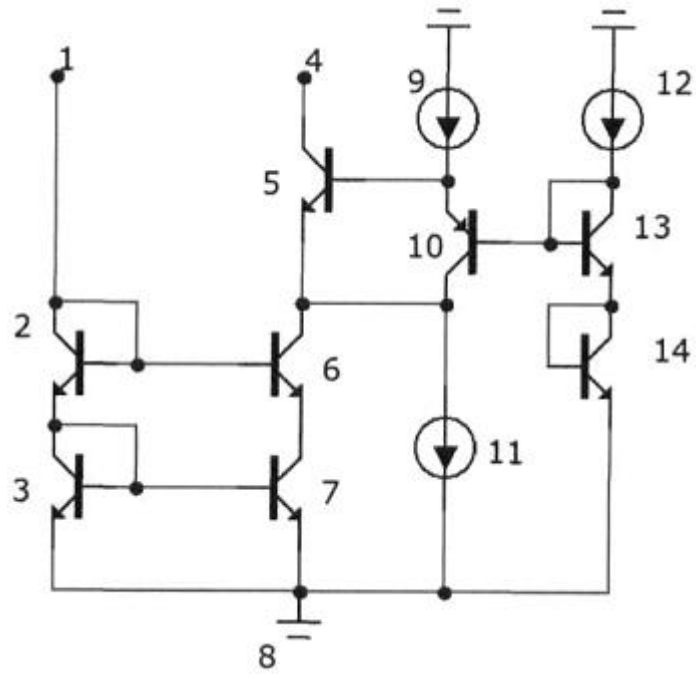
(21) Номер заявки: u 2013 06893	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Діденко Михайло Володимирович (UA)
(22) Дата подання заявки: 01.06.2013	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 12.05.2014	
(46) Публікація відомостей про видачу патенту: 12.05.2014, Бюл.№ 9	

(54) ВІДБИВАЧ СТРУМУ

(57) Реферат:

Відбивач струму містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзистора з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною, причому у нього введено чотири транзистори, три джерела струму, причому емітер п'ятого транзистора з'єднано з колекторами другого та шостого транзисторів, а також з першим виводом другого джерела струму, база п'ятого транзистора та емітер шостого транзистора з'єднано з другим виводом першого джерела струму, бази шостого та сьомого транзисторів з'єднано з колектором сьомого транзистора та з другим виводом третього джерела струму, емітер сьомого транзистора з'єднано з колектором та базою восьмого транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, перший вивід першого джерела струму, перший вивід третього джерела струму, другий вивід другого джерела струму та емітер восьмого транзистора з'єднано з шиною нульового потенціалу.

UA 89906 U



Корисна модель належить до аналогової техніки і може бути використана в двотактних підсилювальних схемах.

Відомо відбивач струму (U.S. Patent, Current mirror for low supply voltage operation, Craig M. Brannon et al.; Fig 2; Patent Number 5,311,146; Data of Patent May. 10, 1994) який містить три
5 транзистори, вхідну та вихідну шини, шину нульового потенціалу, два резистори причому, вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів відповідно з'єднані з першим виводом першого та
10 другого резисторів, другі виводи першого та другого резисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з емітером другого транзистора, колектор третього транзистора з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною. Таким чином схема забезпечує засіб отримання опорного струму, що не залежить від параметрів приладів, проте недоліком є обмежена функціональна можливість.

За прототип вибрано відбивач струму (U.S. Patent, noise immune current mirror, Mark W. Gose et al.; Fig 1E; Patent Number 4,866,399; Data of Patent Sep. 12, 1989), який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзисторів з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого
20 транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною. Таким чином схема забезпечує засіб отримання опорного струму, проте недоліком є велика похибка передачі сигналу.

Недоліком прототипу є низька точність роботи пристрою та високий вхідний опір.

В основу корисної моделі поставлено задачу створення відбивача струму, в якому за
25 рахунок введення нових елементів та зв'язків між ними, за умови, що генератор вхідного сигналу має обмежений опір, підвищується точність роботи, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у відбивач струму, який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзистора з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого
35 транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною, введено чотири транзистори, три джерела струму, причому емітер п'ятого транзистора з'єднано з колекторами другого та шостого транзисторів, а також з першим виводом другого джерела струму, база п'ятого транзистора та емітер шостого транзистора з'єднано з другим виводом першого
40 джерела струму, бази шостого та сьомого транзисторів з'єднано з колектором сьомого транзистора та з другим виводом третього джерела струму, емітер сьомого транзистора з'єднано з колектором та базою восьмого транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, перший вивід першого джерела струму, перший вивід третього джерела струму, другий вивід другого джерела струму та емітер восьмого транзистора з'єднано з шиною
45 нульового потенціалу.

На кресленні представлено схему відбивача струму.

Пристрій містить, вхідну 1 та вихідну 2 шини, шину нульового потенціалу 8, три джерела струму, причому вхідну шину 1 з'єднано з колектором та базою першого транзистора 2, а також з базою другого транзистора 6, емітер першого транзистора 2 з'єднано з колектором та базою
50 третього транзистора 3, а також з базою четвертого транзистора 7, емітер другого транзистора 6 з'єднано з колектором четвертого транзистора 7, емітери третього 3 та четвертого 7 транзисторів з'єднано з шиною нульового потенціалу, емітер п'ятого транзистора 5 з'єднано з колекторами другого 6 та шостого 10 транзисторів, а також з першим виводом другого джерела струму 11, база п'ятого транзистора 5 та емітер шостого транзистора 10 з'єднано з другим
55 виводом першого джерела струму 9, бази шостого 10 та сьомого 13 транзисторів з'єднано з колектором сьомого транзистора 13 та з другим виводом третього джерела струму 12, емітер сьомого транзистора 13 з'єднано з колектором та базою восьмого транзистора 14, колектор п'ятого транзистора 5 з'єднано з вихідною шиною 4, перший вивід першого джерела струму 9, перший вивід третього джерела струму 12, другий вивід другого джерела струму 11 та емітер
60 восьмого транзистора 14 з'єднано з шиною нульового потенціалу 8.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 1. Якщо вхідний струм втікає у схему, то збільшується падіння напруги на першому 2 і третьому 3 транзисторах у діодному вмиканні, та базові струми другого 6 та четвертого 7 транзисторів. При цьому другий 6 та четвертий 7 транзистори трохи відкриваються, що веде до збільшення емітерного струму п'ятого транзистора 5, що у свою чергу призводить до збільшення базового та колекторного струму цього транзистора, це збільшує струм вихідної шини 4. Якщо базовий струм п'ятого транзистора 5 збільшується, то зменшується емітерний струм шостого транзистора 10, що у свою чергу призводить до зменшення колекторного та базового струму цього транзистора. Це призводить до врівноваження струму на другому транзисторі 6.

Якщо вхідний струм витікає зі схеми, то зменшується падіння напруги на першому 2 і третьому 3 транзисторах у діодному вмиканні, та базові струми другого 6 та четвертого 7 транзисторів. При цьому другий 6 та четвертий 7 транзистори трохи закриваються, що веде до зменшення емітерного струму п'ятого транзистора 5, що у свою чергу призводить до зменшення базового та колекторного струму цього транзистора, це зменшує струм вихідної шини 4. Якщо базовий струм п'ятого транзистора 5 зменшується, то збільшується емітерний струм шостого транзистора 10, що у свою чергу призводить до збільшення колекторного та базового струму цього транзистора. Це призводить до врівноваження струму на другому транзисторі 6.

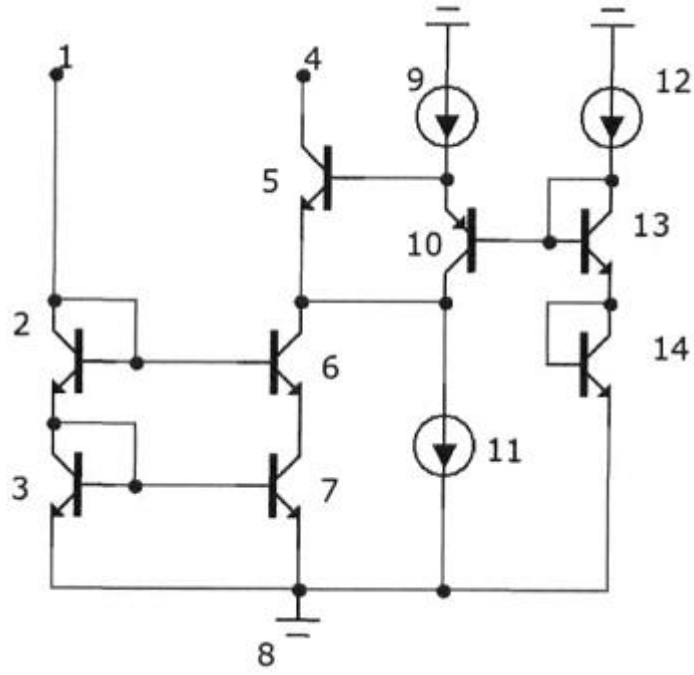
Сьомий транзистор 13 та восьмий транзистор 14, у діодному вмиканні, задають базовий струм для роботи шостого транзистора 10.

Перше джерело струму 9 слугує для задання базового струму п'ятого транзистора 5 та емітерного струму шостого транзистора 10. Друге джерело струму 11 задає робочий струм для другого 6 та шостого 10 транзисторів. Третє джерело струму 12 задає робочий струм сьомому транзистору 13. Точка об'єднання емітерів третього 3, четвертого 7, восьмого 14 транзисторів, першого вивода першого 9, третього 12 джерел струму та другого виводу другого джерела струму 11 утворюють шину нульового потенціалу 8.

Введення між колектором другого транзистора 6 та вихідною шиною 4 складеного транзистора Шиклаї, який побудовано на п'ятому 5 та шостому 10 транзисторах призводить до підвищення точності роботи схеми за рахунок збільшення вихідного опору.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Відбивач струму, який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітер першого транзистора з'єднано з колектором та базою третього транзистора, а також з базою четвертого транзистора, емітер другого транзистора з'єднано з колектором четвертого транзистора, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною, який **відрізняється** тим, що у нього введено чотири транзистори, три джерела струму, причому емітер п'ятого транзистора з'єднано з колекторами другого та шостого транзисторів, а також з першим виводом другого джерела струму, база п'ятого транзистора та емітер шостого транзистора з'єднано з другим виводом першого джерела струму, бази шостого та сьомого транзисторів з'єднано з колектором сьомого транзистора та з другим виводом третього джерела струму, емітер сьомого транзистора з'єднано з колектором та базою восьмого транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, перший вивід першого джерела струму, перший вивід третього джерела струму, другий вивід другого джерела струму та емітер восьмого транзистора з'єднано з шиною нульового потенціалу.



Комп'ютерна верстка А. Крулевський

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601