



УКРАЇНА

(19) **UA** (11) **115994** (13) **U**
(51) МПК
Н03М 1/46 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

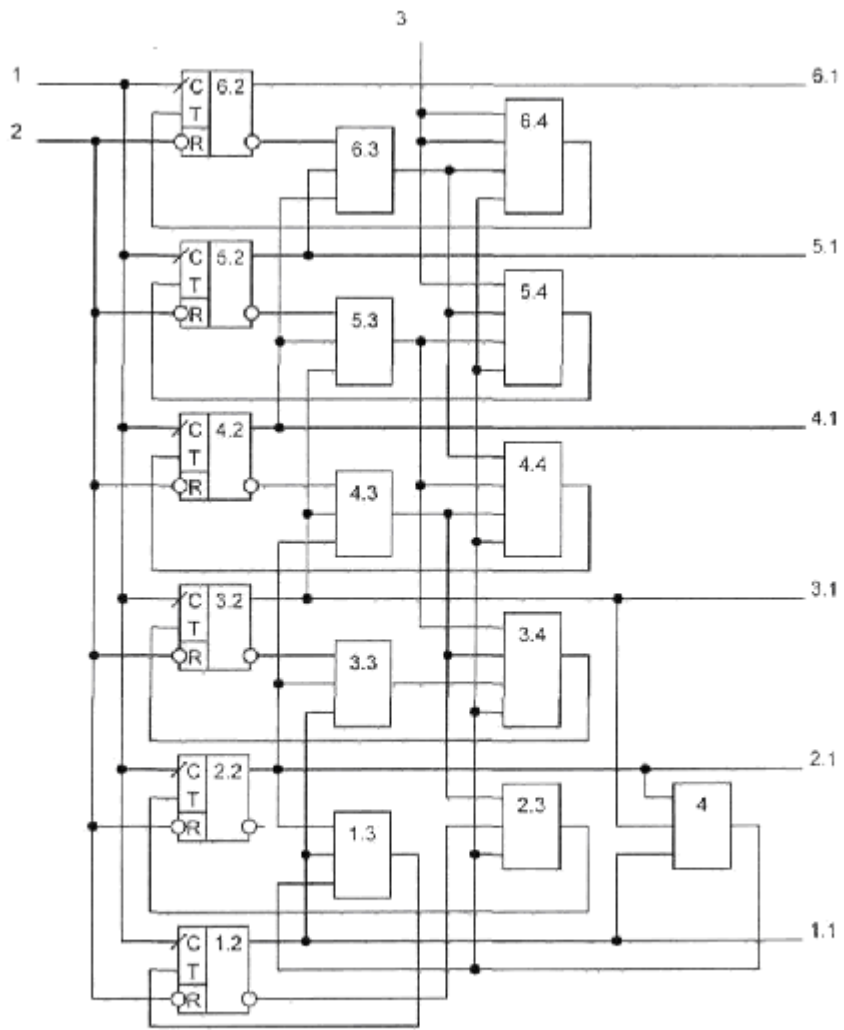
(21) Номер заявки: u 2016 08718	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA)
(22) Дата подання заявки: 11.08.2016	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.05.2017	
(46) Публікація відомостей про видачу патенту: 10.05.2017, Бюл.№ 9	

(54) ЦИКЛІЧНИЙ ЛІЧИЛЬНИК У ФІБОНАЧЧІЄВІЙ СИСТЕМІ ЧИСЛЕННЯ

(57) Реферат:

Циклічний лічильник у фібоначчівій системі числення має вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N розрядів, N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер. Вхід С синхронізації якого з'єднаний зі входом тактових імпульсів лічильника. Вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан лічильника. Вихід з'єднаний з i-м інформаційним виходом лічильника. Перший і другий розряди лічильника містять по одному логічному елементу І-НІ. Кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи І-НІ. Перший вхід логічного елемента І-НІ першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду. Другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду. Вихід з'єднаний з Т-входом лічильного тригера першого розряду. Перший вхід логічного елемента І-НІ другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду. Другий його вхід з'єднаний з виходом першого логічного елемента І-НІ четвертого розряду. Вихід з'єднаний з Т-входом лічильного тригера другого розряду. У кожному i-му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента І-НІ з'єднаний з інверсним виходом лічильного тригера i-го розряду. Другий його вхід з'єднаний з прямим виходом лічильного тригера (i-i)-го розряду. Третій вхід з'єднаний з прямим виходом лічильного тригера (i-2)-го розряду. Вихід з'єднаний з першим входом другого логічного елемента І-НІ i-го розряду, другий вхід другого логічного елемента І-НІ i-го розряду, крім N-го, з'єднаний з виходом першого логічного елемента І-НІ (i+1)-го розряду. Третій вхід другого логічного елемента І-НІ i-го розряду, крім N-го та (N-1)-го, з'єднаний з виходом першого логічного елемента І-НІ (i+2)-го розряду. Вихід другого логічного елемента І-НІ i-го розряду з'єднаний з Т-входом лічильного тригера i-го розряду. Другий і третій входи другого логічного елемента І-НІ N-го розряду та третій вхід другого логічного елемента І-НІ (N-1)-го розряду з'єднані з входом одиничного потенціалу лічильника. В нього введено логічний елемент І-НІ лічильника. Прямий вихід лічильного тригера першого розряду з'єднаний з першим входом логічного елемента І-НІ лічильника. Другий вхід якого з'єднаний з прямим виходом лічильного тригера другого розряду. Третій вхід з'єднаний з прямим виходом лічильного тригера третього розряду. Вихід з'єднаний з третім входом логічного елемента І-НІ першого розряду. Третім входом логічного елемента І-НІ другого розряду та четвертим входом другого логічного елемента І-НІ кожного розряду, починаючи з третього.

UA 115994 U



Фиг. 1

Корисна модель належить до обчислювальної техніки і автоматики та може бути використана у цифрових пристроях.

Відомим аналогом є перешкодостійкий лічильник імпульсів Борисенко-Стахова [Патент на винахід UA 104939 C2 23/00 (2014/01) опублікований 25.03.2014 Бюл. № 6], що складається з реєстра, що містить n тригерів і n схем I, перші входи яких сполучені з шиною тактових імпульсів, а виходи з входами установки в одиницю відповідних тригерів, а також має блок аналізу, що містить $n-1$ двохходові схеми I, блок диспозицій, що містить $n-1$ двохходові схеми I з інверторами на вході, блок контролю, що містить $n-1$ двохходові схеми I, які об'єднані схемою АБО, блок установки нуля, що містить $n-1$ двохходові схеми АБО і одну допоміжну схему I, до першого входу якої приєднана шина тактових імпульсів, при цьому входи установки в одиницю тригерів реєстра сполучені з першими входами двохходових схем АБО сусідніх молодших розрядів блока установки нуля, виходи яких сполучені з входами установки в нуль відповідних тригерів і з другими входами схем АБО сусідніх молодших розрядів цього блока, до другого входу допоміжної схеми I блока установки нуля, інверсні виходи кожного з тригерів реєстра заведені на перший і другий входи відповідних йому двох двохходових схем 1 блока аналізу, прямий вихід кожного з перших $n-1$ тригерів заведений на другий вхід схеми I сусіднього старшого розряду реєстра, прямий вихід тригера n розряду сполучений з другим входом допоміжної схеми I, виходи схеми I блока аналізу зв'язані через інвертори з першими і другими входами відповідних їм двох двохходових схем I блока диспозицій і з третім входом схеми I цього ж розряду реєстра, вихід кожної з $n-2$ схем 1 блока диспозицій, починаючи з першого розряду, заведений на третій вхід сусідньої схеми I старшого розряду цього ж блока і четвертий вхід схеми I старшого розряду реєстра, що стоїть через два розряди, вихід старшої $n-1$ схеми I блока диспозицій заведений на третій вхід допоміжної схеми I блока установки нуля, прямі виходи двох розміщених поруч тригерів заведені на перший і другий входи відповідних їм двох двохходових схем I блока контролю, виходи яких об'єднані схемою АБО.

Недоліком аналога є великі апаратні витрати та низька швидкодія, яка визначається наявністю у схемі довгих шляхів розповсюдження сигналу через всі розряди на кожному такті.

Найближчим аналогом до корисної моделі є цифро-аналоговий перетворювач, UA 94085 U Н03М 1/46, опублікований 27.10.2014 Бюл. №20, в якому описано швидкодіючий лічильник у фібоначчівій системі числення, що містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів, та у кожному i -му розряді містить лічильний тригер, вхід S синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан лічильника, а вихід з'єднаний з i -м інформаційним виходом лічильника, крім того, перший і другий розряди лічильника містять по одному логічному елементу 2I-НІ, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи 2I-НІ, причому, перший вхід логічного елемента 2I-НІ першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з T -входом лічильного тригера першого розряду; перший вхід логічного елемента 2I-НІ другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента 3I-НІ четвертого розряду, а вихід з'єднаний з T -входом лічильного тригера другого розряду; у кожному i -му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента 3I-НІ з'єднаний з інверсним виходом лічильного тригера i -го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера $(i-1)$ -го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера $(i-2)$ -го розряду, а вихід з'єднаний з першим входом другого логічного елемента 3I-НІ i -го розряду; другий вхід другого логічного елемента 3I-НІ i -го розряду, крім N -го, з'єднаний з виходом першого логічного елемента 3I-НІ $(i+1)$ -го розряду, третій вхід другого логічного елемента 3I-НІ i -го розряду, крім N -го та $(N-1)$ -го, з'єднаний з виходом першого логічного елемента 3I-НІ $(i+2)$ -го розряду, а вихід другого логічного елемента 3I-НІ i -го розряду з'єднаний з T -входом лічильного тригера i -го розряду; другий і третій входи другого логічного елемента 3I-НІ N -го розряду та третій вхід другого логічного елемента 3I-НІ $(N-1)$ -го розряду з'єднані з входом одиничного потенціалу лічильника.

Недоліком найближчого аналога є те, що при досягненні максимального коду "всі одиниці" подальша лічба зупиняється.

В основу корисної моделі поставлена задача створення циклічного лічильника у фібоначчівій системі числення, в якому за рахунок введення нових елементів та зв'язків організується режим циклічної лічби, що приводить до розширення функціональних

можливостей. В режимі циклічної лічби при досягненні лічильником максимального коду "всі одиниці" лічба продовжується далі з коду "всі нулі".

Поставлена задача вирішується тим, що в циклічний лічильник у фібоначчівій системі числення, який має вхід встановлення у початковий стан, вхід тактових імпульсів, вхід 5 одиничного потенціалу, N розрядів, N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер, вхід C синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан лічильника, а вихід з'єднаний з i-м інформаційним виходом лічильника, крім того, перший і 10 другий розряди лічильника містять по одному логічному елементу I-NI, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи I-NI, причому, перший вхід логічного елемента I-NI першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера 15 другого розряду, а вихід з'єднаний з T-входом лічильного тригера першого розряду; перший вхід логічного елемента I-NI другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента I-NI четвертого розряду, а вихід з'єднаний з T-входом лічильного тригера другого розряду; у кожному i-му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента I-NI з'єднаний з інверсним виходом лічильного тригера i-го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера (i-i)-го розряду, третій вхід з'єднаний з прямим 20 виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента I-NI i-го розряду; другий вхід другого логічного елемента I-NI i-го розряду, крім Afro, з'єднаний з виходом першого логічного елемента I-NI (i+1)-го розряду, третій вхід другого логічного елемента I-NI i-го розряду, крім N-го та (N-1)-го, з'єднаний з виходом першого логічного елемента I-NI (i+2)-го розряду, а вихід другого логічного елемента I-NI i-го розряду з'єднаний з T-входом лічильного тригера i-го розряду, другий і третій входи другого логічного елемента I-NI N-го розряду та третій вхід другого логічного елемента I-NI (N-1)-го розряду з'єднані з входом одиничного потенціалу лічильника, згідно з корисною моделлю, введено логічний елемент I-NI лічильника, причому прямий вихід лічильного тригера першого розряду з'єднаний з першим входом логічного елемента I-NI лічильника, другий вхід якого з'єднаний з 30 прямим виходом лічильного тригера другого розряду, третій вхід з'єднаний з прямим виходом лічильного тригера третього розряду, а вихід з'єднаний з третім входом логічного елемента I-NI першого розряду, третім входом логічного елемента I-NI другого розряду та четвертим входом другого логічного елемента I-NI кожного розряду, починаючи з третього.

Корисна модель пояснюється кресленнями, де на фіг. 1 зображено схему шестирозрядного 35 циклічного лічильника у фібоначчівій системі числення. На фіг. 2 зображено часові діаграми роботи шестирозрядного циклічного лічильника у фібоначчівій системі числення. На діаграмах не враховані затримки часу на перемикання логічних елементів і тригерів.

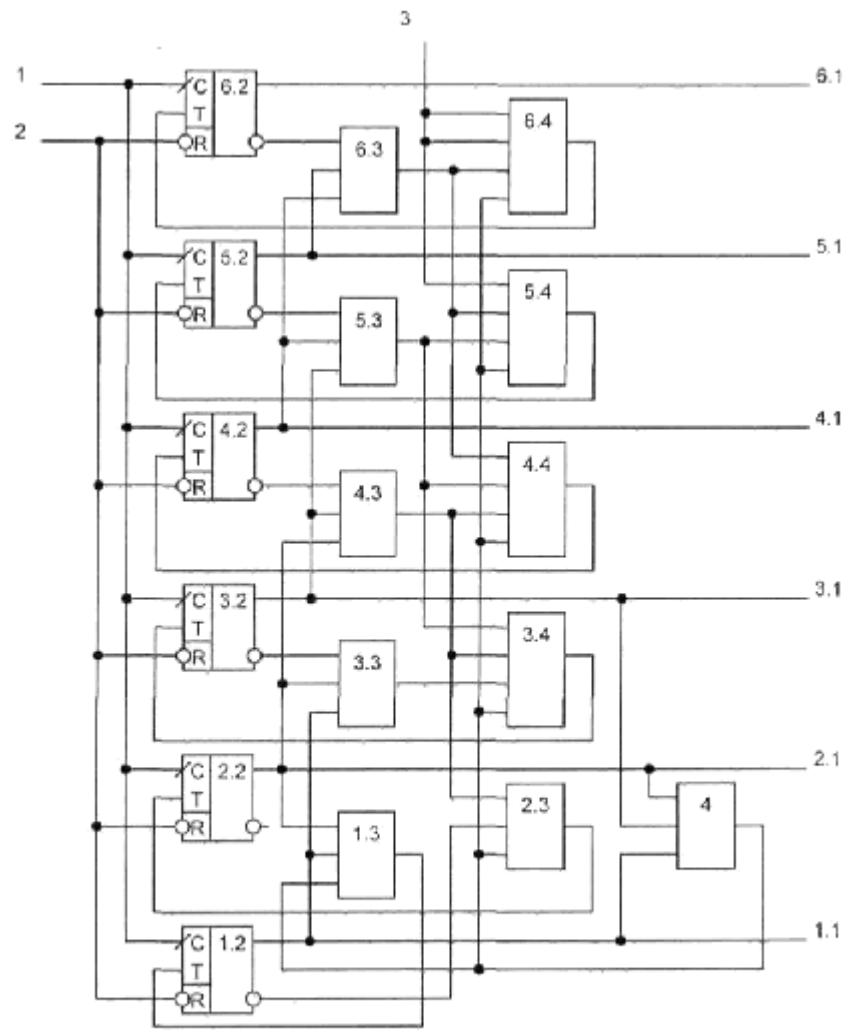
Циклічний лічильник у фібоначчівій системі числення має шість розрядів, шість інформаційних виходів 1.1÷6.1, вхід 1 тактових імпульсів, вхід 2 встановлення у початковий 40 стан, вхід 3 одиничного потенціалу, містить логічний елемент 4 I-NI лічильника, лічильні тригери 1.2÷6.2, логічний елемент 1.3 I-NI першого розряду, логічний елемент 2.3 I-NI другого розряду, перші логічні елементи 3.3÷6.3 I-NI розрядів з третього по шостий та другі логічні елементи 3.4÷6.4 I-NI розрядів з третього по шостий. Вхід 1 тактових імпульсів з'єднаний з C-входами всіх лічильних тригерів 1.2÷6.2, вхід 2 встановлення у початковий стан з'єднаний з R-входами всіх лічильних тригерів 1.2÷6.2. Прямі виходи лічильних тригерів 1.2÷6.2 розрядів з першого по 45 шостий з'єднані з інформаційними виходами 1.1÷6.1 відповідно. Прямий вихід лічильного тригера 1.2 першого розряду з'єднаний з першим входом логічного елемента 1.3 I-NI першого розряду. Інверсний вихід лічильного тригера 1.2 першого розряду з'єднаний з першим входом логічного елемента 2.3 I-NI другого розряду. Прямий вихід лічильного тригера 2.2 другого розряду з'єднаний з другим входом логічного елемента 1.3 I-NI першого розряду. Інверсні виходи лічильних тригерів 3.2÷6.2 розрядів з третього по шостий з'єднані з першими входами 50 перших логічних елементів 3.3÷6.3 I-NI розрядів з третього по шостий відповідно. Прямі виходи лічильних тригерів 2.2÷5.2 розрядів з другого по п'ятий з'єднані з другими входами перших логічних елементів 3.3÷6.3 I-NI розрядів з третього по шостий відповідно. Прямі виходи лічильних тригерів 1.2÷4.2 розрядів з першого по четвертий з'єднані з третіми входами перших логічних елементів 3.3÷6.3 I-NI розрядів з третього по шостий відповідно. Прямі виходи лічильних тригерів 1.2÷3.2 першого, другого і третього розрядів з'єднані відповідно з першим, 55 другим і третім входами логічного елемента 4 I-NI лічильника. Виходи перших логічних елементів 3.3÷6.3 I-NI розрядів з третього по шостий з'єднані з першими входами других логічних елементів 3.4÷6.4 I-NI розрядів з третього по шостий відповідно. Виходи перших 60 логічних елементів 3.4÷6.4 I-NI розрядів з третього по шостий відповідно. Виходи перших

логічних елементів 4.3÷6.3 I-HI розрядів з четвертого по шостий з'єднані з другими входами других логічних елементів 3,4÷5.4 I-HI розрядів з третього по п'ятий відповідно. Виходи перших логічних елементів 5.3 та 6.3 I-HI п'ятого і шостого розрядів з'єднані з третіми входами других логічних елементів 3.4 та 4.4 I-HI третього і четвертого розрядів відповідно. Вихід першого логічного елемента 4.3 I-HI четвертого розряду з'єднаний з другим входом логічного елемента 2.3 I-HI другого розряду. Вхід 3 одиничного потенціалу з'єднаний з другим і третім входами другого елемента 6.4 I-HI шостого розряду та третім входом другого елемента 5.4 I-HI п'ятого розряду. Вихід логічного елемента 4 I-HE лічильника з'єднаний з третім входом логічного елемента 1.3 I-HI першого розряду, третім входом логічного елемента 2.3 I-HI другого розряду та четвертими входами логічних елементів 3.4÷6.4 I-HE розрядів з третього по шостий. Виходи логічних елементів 1.3 та 2.3 I-HI першого і другого розрядів з'єднані з Т-входами лічильних тригерів 1.2 та 2.2 першого і другого розрядів відповідно. Виходи других логічних елементів 3.4÷6.4 I-HI розрядів з третього по шостий з'єднані з Т-входами лічильних тригерів 3.2÷6.2 розрядів з третього по шостий відповідно.

Лічильник працює таким чином. Перед початком роботи одиничний потенціал зі входу 3 одиничного потенціалу надходить на третій вхід другого логічного елемента 5.4 I-HI п'ятого розряду, другий і третій входи другого логічного елемента 6.4 I-HI шостого розряду. Робота починається з подання на вхід 2 початкового встановлення нульового сигналу, який надходить на R-входи лічильних тригерів 1.2÷2 розрядів з першого по шостий. Лічильні тригери 1.2÷6.2 розрядів з першого по шостий встановлюються у нульовий стан. У кожному і-му розряді нульовий сигнал з прямого виходу лічильного тригера 1.2 надходить на інформаційний вихід і.1 цього розряду. Нульові сигнали з прямих виходів лічильних тригерів 1.2÷6.2 розрядів з першого по шостий надходять на відповідні інформаційні виходи 1.1÷6.1 цих розрядів, на перший і другий входи логічного елемента 1.3 I-HI першого розряду та другий і третій входи перших логічних елементів 3.3÷6.3 I-HI розрядів з третього по шостий. На інформаційних виходах 6.1÷1.1 лічильника встановлюється код 000000. Одиничний сигнал з інверсного виходу лічильного тригера 1.2 першого розряду надходить на перший вхід логічного елемента 2.3 I-HI другого розряду, на другий вхід якого надходить одиничний сигнал з виходу першого логічного елемента 4.3 I-HI четвертого розряду. Одиничні сигнали з виходів перших логічних елементів 3.3÷6.3 I-HI розрядів з третього по шостий надходять на перші входи других логічних елементів 3.4÷6.4 I-HI розрядів з третього по шостий. Одиничні сигнали з виходів перших логічних елементів 4.3÷6.3 I-HI розрядів з четвертого по шостий надходять на другі входи других логічних елементів 3.4÷5.4 I-HI розрядів з третього по п'ятий. Одиничні сигнали з виходів перших логічних елементів 5.3 і 6.3 I-HI п'ятого і шостого розрядів надходять на треті входи других логічних елементів 3.4÷4.4 I-HI третього і четвертого розрядів. Нульові сигнали з прямих виходів лічильних тригерів 1.2÷3.2 розрядів з першого по третій надходять відповідно на перший, другий і третій входи логічного елемента 4 I-HI, одиничний сигнал з виходу якого надходить на треті входи логічних елементів 1.3 і 2.3 I-HI першого і другого розрядів та на четверті входи других логічних елементів 3.4÷6.4 I-HI розрядів з третього по шостий. Одиничний сигнал з виходу логічного елемента 1.3 I-HI першого розряду надходить на Т-вхід лічильного тригера 1.2 першого розряду. Нульові сигнали з виходів логічного елемента 2.3 I-HI другого розряду та других логічних елементів 3.4÷6.4 I-HI розрядів з третього по шостий надходять відповідно на Т-входи лічильних тригерів 2.2÷6.2 розрядів з другого по шостий. При поданні на вхід 1 тактових імпульсів переднього фронту одиничного сигналу він надходить на С-входи лічильних тригерів 1.2÷6.2 розрядів з першого по шостий. Лічильні тригери розрядів 2.2÷6.2 розрядів з другого по шостий залишаються у нульовому стані, а лічильний тригер 1.2 першого розряду встановлюється в одиничний стан. На інформаційних виходах 6.1÷1.1 лічильника встановлюється код 000001. Подальша робота лічильника пояснюється за допомогою діаграм, наведених на фіг. 2. При встановленні у лічильнику коду 111111 на всі входи логічного елемента 4 I-HI лічильника надходять одиничні сигнали. Нульовий сигнал з виходу цього елемента надходить на треті входи логічних елементів 1.3 і 2.3 I-HI першого і другого розрядів та на четверті входи других логічних елементів 3.4÷6.4 I-HI розрядів з третього по шостий. Одиничні сигнали з виходів цих елементів надходять на Т-входи лічильних тригерів 1.2÷6.2 розрядів з першого по шостий відповідно. При надходженні переднього фронту одиничного сигналу на С-входи лічильних тригерів 1.24-6.2 розрядів з першого по шостий вони встановлюються в нульовий стан. На інформаційних виходах 1.14-6.1 лічильника встановлюється код 000000, з якого далі циклічно починається лічба, що підтверджує вирішення поставленої задачі.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5 Циклічний лічильник у фібоначчівій системі числення, що має вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N розрядів, N інформаційних виходів, та у кожному i -му розряді містить лічильний тригер, вхід S синхронізації якого з'єднаний зі входом тактових імпульсів лічильника, вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан лічильника, а вихід з'єднаний з i -м інформаційним виходом лічильника, крім того, перший і другий розряди лічильника містять по одному логічному елементу I-NI, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи I-NI, причому, перший вхід логічного елемента I-NI першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду; перший вхід логічного елемента I-NI другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента I-NI четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду; у кожному i -му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента I-NI з'єднаний з інверсним виходом лічильного тригера i -го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера $(i-1)$ -го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера $(i-2)$ -го розряду, а вихід з'єднаний з першим входом другого логічного елемента I-NI i -го розряду, другий вхід другого логічного елемента I-NI i -го розряду, крім N -го, з'єднаний з виходом першого логічного елемента I-NI $(i+1)$ -го розряду, третій вхід другого логічного елемента I-NI i -го розряду, крім N -го та $(N-1)$ -го, з'єднаний з виходом першого логічного елемента I-NI $(i+2)$ -го розряду, а вихід другого логічного елемента I-NI i -го розряду з'єднаний з Т-входом лічильного тригера i -го розряду; другий і третій входи другого логічного елемента I-NI N -го розряду та третій вхід другого логічного елемента I-NI $(N-1)$ -го розряду з'єднані з входом одиничного потенціалу лічильника, який **відрізняється** тим, що в нього введено логічний елемент I-NI лічильника, причому прямий вихід лічильного тригера першого розряду з'єднаний з першим входом логічного елемента I-NI лічильника, другий вхід якого з'єднаний з прямим виходом лічильного тригера другого розряду, третій вхід з'єднаний з прямим виходом лічильного тригера третього розряду, а вихід з'єднаний з третім входом логічного елемента I-NI першого розряду, третім входом логічного елемента I-NI другого розряду та четвертим входом другого логічного елемента I-NI кожного розряду, починаючи з третього.



Фиг. 1

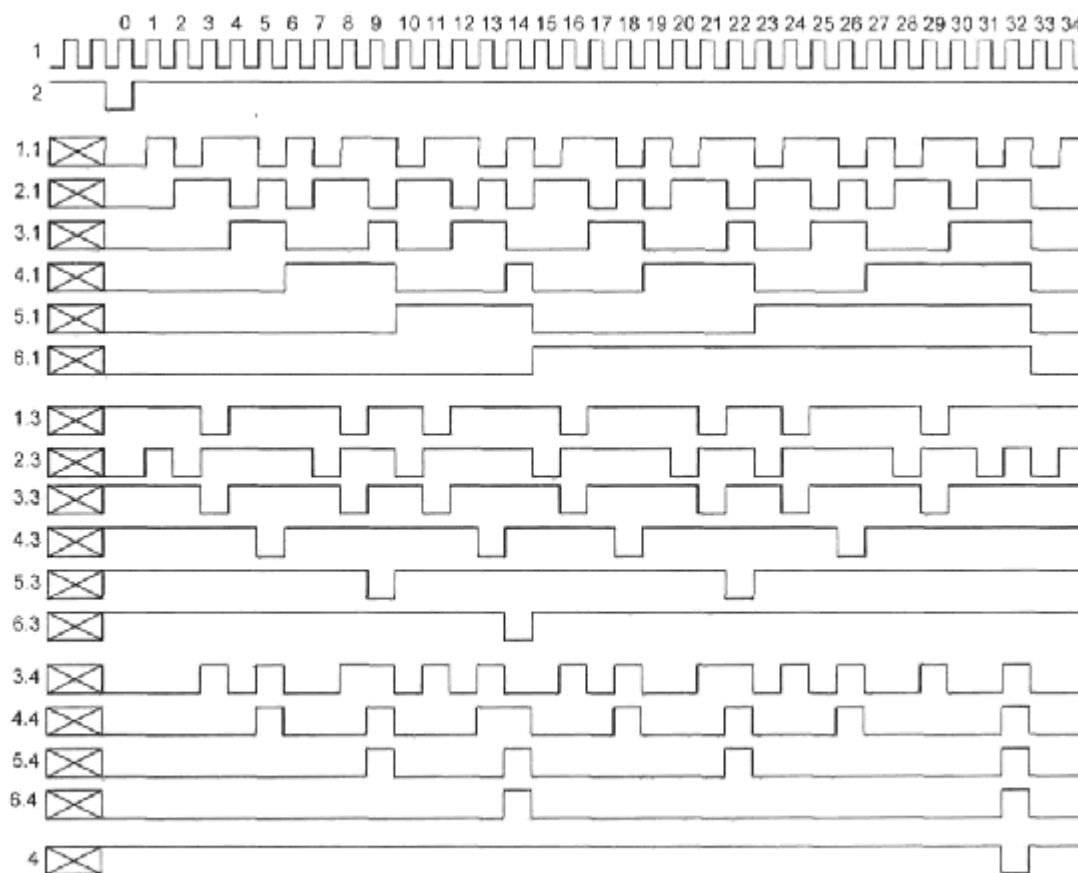


Fig. 2

Комп'ютерна верстка О. Рябко

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601