



УКРАЇНА

(19) **UA** (11) **89888** (13) **U**
(51) МПК
G11B 5/09 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: u 2013 03344</p> <p>(22) Дата подання заявки: 19.03.2013</p> <p>(24) Дата, з якої є чинними права на корисну модель: 12.05.2014</p> <p>(46) Публікація відомостей про видачу патенту: 12.05.2014, Бюл.№ 9</p>	<p>(72) Винахідник(и): Кадук Олександр Володимирович (UA), Завадинський Ігор Олегович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
---	--

(54) ПРИСТРІЙ КАНАЛЬНОГО КОДУВАННЯ

(57) Реферат:

Пристрій каналного кодування містить генератор синхроімпульсів, три лічильники імпульсів, два інвертори, елемент І, елемент 2І-НІ, формувач імпульсів, два лічильні тригери, два регістри зсуву, дешифратор, паралельний регістр, вісім блоків пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину.

UA 89888 U

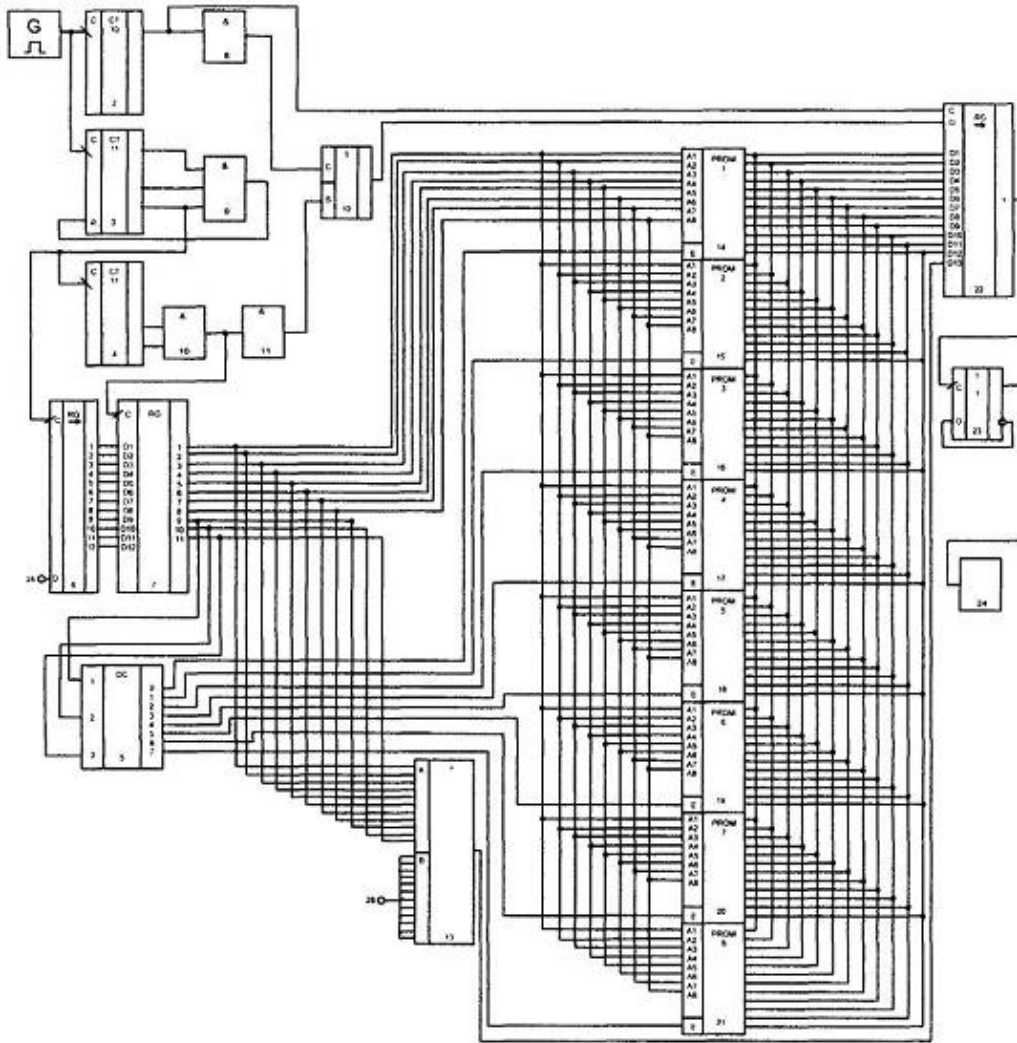


Fig. 1

Корисна модель належить до обчислювальної техніки, а саме до пристроїв формування сигналів для високощільного запису цифрової інформації на магнітний носій.

Відомий пристрій каналного кодування (патент України № 36869А м. кл. G11B5/09, 16.04.2001, бюл. № 3), який розрахований на збільшення щільності магнітного запису за рахунок перекодування інформації в каналний код Каутса-Фібоначчі з параметрами $n=10$, $m=11$, $d=0$, $k=3$.

Пристрій складається з генератора, під'єданого виходом до лічильного входу першого і другого лічильника імпульсів. Вихід першого лічильника 2 з'єднаний з входом інвертора та синхровходом другого регістра зсуву, вихід інвертора з'єднаний з синхровходом першого тригера, вихід якого під'єданого до керуючого входу другого регістра зсуву, вихід якого з'єднаний з лічильним входом другого тригера, інверсний вихід якого з'єднано з інформаційним входом цього тригера, а прямий вихід з'єднано з входом блока запису. Вихід блока запису з'єднується з магнітною головкою (не показаний). Виходи другого лічильника імпульсів зв'язані через елемент "І" з його входом скидання в нуль. При цьому один з виходів другого лічильника 3 під'єднаний до синхровходу третього лічильника імпульсів та синхровходу першого регістру. Виходи третього лічильника імпульсів під'єднані до входу схеми 2I-HI, вихід якої з'єднано з формувачем імпульсів та синхровходом паралельного регістру. Вихід формувача імпульсів з'єднано з входом встановлення в одиницю першого тригера До інформаційного входу першого регістру підключена вхідна шина, перший-одинадцятий інформаційні виходи першого регістру під'єднані до першого-одинадцятого інформаційних входів паралельного регістру, перший-одинадцятий виходи паралельного регістру з'єднані з першим-одинадцятим входами компаратора, а входи цифрового компаратора під'єднані до шини опорного сигналу, вихід цифрового компаратора з'єднаний з інформаційним входом другого регістра зсуву. Перший-восьмий виходи паралельного регістру під'єднані до першого-восьмого адресних входів першого, другого, третього, четвертого, п'ятого, шостого, сьомого та восьмого блоків пам'яті, виходи яких під'єднані до першого-одинадцятого інформаційних входів другого регістра зсуву. Дев'ятий, десятий та одинадцятий виходи паралельного регістра під'єднані до входів дешифратора, виходи якого з'єднані з входами установки режиму роботи відповідно до першого, другого, третього, четвертого, п'ятого, шостого, сьомого та восьмого блоків пам'яті.

Недоліком пристрою є невисока щільність запису внаслідок малого значення вікна детектування.

За прототип взято пристрій каналного кодування (патент України № 10481, м. кл. G11B5/09, 15.11.2005, бюл. № 11). Пристрій каналного кодування, який містить генератор синхроімпульсів, три лічильники імпульсів, інвертор, схема І, в подальшому елемент І, схему 2I-HI, в подальшому елемент 2I-HI, формувач імпульсів, три лічильні тригери, два регістри зсуву, дешифратор, паралельний регістр, чотири блоки пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістра зсуву, вхід синхронізації якого з'єднаний зі входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано з входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістру під'єднано до першого-десятого виходів першого регістра зсуву, а перший-десятий виходи паралельного регістра з'єднано з першим-десятим входами цифрового компаратора, входи якого також з'єднано з шиною опорного коду, перший-восьмий виходи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяти виходи першого та другого блока пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компаратора під'єднано до одинадцятого входу третього регістра, вихід якого з'єднано з входом синхронізації другого тригера, прямий вихід якого під'єднано до блока запису, а інверсний до свого інформаційного входу, перший-другий вихід третього лічильника імпульсів під'єднано до першого-другого входу елемента 2I-HI, виходи якого з'єднано з входом синхронізації паралельного регістра та формувача імпульсів, вихід першого лічильника імпульсів під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього входів елемента І відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-десятий виходи другого регістра під'єднано відповідно до першого-другого входів дешифратора, перший-четвертий виходи якого під'єднано до входів управління режимами першого, другого, третього та четвертого блоків пам'яті, дешифратор, до першого-третього входів якого під'єднані

дев'яятий-одинадцятий виходи паралельного регістра, причому в пристрій каналного кодування введено п'ятий, шостий, сьомий та восьмий блоки пам'яті, перший-восьмий виходи дешифратора під'єднано до входів управління режимами першого, другого, третього та четвертого, п'ятого, шостого, сьомого, восьмого, блоків пам'яті, причому в даній схемі

5 використовується три розрядний дешифратор.

Недолік прототипу - недостатня щільність запису цифрової інформації на магнітний носій.

В основу корисної моделі поставлено задачу розробки пристрою каналного кодування, в якому за рахунок введення нових блоків та зв'язків між ними досягається збільшення щільності запису інформації на магнітний носій при збереженні умов самосинхронізації, що дозволяє

10 збільшити кількість інформації, яка записується на звичайну магнітну стрічку при використанні перекодування в код Каутса-Фібоначчі з параметрами $n=12$, $m=13$, $d=0$, $k=3$.

Поставлена задача досягається тим, що в пристрій каналного кодування, який містить генератор синхроімпульсів, три лічильники імпульсів, два інвертори, елемент І, елемент 2І- НІ, формувач імпульсів, два лічильні тригери, два регістри зсуву, дешифратор, паралельний

15 регістр, вісім блоків пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістра зсуву, вхід синхронізації якого з'єднаний зі входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано з входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістра під'єднано до першого-десятого

20 виходів першого регістра зсуву, а перший-десятий виходи паралельного регістра з'єднано з першим-десятим входами цифрового компаратора, входи якого також з'єднано з шиною опорного коду, перший-восьмий виходи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяті виходи першого та другого блока пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компаратора під'єднано до дванадцятого входу другого регістра зсуву, вихід якого з'єднано з входом синхронізації другого тригера, прямий вихід якого під'єднано до блока запису, а інверсний до свого інформаційного входу, перший-другий вихід третього лічильника імпульсів під'єднано до першого-другого входу елемента 2І-Ш виходи якого з'єднано з входом синхронізації паралельного регістра та формувача імпульсів, а перший та другий входи першого елемента І з'єднано з першим та другим виходами першого лічильника імпульсів, вихід першого

35 елемента І під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього входів елемента І відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'яятий-одинадцятий виходи паралельного регістра під'єднано відповідно до першого-третього входів дешифратора, перший-восьмий виходи якого під'єднано до входів управління режимами першого-восьмого блоків пам'яті, причому дванадцятий вихід першого регістра зсуву з'єднано з дванадцятим входом паралельного регістра, а дванадцяті виходи восьми блоків пам'яті під'єднано до дванадцятого входу другого регістра зсуву, відповідно вихід цифрового компаратора під'єднано до тринадцятого входу другого регістра зсуву.

Суть корисної моделі пояснюють креслення, де на фіг. 1 представлено функціональну схему пристрою каналного кодування. На фіг. 2 представлені часові діаграми роботи пристрою каналного кодування.

45

Пристрій складається з генератора 1, під'єданого виходом до лічильного входу першого 2 і другого 3 лічильника імпульсів. Вихід першого лічильника 2 з'єднаний з входом інвертора 8 та синхровходом другого регістра зсуву 22, вихід інвертора 8 з'єднаний з синхровходом першого тригера 12, вихід якого під'єданого до керуючого входу другого регістра зсуву 22, вихід якого з'єднаний з лічильним входом другого тригера 23, інверсний вихід якого з'єднано з інформаційним входом цього тригера, а прямий вихід з'єднано з входом блока запису 24. Вихід блока запису 24 з'єднується з магнітною головкою (не показаний). Виходи другого лічильника імпульсів 3 зв'язані через елемент І 9 з його входом скидання в нуль. При цьому один з виходів

50 другого лічильника 3 під'єднаний до синхровходу третього лічильника імпульсів 4 та синхровходу першого регістру 5. Виходи третього лічильника імпульсів 4 під'єднані до входу елемента 2І- НІ 10, вихід якої з'єднано з формувачем імпульсів 11 та синхровходом паралельного регістру 7. Вихід формувача імпульсів 11 з'єднано з входом встановлення в одиницю першого тригера 12 до інформаційного входу О першого регістру 5 підключена вхідна

55

шина 25, перший-одинадцятий інформаційні виходи першого регістру 5 під'єднані до першого-одинадцятого інформаційних входів паралельного регістру 7.

Перший-одинадцятий виходи паралельного регістру 7 з'єднані з першим-одинадцятим А входами компаратора 13, а входи (В) цифрового компаратора 13 під'єднані до шини опорного сигналу 26, вихід цифрового компаратора 13 з'єднаний з інформаційним входом 12 другого регістра зсуву 22. Перший-восьмий виходи паралельного регістру 7 під'єднані до першого-восьмого адресних входів (А1-А8) першого 14, другого 15, третього 16, четвертого 17, п'ятого 18, шостого 19, сьомого 20 та восьмого 21 блоків пам'яті, виходи яких під'єднані до першого-одинадцятого інформаційних входів другого регістра зсуву 22. Дев'ятий, десятий та одинадцятий виходи паралельного регістра 7 під'єднані до входів дешифратора 6, виходи якого з'єднані з входами установки режиму роботи Е відповідно до першого 14, другого 15, третього 16, четвертого 17, п'ятого 18, шостого 19, сьомого 20 та восьмого 21 блоків пам'яті, а дванадцятий вихід першого регістра зсуву 6 з'єднано з дванадцятим входом паралельного регістра 7, а дванадцяті виходи восьми блоків пам'яті 14, 15, 16, 17, 18, 19, 20, 21 під'єднано до дванадцятого входу другого регістра зсуву 22, відповідно вихід цифрового компаратора 13 під'єднано до тринадцятого входу другого регістра зсуву 22.

В запропонованому пристрої кодування двійкового одинадцяти розрядного коду в дванадцяти-розрядний код Каутса-Фібоначчі інформаційне дванадцятирозрядне слово розвертається за допомогою першого регістра 5 з послідовної двійкової форми в паралельну. В подальшому за допомогою елементів 14, 15, 16, 17, 18, 19, 20, 21 це слово перетворюється в тринадцятирозрядне кодове слово Каутса-Фібоначчі. За допомогою третього регістра 22 паралельне кодове тринадцятирозрядне слово Каутса-Фібоначчі також переводиться в послідовну форму і подається на блок запису 22 для подальшої реєстрації на магнітний носій (стрічка, диск).

Пристрій працює таким чином. Вхідний двійковий код розділяють на рівномірні часові послідовності по дванадцять бітових інтервалів, перетворюють за допомогою каналних кодів Каутса-Фібоначчі в тринадцятисимвольні послідовності і в подальшому в струм запису. Сигнал тактової частоти (Фіг. 2а), сформований генератором 1 ділиться на 11 за допомогою першого лічильника імпульсів 2 (Фіг. 2б) та на дванадцять за допомогою другого лічильника імпульсів 3 (Фіг. 2в). Інформаційні сигнали в двійковому коді з виходу першого регістра 5 записуються в другий регістр 7 в момент позитивного перепаду сигналу, який надходить з виходу схеми 21-НІ 10 (Фіг. 2г). Вихідні імпульси формувача імпульсів 12 (Фіг. 2д) надходять на вхід встановлення в одиницю першого тригера 12, вихідний сигнал (Фіг. 2е) якого подається на вхід установки режиму роботи Е третього регістра зсуву 22 і встановлює режим паралельного чи послідовного зсуву. В блоках пам'яті 14, 15, 16, 17, 18, 19, 20, 21 виконується перекодування інформації з дванадцятирозрядного двійкового коду в тринадцятирозрядний код Каутса-Фібоначчі. Другий регістр зсуву 22 перетворює паралельний запис цього коду в послідовний зсув кодової інформації, яка після перетворення надходить в блок запису 24 для формування сигналів запису на магнітний носій.

В загальному випадку каналного кодування інформаційні комбінації з n - символів двійкового вхідного коду замішується групою з m - символів каналного коду. При цьому відношення числа символів n до m визначає параметр, який називають кодовою швидкістю

$$V_k = n/m.$$

Параметр кодової швидкості характеризує ступінь зменшення швидкості проходження інформації через фізичний канал магнітної реєстрації при її заміщенні за методами каналного кодування. Як правило, чим вища кодова швидкість каналного коду, тим менша його надлишковість

$$H = \frac{m - n}{n} \cdot 100\% .$$

Канальні коди кодами з обмеженням довжин серій нулів та одиниць. Обмеження довжин серій символів каналного коду дозволяє забезпечити можливість самосинхронізації каналу цифрової магнітної реєстрації. З точки зору самосинхронізації всі методи каналного кодування можуть бути охарактеризовані параметрами d та k причому параметр d визначає мінімальну кількість нулів між двом одиницями (при реакції на одиницю), параметр k визначає максимальну кількість нулів між двома одиницями. Ступінь самосинхронізації буде тим більший, чим менше відношення максимальної та мінімальної довжин переходів намагніченості носія інформації, що визначаються як:

$$\begin{aligned} T_{\min} &= V_k (d + 1) \cdot T, \\ T_{\max} &= V_k (k + 1) \cdot T, \end{aligned}$$

де T - довжина тактового інтервалу, що відповідає одному біту, записаному за методом БПНМ (без повернення до нуля модифікований). Ступінь самосинхронізації оцінюється коефіцієнтом самосинхронізації, що визначається як:

$$K_s = T_{\max} / T_{\min} = V_k(k + 1)T / V_k(d + 1)T = (k + 1) / (d + 1).$$

5 На практиці значення коефіцієнту самосинхронізації вибирають в межах $K_s = 2-4$.

Для визначення параметру густини переходу намагніченості носія інформації, що характеризує можливу щільність та швидкість реєстрація інформації використовують параметр, який називають коефіцієнтом можливої густини. Цей коефіцієнт визначається як:

$$K_m = T_{\min} / T$$

10 і має тим більше значення, чим далі рознесені по магнітному носію переходи намагніченості. Рознесення переходів дозволяє зменшувати верхню частоту в спектрі каналного коду та звужувати АЧХ каналу або ж в існуючому каналі реєструвати інформацію з більшою швидкістю.

15 На практиці проведення операцій заміщення n - символів двійкової інформації m - символами каналного коду призводить до появи надлишковості i , при $d = 0$ параметр $T_{\min} < T$. Тоді K_m зменшується і швидкість реєстрації також зменшується. В той же час надлишковість каналного коду не знижує, а підвищує K_m щільність та швидкість реєстрації при $d > 0$.

20 В той же час можливе значення коефіцієнта збільшення швидкості реєстрації тісно, але обернено пропорційно пов'язане з таким параметром, як вікно детектування. Вікно детектування визначає можливість правильного розпізнавання імпульсів сигналів на виході каналу магнітної реєстрації і залежить від кодової швидкості та довжини тактового інтервалу:

$$T_q = V_k \cdot T.$$

Зменшення вікна детектування призводить до значного ускладнення схем відтворення (детектування) на виході каналу магнітної реєстрації.

25 Враховуючи практично взаємозворотну дію коефіцієнта густини переходів намагніченості та вікна детектування слід при виборі оптимального методу каналного кодування застосувати деякий комплексний показник. Цей показник, назовемо його коефіцієнтом ефективної густини переходів намагніченості, що визначається як

$$K_{em} = K_m \cdot K_q / T = K_m \cdot V_k$$

30 Виконавши деякі спрощення шляхом підстановки

$$T_q / T = V_k, T_{\min} = V_k(d + 1)T, V_k = n/m$$

$$\text{одержимо } K_{em} = n^2 \cdot (d + 1) / m^2 \text{ або } K_{em} = V_k^2 \cdot (d + 1).$$

Використовуючи запропонований коефіцієнт K_{em} , вибір каналного коду проводять виходячи з максимального його значення при $K_s = 2..A$.

35 Задачу побудови оптимального каналного коду можна вирішити шляхом використання рекурентних рядів Каутса-Фібоначчі, для яких вага члена ряду в будь-якій позиції дорівнює деякій сумі попередніх членів ряду. Таке відображення членів ряду дозволяє, при проведенні операції кодування, одержувати обмежені серії нулів та одиниць, що забезпечує самосинхронізацію. Найбільш поширені числові ряди Каутса-Фібоначчі і позначення відповідних їм каналних кодів наведені в таблиці 1.

40 Порівняльний аналіз відомих та запропонованих каналних кодів по параметрах синхронізації K_s , вікна детектування T_d , надлишковості H та коефіцієнтів густини переходів K_m та K_{em} дозволяє побудувати табл. 2. З табл. 2 можна зробити висновок, що при однаковому коефіцієнті самосинхронізації КФ коди з параметрами $n = 12, d=13, d=0, k=3$ дозволяють забезпечити найбільш високе значення коефіцієнту ефективної густини 10 переходів K_{em} . Причому K_{em} у кодів КФ зростає відповідно збільшенню кількості розрядів коду.

45 Використання пристрою дозволяє збільшити щільність запису інформації на магнітний носій при умові самосинхронізації, а також зменшити надлишковість приблизно на 10 %.

Таблиця 1

Умовне зображення каналного коду КФ(d,k)	Породжуюча форма	Числовий ряд
КФ (0,1)	$Y_i = Y_{i-1} + Y_{i-2}$	1.1.2.3.5.8.13.21.34.55
КФ (0,2)	$Y_i = Y_{i-1} + Y_{i-2} + Y_{i-3}$	1.1.2.4.7.13.24.44.81.149
КФ (0,3)	$Y_i = Y_{i-1} + Y_{i-2} + Y_{i-3} + Y_{i-4}$	1.1.2.4.8.15.29.56.108.208
КФ(1,2)	$Y_i = Y_{i-2} + Y_{i-3}$	1.1.1.2.2.3.4.5.7.9.12
КФ(1,3)	$Y_i = Y_{i-2} + Y_{i-3} + Y_{i-4}$	1.1.2.3.4.6.9.13.19.28
КФ (1,4)	$Y_i = Y_{i-1} + Y_{i-2} + Y_{i-5}$	1.1.1.2.3.5.7.11.17.26.40
КФ(2,3)	$Y_i = Y_{i-3} + Y_{i-4}$	1.1.1.1.2.2.2.3.4.4.5.7.8.9

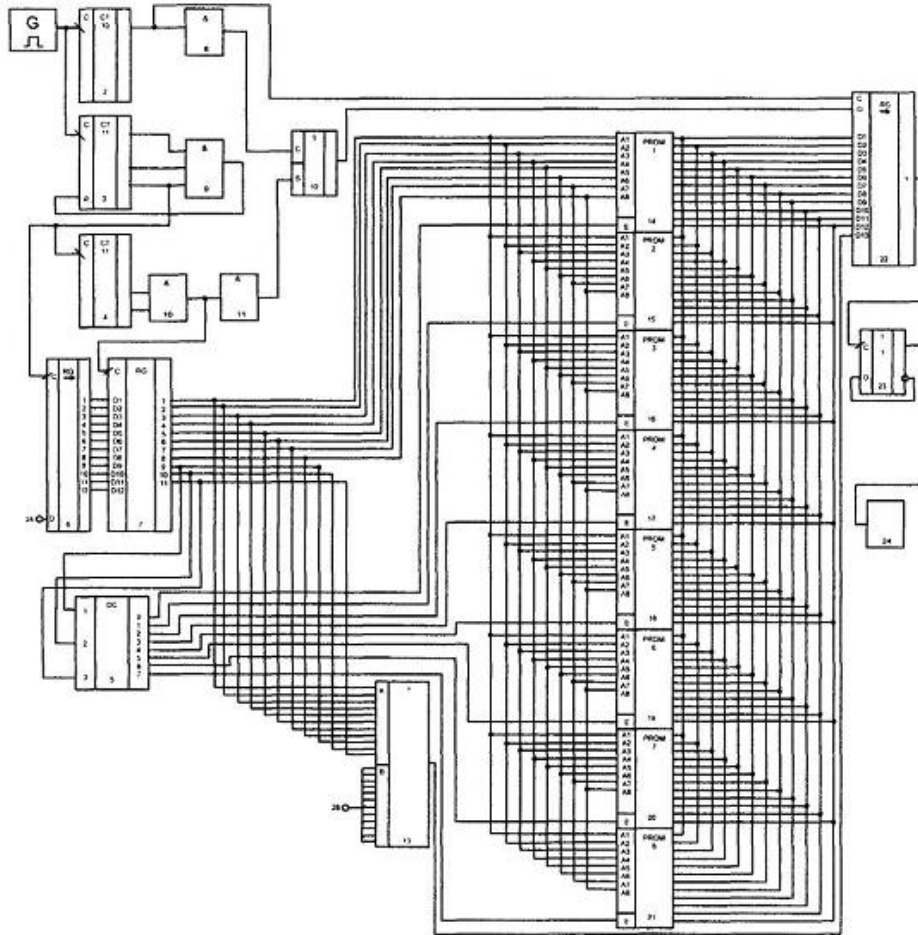
Таблиця 2

Група кодів	Код	Km	Tg=V _k *T	Kem	H,%
Ks=4	ГК5/6	0,833	0,833	0,694	20
Ks=4	НДМ-3	2	0,33	0,66	200
Ks=4	РРМ	1,5	0,5	0,75	100
Ks=4	КФ (0,3,8,9)	0,889	0,889	0,79	12,5
Ks=4	КФ(0,3,9,10)	0,9	0,9	0,81	11,1
Ks=4	КФ(0,3,10,11)	0,91	0,91	0,83	10
Ks=4	КФ(0,3,11,12)	0,917	0,917	0,84	9,1
Ks=4	КФ(0,3,12,13)	0,923	0,923	0,85	8,3

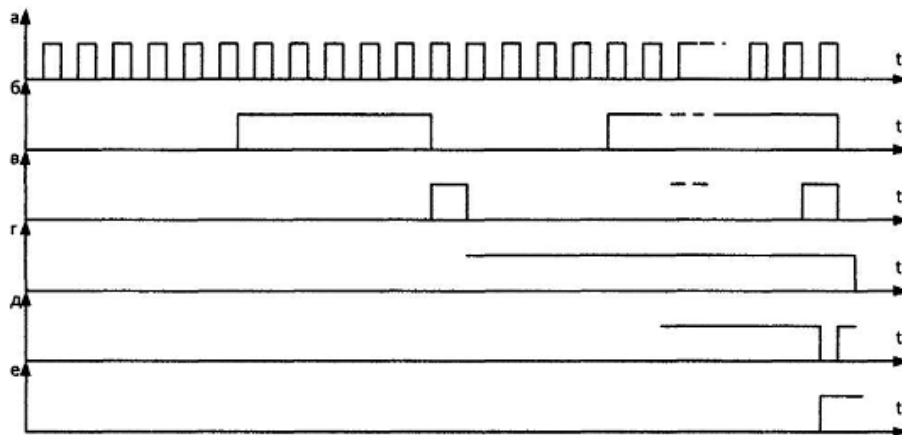
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5

Пристрій каналного кодування, який містить генератор синхроімпульсів, три лічильники імпульсів, два інвертори, елемент І, елемент 2І-НІ, формувач імпульсів, два лічильні тригери, два регістри зсуву, дешифратор, паралельний регістр, вісім блоків пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістра зсуву, вхід синхронізації якого з'єднаний зі входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано з входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого паралельного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістру під'єднано до першого-десятого виходів першого регістра зсуву, а перший-десятий входи паралельного регістра з'єднано з першим-десятим входами цифрового компаратора, входи якого також з'єднано з шиною опорного коду, перший-восьмий входи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяті входи першого та другого блока пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компаратора під'єднано до дванадцятого входу другого регістра зсуву, вихід якого з'єднано з входом синхронізації другого тригера, прямий вихід якого під'єднано до блока запису, а інверсний до свого інформаційного входу, перший-другий вихід третього лічильника імпульсів під'єднано до першого-другого входу елемента 2І-НІ, виходи якого з'єднано з входом синхронізації паралельного регістра та формувача імпульсів, а перший та другий входи першого елемента І з'єднано з першим та другим виходами першого лічильника імпульсів, вихід першого елемента І під'єднано до входу інвертора, перший-третій входи другого лічильника імпульсів під'єднано до першого-третього входів елемента І відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-одинадцятий входи паралельного регістра під'єднано відповідно до першого-третього входів дешифратора, перший-восьмий входи якого під'єднано до входів управління режимами першого-восьмого блоків пам'яті, який **відрізняється** тим, що дванадцятий вихід першого регістра зсуву з'єднано з дванадцятим входом паралельного регістра, а дванадцяті входи восьми блоків пам'яті під'єднано до дванадцятого входу другого регістра зсуву, відповідно вихід цифрового компаратора під'єднано до тринадцятого входу другого регістра зсуву.



Фиг. 1



Фиг. 2

Комп'ютерна верстка В. Мацело

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601