

Винахід відноситься до автоматики та обчислювальної техніки та може бути використаний для розв'язання задач паралельної порогової обробки масиву чисел при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування n -розрядних чисел масиву (а. с. СРСР 554537, кл. G06 F7/385, 1977 р.), що містить суматор з зсувом, n лічильників з m розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного i -го розряду ($1 < i < m$) кожного j -го лічильника ($1 < j < n-1$) з'єднаний через відповідний вентиль з входом i -го розряду ($j+1$) лічильника, вихід кожного i -го розряду n -го лічильника з'єднаний через відповідний вентиль з входом i -го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування, n -розрядний регістр, вихід кожного q -го розряду якого ($1 < q < n$) з'єднаний з входом q -го додаткового вентиля, причому вихід старшого розряду кожного q -го лічильника з'єднаний з входом q -го розряду регістра, вихід q -го додаткового вентиля з'єднаний з входом $(q+m)$ -го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Недоліком даного пристрою є неможливість одночасного виконання операції підсумовування та порівняння із пороговим значенням через обмеженість функціональних можливостей пристрою, оскільки він виконує підсумовування масиву чисел, що подаються одночасно на входи пристрою, за рахунок послідовного підсумовування перетворених кодів на суматорі.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел (а. с. СРСР 558276, кл. G06 F7/385, 1977 р.), що містить однотипні блоки, причому кожний i -й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент l , виходи n старших розрядів вузла формування часткового результату з'єднані з входами регістра часткового результату ($i+1$)-го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента l , другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату ($i+1$)-го блока і одиничним виходом тригера формування кінцевого результату даного блока, одиничний вхід якого з'єднаний з одиничним виходом тригера формування кінцевого результату ($i-1$)-го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому i -й блок пристрою містить регістр порядку, вузол формування порядку, елемент АБО та два логічних вузла, виходи регістра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів регістра порядку ($i+1$)-го блока, крім того, виходи регістра порядку з'єднані з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів n старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів $(n+1)$ -розрядів вузла формування часткового результату, причому n -ий вихід другого логічного вузла підключений до n -го та $(n+1)$ -го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента l з'єднаний з $(n-1)$ -им розрядом регістра часткового результату ($i+1$)-го блока.

Недоліком даного пристрою є обмежені функціональні можливості, оскільки спосіб додавання не дозволяє суміщати виконання операцій додавання та порівняння із пороговим значенням. Пристрій реалізує операцію додавання послідовності чисел з плаваючою комою.

Найбільш близький по суті є конвеєрний пристрій для одночасного виконання арифметичних операцій над множиною чисел (а.с. СРСР 922726, кл. G 06F 7/38, 1982 р.), який складається із послідовно з'єднаних ярусів, кожен з яких містить регістр часткового результату, регістр співмножника, суматор часткового результату, перший керуючий тригер, елемент l та перший тригер, причому виходи регістра часткового результату відповідно з'єднані з входами першої групи суматора часткового результату, виходи регістра співмножника з'єднані відповідно з входами регістра співмножника наступного ярусу, виходи першого керуючого тригера з'єднані відповідно з входами першого керуючого тригера наступного ярусу, шина тактових імпульсів пристрою з'єднана з входами встановлення тригерів і регістрів, кожен ярус пристрою містить регістр переносів, другий, третій та четвертий тригери, вузол виділення старшої цифри часткового результату, перший та другий вузли перетворення прямого коду в доповняльний, другий, третій, четвертий, п'ятий і шостий елементи l , другий керуючий тригер, причому одиничні виходи першого і другого тригерів з'єднані з керуючими входами першого перетворювача прямого коду в доповняльний, одиничні виходи третього і четвертого тригерів з'єднані з керуючими входами другого перетворювача прямого коду в доповняльний відповідно, нульовий вихід другого керуючого тригера з'єднаний з керуючим входом вузла виділення старшої цифри часткового результату, виходи $(n+5)$ молодших розрядів суматора часткового результату (n - розрядність операндів) підключені відповідно до входів регістра часткового добутку наступного ярусу пристрою, виходи п'яти старших розрядів суматора часткового результату з'єднані відповідно з інформаційними входами вузла виділення старшої цифри часткового результату, перший і другий виходи якого з'єднані відповідно з входами встановлення в одиничний і нульовий стани відповідно першого тригера наступного ярусу і третього тригера даного ярусу пристрою, третій і четвертий виходи вузла виділення старшої цифри часткового результату з'єднані з входами встановлення в одиничний і нульовий стан відповідно другого тригера наступного ярусу і четвертого тригера даного пристрою, виходи переносів розрядів суматора часткового результату з другого по n -й з'єднані відповідно з входами регістра переносів наступного ярусу пристрою, виходи регістра співмножника з'єднані з інформаційними входами $(n+6)$ старших розрядів другого перетворювача прямого коду в доповняльний, до інформаційного входу молодшого розряду якого підключений одиничний вихід другого керуючого тригера, а також інформаційний вхід першого перетворювача прямого коду в доповняльний, виходи першого і другого перетворювачів прямого коду в доповняльний з'єднані з входами другої групи суматора часткового результату, входи третьої групи якого підключені до виходів регістра переносів відповідно, одиничний вихід

першого керуючого тригера з'єднаний з першим входом другого елемента l , другий вхід якого з'єднаний з одиничним виходом четвертого тригера, одиничний вихід першого керуючого тригера підключений до першого входу третього елемента l , другий вхід якого з'єднаний з нульовим виходом третього тригера, треті входи другого і третього елементів l з'єднані з нульовими виходами відповідно четвертого і третього тригерів наступного ярусу пристрою, вихід другого елемента l з'єднаний з входами встановлення в одиничний і нульовий стани відповідно третього і четвертого тригерів наступного ярусу пристрою, а також з першим входом першого елемента l , другий вхід якого з'єднаний з одиничним виходом третього тригера і з першим входом четвертого елемента l , другий вхід якого з'єднаний з нульовим виходом третього тригера, вихід третього елемента l з'єднаний з входами встановлення в одиничний і нульовий стани відповідно четвертого і третього тригерів наступного ярусу пристрою, а також з першим входом п'ятого елемента l , другий вхід якого з'єднаний з одиничним виходом четвертого тригера і з першим входом шостого елемента l , другий вхід якого підключений до нульового виходу четвертого тригера, виходи першого, четвертого, п'ятого і шостого елементів l з'єднані відповідно з входами встановлення в нульовий стан першого тригера наступного ярусу і третього тригера даного ярусу пристрою, з входами встановлення в одиничний стан другого тригера наступного ярусу і четвертого тригера даного ярусу пристрою, з входами встановлення в нульовий стан другого тригера наступного ярусу і четвертого тригера даного ярусу пристрою і з входами встановлення в одиничний стан першого тригера наступного ярусу і третього тригера даного ярусу пристрою, виходи другого керуючого тригера з'єднані відповідно з входами другого керуючого тригера наступного ярусу пристрою.

Недоліком даного пристрою є можливість обробки лише послідовності чисел, а не одновимірною масиву чисел, що подаються одночасно на входи пристрою. Крім того, у цьому пристрої відсутня можливість суміщення виконання операції підсумовування та порівняння із зовнішнім пороговим значенням, що обмежує його функціональні можливості при моделюванні, наприклад, нейроподібних мереж.

В основу винаходу поставлено задачу розробки конвеєрного пристрою, в якому за рахунок введення нових блоків та зв'язків між ними забезпечується виконання конвеєрного способу паралельної порогової обробки масиву n операндів, що приводить до розширення функціональних можливостей пристрою.

Поставлена задача досягається тим, що в конвеєрній пристрій, який складається з послідовно з'єднаних ярусів, кожний з яких містить регістр часткового результату, а шина тактових імпульсів пристрою з'єднана з входами встановлення тригерів, в кожний i -ий ярус ($i=1, \dots, n$, де n - кількість операндів) введено арифметично-логічний пристрій (АЛП) і мультиплексор, а в усі яруси, крім першого, введено мініматор та перший регістр, причому перший вхід i -го ярусу з'єднаний з першим входом мультиплексора, вихід якого підключений до входу регістра часткового результату, у якого вихід з'єднаний з першим входом АЛП та першим інформаційним входом мініматора, інформаційний вихід якого з'єднаний з входом першого регістра, перший вихід АЛП з'єднаний з другим входом мультиплексора, а другий вихід підключений до першого знакового входу мініматора, другі інформаційний і знаковий входи мініматора i -го ярусу з'єднані з першим та другим виходами $(i-1)$ -го ярусу відповідно, інформаційний і знаковий виходи першого регістра є відповідно першим і другим виходами i -го ярусу, керувальний вхід мультиплексора підключений до шини керування пристрою, вихід регістра часткового результату першого ярусу є першим виходом першого ярусу, другий вихід АЛП є другим виходом першого ярусу, а другий вхід АЛП всіх ярусів з'єднаний з першим виходом n -го ярусу, крім того, n -ий ярус містить другий АЛП, другий мультиплексор, логічний елемент АБО, перший і другий лічильники, другий і третій регістри, елемент l і блок елементів l , причому у n -му ярусі вхід другого регістра з'єднаний з виходом другого мультиплексора, а вихід з'єднаний з першим входом другого АЛП, вихід ознаки нульового результату мініматора n -го ярусу є виходом сигналу "Кінець" пристрою, крім того, перший вхід другого мультиплексора з'єднаний з входом порогового сигналу пристрою, а другий вхід з'єднаний з інформаційним виходом другого АЛП, знаковий вихід та вихід нульового результату підключені до входів логічного елемента АБО, вихід якого є виходом пристрою, другий вхід другого АЛП з'єднаний з виходом блока елементів l , який містить m елементів l (де m - розрядність вхідних величин), інверсні входи яких з'єднані з керувальним входом блока, другі входи з'єднані з інформаційним входом блока, а виходи з'єднані з інформаційним виходом блока елементів l , керувальний вхід другого мультиплексора підключений до шини керування пристрою, шина тактових імпульсів пристрою з'єднана з входами відповідних тригерів другого АЛП, інформаційний вхід блока елементів l підключений до t -розрядного інформаційного виходу першого регістра, а керувальний вхід підключений до виходу ознаки нуля другого лічильника, інформаційний вхід якого з'єднаний з виходом першого лічильника, а тактовий вхід з'єднаний з шиною тактових імпульсів пристрою і першим входом елемента l , другий вхід якого з'єднаний з виходом третього регістра, а вихід підключений до тактового входу першого лічильника, крім того, перший ознаковий вихід мініматора i -го ярусу ($i=2, \dots, n$) з'єднаний з i -тим інформаційним входом третього регістра, перший вхід якого з'єднаний з другим ознаковим виходом мініматора другого ярусу.

На фіг. 1 зображена функціональна схема пристрою, на фіг. 2, 3 показано функціональні схеми відповідно АЛП і мініматора, на фіг. 4 наведено приклад функціонування конвеєрного пристрою.

Пристрій (фіг. 1) містить n ярусів 1, причому i -ий ярус містить АЛП 2, регістр 3 часткового результату, мініматор 4, регістр 5, мультиплексор 6. Вихід 7 мініматора 4 i -го ярусу 1 з'єднаний з входом регістра 5 цього ярусу, а вихід мультиплексора 6 i -го ярусу 1 підключений до входу 8 регістра 3 часткового результату, у якого вихід з'єднаний з прямим входом 9 АЛП 2 та входом 10 мініматора 4. Вихід регістра 5 n -го ярусу з'єднаний з інверсними входами 11 АЛП 2 всіх ярусів 1, вихід 12 яких з'єднаний з другим інформаційним входом мультиплексора 6, а тактовий вхід АЛП 2 всіх ярусів 1 підключений до шини 13 тактових імпульсів пристрою. Вхід 14 мініматора 4 i -го ярусу 1 з'єднаний з виходом 15 $(i-1)$ -го ярусу 1. В 1-ому ярусі 1 вихід 15 є виходом 15 i -го ярусу 1. Перший інформаційний вхід мультиплексора 6 з'єднаний з входом 16 i -го ярусу 1, керувальний вхід з'єднаний з шиною керування 17 пристрою. Перший ярус 1 містить АЛП 2, регістр 3 часткового результату і мультиплексор 6, причому вихід регістра 3 часткового результату є виходом 15 першого ярусу 1. Останній n -ий ярус 1 містить регістри 18, 19, АЛП 20, мультиплексор 21, елемент АБО 22, лічильники 23, 24, елемент l 25 і блок 26 елементів l , у мультиплексора 21 керувальний вхід з'єднаний з шиною керування 17 пристрою, перший інформаційний вхід підключений до входу 27 порогового сигналу пристрою, другий інформаційний вхід підключений до інформаційного

виходу 28 АЛП 20, а вихід з'єднаний з входом 29 регістра 19. Вихід регістра 19 підключений до прямого входу 30 АЛП 20, виходи ознак якого є відповідно виходом 31 знаку і виходом 32 ознаки нуля, а інверсний вхід 33 АЛП 20 підключений до виходу блока 26. Виходи 31 і 32 АЛП 20 з'єднані з входами елемента АБО 22, вихід якого є виходом 34 пристрою. Крім того, вихід знаку регістра 5 (i-1)-го ярусу 1 і вихід 35 знаку АЛП 2 i-го ярусу 1 підключені відповідно до входів 36 та 37 мініматора 4 i-го ярусу 1, починаючи з третього ярусу 1, у другому ярусі 1 вихід 35 знаку АЛП2 першого і другого ярусів 1 підключені відповідно до входів 36 і 37 мініматора 4, а вихід ознаки нуля мініматора 4 n-го ярусу 1 є виходом 38 сигналу "Кінець" пристрою. Блок 26 містить m логічних елементів I (де m - розрядність вхідних величин), інверсні входи яких з'єднані з керувальним входом блока 26, прямі входи з'єднані з відповідними інформаційними входами блока 26, а виходи з'єднані з відповідними інформаційними входами блока 26. Крім того, інформаційні входи блока 26 елементів I підключені до m-розрядного виходу регістра 5, керувальний вхід підключений до виходу 39 ознаки нуля лічильника 24, тактовий вхід якого з'єднаний з шиною 13 тактових імпульсів пристрою, а інформаційний вхід з'єднаний з виходом 40 лічильника 23. Виходи 41 ознак відповідних операндів мініматорів 4 ярусів 1, починаючи з 2-го до n-го, а також вихід 42 ознаки першого операнда мініматора 4 2-го ярусу 1 об'єднані у n-розрядну шину, яка підключена до входу 43 регістра 18, вихід 44 якого з'єднаний з першим входом елемента I 25, другий вхід якого з'єднаний з шиною 13 тактових імпульсів, а вихід з'єднаний з тактовим входом 45 лічильника 23.

Арифметично-логічний пристрій 20 n-го ярусу 1 (фіг. 2) містить t-розрядний суматор 46, групу із m інверторів 47₁,...,47_m, схему АБО-НІ 48 з групою m входів, два D-тригера 49, 50, причому перша група t-розрядних входів суматора 46 підключена до t-розрядного входу 30 АЛП 20, а друга група входів якого підключена до виходів групи інверторів 47₁,...,47_m, входи яких підключені до входу 33 АЛП 20. Вхід перенесення РО суматора 46 підключений через резистор 51 до входу живлення U_ж, крім того, С-входи D-тригерів 49, 50 з'єднані з шиною 13 тактових імпульсів пристрою. Вихід перенесення Р1 суматора 46 підключений до D-входу D-тригера 49, прямий вихід якого є знаковим виходом 31 АЛП 20, t-розрядний вихід суматора 46 є інформаційним виходом 28 АЛП 20, а також підключений до групи m входів схеми АБО-НІ 48, вихід якої з'єднаний з D-входом D-тригера 50, прямий вихід якого є виходом 32 ознаки нуля АЛП 20.

Мініматор 4 n-го ярусу 1 (фіг. 3) містить схему порівняння 52, елементи АБО-НІ 53, 54, 55, 56, елементи АБО 57, 58, 59, елементи I 60, 61, 62, НІ 63, 64, 65, І-НІ 66, схеми нерівнозначності 67, 68, а також групи m елементів I 69, 70 і АБО 71 і елементи АБО-НІ 72, 73.

Дві групи входів схеми 52 порівняння з'єднані відповідно із входами 14, 10 мініматора 4 і входами елементів АБО-НІ 53, 54. Знакові входи 36, 37 мініматора 4 і виходи елементів АБО-НІ 53, 54 підключені до шини ознак і утворюють відповідно її перший, другий, третій і четвертий виходи, причому третій і четвертий виходи шини ознак з'єднані з входами елемента АБО-НІ 55. Перший і третій виходи шини ознак підключені до входів схеми нерівнозначності 68, другий і четвертий виходи шини ознак підключені до входів схеми нерівнозначності 67 і елемента АБО-НІ 73, перший і другий виходи шини ознак підключені відповідно до входів елементів НІ 63, 64 і АБО-НІ 56 і перших двох входів елемента І-НІ 66. Виходи елементів АБО-НІ 55, 56 підключені до першого і другого входів елемента I 60, третій вхід якого з'єднаний з виходом елемента АБО 57, входи якого з'єднані з входами "=" і "<" схеми 52 порівняння. Вихід елемента I 60 з'єднаний з першим входом елемента АБО 58, а виходи схеми нерівнозначності 67 і елемента НІ 63 підключені до входів елемента I 61, вихід якого з'єднано з другим входом елемента АБО 58. Виходи схеми нерівнозначності 68 і елемента НІ 64 підключено до входів елемента I 62, вихід якого під'єднаний до першого входу елемента АБО 59. Вихід елемента АБО 58 підключено до другого входу групи m елементів I 69 і входу елемента НІ 65, вихід якого підключено до другого входу елемента АБО 59. вихід якого підключено до другого входу групи m елементів I 70.

Вихід елемента АБО-НІ 55 з'єднаний також з третім входом елемента І-НІ 66, вихід якого підключений до трьох входів групи m елементів I 69, 70. Групи m входів 14, 10 мініматора 4 з'єднані відповідно з першими входами групи m елементів I 69, 70. Виходи m елементів I 69_j, 70_j груп з'єднані із входами m елементів АБО 71_j групи (j = 1, m). Виходи групи m елементів АБО 71 є m-розрядним виходом 7 мініматора 4, а також підключені до групи m входів елемента АБО-НІ 72, вихід якого є виходом 38 ознаки нуля мініматора 4, а вихід елемента АБО-НІ 73 є виходом 41 ознаки n-го операнда мініматора 4.

Пристрій реалізує алгоритм, суть якого полягає в тому, що порогова обробка n операндів зводиться до обчислення часткових значень q_j, порівняння цих значень із порогом р і формування підсумкового сигналу виду

$$y = \begin{cases} 1, \text{ якщо } S = \sum_{i=1}^N a_i = \sum_{j=1}^N q_j d_j \geq p, \\ 0 \text{ в протидежному випадку,} \end{cases} \quad (1)$$

де y - вихідний сигнал пристрою, q_j - загальна значуща частина, d_j - кратність загальної частини, p - значення порогу обробки, j - цикл обробки, N- кількість циклів обробки. Вираз для y = 1 перепишемо у такий спосіб:

$$\Delta = p - \sum_{j=1}^N q_j d_j \leq 0, \quad (2)$$

або

$$\Delta = p - \sum_{j=1}^N S_j \leq 0, \quad (3)$$

$$\text{де } S_j = q_j d_j, \quad (3)$$

Тоді

$$\Delta = p - (S_1 + S_2 + \dots + S_N) = (\dots((p - S_1) - S_2) \dots S_N), \quad (4)$$

Введемо позначення виду

$$\Delta_j = \Delta_{j-1} - S_j, \quad j = \overline{1, N}, \quad (5)$$

де $\Delta_0 = p$.

Тоді вираз (4) можна записати так

$$\Delta = \left(\underbrace{\left(\underbrace{\left(\underbrace{\Delta_0 - S_1}_{\Delta_1} \right) - S_2}_{\Delta_2} \right) - \dots - S_N}_{\Delta_N} \right), \quad (6)$$

а враховуючи, що для S_j слушне співвідношення (3), вираз (4) буде мати такий вигляд:

$$\begin{aligned} \Delta &= \left[\dots \left[\left[p - \underbrace{(q_1 + q_1 + \dots + q_1)}_{d_1} \right] - \underbrace{(q_2 + q_2 + \dots + q_2)}_{d_2} \right] - \dots - \underbrace{(q_N + q_N + \dots + q_N)}_{d_N} \right] = \\ &= \left[\left[\left[\left[\dots \left[\left[(p - q_1) - q_1 \right] - \dots - q_1 \right] - q_2 \right] - q_2 \right] - \dots - q_2 \right] - \dots - q_N \right] - q_N \right] - \dots - q_N \right] . \quad (7) \end{aligned}$$

Якщо позначити вираз у круглих дужках (7) як

$$\delta_j^{(k)} = \delta_j^{(k-1)} - \delta_j^{(k)}, \quad k = \overline{1, d_j}, \quad j = \overline{1, N}, \quad (8)$$

де $\delta_1^0 = p$, то Δ_j (5) можна буде визначити таким чином:

$$\Delta_j = \delta_{j-1}^{(d_j)}, \quad \delta_j^0 = \Delta_{j-1}, \quad (9)$$

В результаті алгоритм роботи пристрою має такий вигляд.

Крок 1. Визначається загальна значуща частина всіх доданків у j -му циклі, тобто

$$q_j = \min \{ a_{i,j-1} \}_{i=1}^n, \quad j = \overline{1, N}, \quad (10)$$

де $a_{i,0}$ - i -й доданок на вході пристрою.

Крок 2. Виділяється зріз різниць A_j , тобто сукупність величин різниці всіх доданків j -го циклу з їхньою загальною частиною q_j , тобто

$$A_j = \{ a_{i,j} \}_{i=1}^n = \{ a_{i,j-1} - q_j \}_{i=1}^n, \quad (11)$$

В подальшому отриманий зріз різниць A_j є вхідною множиною доданків для наступного $(j+1)$ -го циклу.

Одночасно формується кратність d_j , яка визначається як сумарна кількість додатних ненульових доданків j -го циклу.

Крок 3. В першому циклі формується різниця між заданим порогом p та послідовністю d_1 часткових значень q_1 , тобто

$$\Delta_1 = p - S_1 = p - (q_1 d_1) = \delta_1^{d_1}, \quad (12)$$

$$\text{де } \delta_1^{(k)} = \delta_1^{(k-1)} - q_1^{(k)}, \quad k = \overline{1, d_1}, \quad \delta_1^0 = p,$$

і перевіряється умова

$$\delta_1^{(k)} \leq 0. \quad (13)$$

В подальшому поточна різниця Δ_{j-1} є поточним значенням порогу на наступному j -му циклі обробки, тобто

$$\Delta_j = \delta_j^{(d_j)}, \quad \delta_j^0 = \Delta_{j-1}, \quad q_j^{(k)} = q_j. \quad (14)$$

На цьому ж кроці перевіряється умова

$$\delta_j^{(k)} \leq 0. \quad (15)$$

В разі її виконання формується вихідний сигнал пристрою u , який дорівнює 1 і порогова обробка припиняється, а в протилежному випадку виконуються кроки 1-3 для $j=2,3,\dots$ до виконання умови (15) або до визначення нульової величини q_j (10).

Пристрій (фіг. 1) працює таким чином. На вхід 16-го ярусу 1 надходить i -й операнд a_i з групи операндів, кількість яких n , а на вхід 27 мультиплексора 21-го ярусу надходить значення порогового сигналу p , який записується по входу 29 у регістр 19. Запис операндів в яруси 1 виконується паралельно, а саме, через мультиплексор b i -ий операнд по входу 8 надходить в регістр 3 часткового результату i -го ярусу 1. При записі початкових даних на шині керування 17 пристрою присутній одиничний сигнал, який потім змінюється на нульовий на весь час роботи пристрою. Після цього виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів - $(i-1)$ -го та i -го - мініматором 4 і запис результату з його виходу 7 в регістр 5 i -го ярусу 1. Згідно із виразом (10) на кроці 1 алгоритму ця операція виконується

послідовно, починаючи з другого ярусу 1. Одночасно на виході 41 мініматора 4 і-го ярусу 1 формується одиничне значення ознаки і-го операнда, починаючи з другого, якщо цей операнд є додатною ненульовою величиною. Така сама ознака для першого операнда формується на виході 42 мініматора 4 другого ярусу 1, причому знаковий розряд регістра 5 всіх ярусів 1, крім першого і п-го, має нульове значення. Кінцевий результат виділення загальної частини q_1 всіх п операндів формується в п-ому ярусі 1 і з виходу регістра 5 цього ярусу 1 записується по входу 11 в АЛП 2 п ярусів 1 паралельно. До цього часу у регістр 18 по його входу 43 послідовно записані всі п ознак операндів з виходів 41 і виходу 42 мініматорів 4 всіх ярусів 1, крім першого. Отже, у регістрі 18 зафіксована послідовність значень ознак всіх вхідних операндів. Після цього в 1-ому ярусі 1 відбувається порівняння в АЛП 2 і-го операнда, що надходить з регістра 3 часткового результату цього ярусу 1, та загальної частини всіх операндів, що надходить з регістра 5 п-го ярусу 1. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів, згідно із виразом (11) на кроці 2 алгоритму, і ця різниця записується з виходу 12 АЛП 2 через мультиплексор 6 в регістр 3 часткового результату. При цьому на виході 35 АЛП 2 формується ознака від'ємного результату різниці. Одночасно у АЛП 20 формується різниця Δ_1 між заданим порогом р і послідовністю d_1 значень q_1 . Формування кратності d_1 виконується у такий спосіб. Одиничний код, зафіксований у регістрі 18, ущільнюється, для чого виконується послідовний зсув вмісту регістра 18 в сторону молодших розрядів, а значення першого розряду з виходу 44 регістра 18 подається через елемент І 25 на тактовий вхід 45 збільшення лічильника 23. В результаті з приходом кожного тактового імпульсу на другий вхід елемента І 25 він з'являється на вході 45 лічильника 23 і збільшує його вміст на одиницю. Після формування величини d_1 у лічильнику 23 вона з його виходу 40 записується у лічильник 24 і з приходом кожного тактового імпульсу на його тактовий вхід зменшення поступово зменшується на одиницю, поки на виході 39 нульової ознаки лічильника 24 не з'явиться одиничний сигнал. Наявність одиничного сигналу на виході 39 лічильника 24 призведе до блокування інформації, що надходить з регістра 5 п-го ярусу 1 через блок 26 елементів І на другий (інверсний) вхід 33 АЛП 20, на перший (прямий) вхід 30 якого надходить значення порогового сигналу з регістра 19. При відсутності одиничного сигналу нульової ознаки на виході 39 лічильника 24 нульовий сигнал на інверсних входах елементів І блока 26 дозволяє проходження в п-ому ярусі 1 через блок 26 загальної частини операндів q_1 з регістра 5 в АЛП 20. В результаті на інформаційному виході 28 АЛП 20 формуються значення $\delta_1^{(k)}$, а згодом і поточна різниця Δ_1 згідно із виразом (12) на кроці 3 алгоритму, яка потім через мультиплексор 21 знову записується у регістр 19, оскільки вона буде поточним значенням порогу у наступному циклі обробки згідно із виразом (14). При цьому сигнали з виходів 31 знаку і 32 ознаки нульового результату АЛП 20 надходять на входи елемента АБО 22. Це необхідно для перевірки умови (13) на кроці 3 алгоритму. Вихід елемента АБО 22 формує вихідний сигнал у на виході 34 п-го ярусу 1 пристрою, який буде одиничним в разі виконання умови (13) алгоритму і нульовим в протилежному випадку. При цьому присутність одиничного сигналу хоча б на одному з виходів 31, 32 АЛП 20, тобто наявність нульової чи від'ємної різниці $\delta_1^{(k)}$, призведе до проходження його на вихід 34 п-го ярусу 1 пристрою, в результаті чого порогова обробка припиняється. Так виконується 1-ий цикл обробки. У випадку нульового сигналу на виході 34 п-го ярусу 1 пристрою виконуються кроки 1-3 наступного $j=2$ циклу обробки. У всіх циклах, починаючи з другого, на кроці 3 алгоритму виконується операція (14) і перевіряється умова (15). У випадку, якщо умова (15) на кроці 3 алгоритму у всіх циклах не виконується, тобто на виході 34 пристрою присутній нульовий сигнал, процес обробки закінчується тоді, коли загальна частина всіх поточних доданих дорівнює нулю, тобто присутній одиничний сигнал на виході 38 п-го ярусу 1.

Арифметично-логічний пристрій 20 п-го ярусу 1 (фіг. 2) працює в такий спосіб. Спочатку інформація з входу 30 АЛП 20, тобто значення порогового сигналу р подається на перший вхід суматора 46, на другий вхід якого подається проінвертована інформація з входу 33 АЛП 20, тобто поточна загальна частина q_1 . Крім того, на вхід перенесення РО суматора 46 завжди подається "1", таким чином, суматор 46 працює в режимі віднімання. В результаті різниця δ_1^1 (8) з виходу суматора 46 подається на вхід елемента АБО-НІ 48, де формується сигнал ознаки нульової різниці, яка записується по D-входу у D-тригер 50 при наявності синхросигналу на його С-вході. Якщо на прямому виході D-тригера 50 з'являється "1", то результат віднімання в суматорі 42 дорівнює нулю, а якщо "0" - навпаки. В результаті на виході 32 АЛП 20 з'являється "1" або "0", що вказує на те, що величина δ_1^1 нульова або не дорівнює нулю. Якщо при відніманні в суматорі 46 отримано від'ємний результат, то на його виході Р1 формується "1", яка подається на D-вхід D-тригера 49, який встановлюється в одиничний стан, а якщо отриманий результат є додатним, то D-тригер 49 встановлюється в нульовий стан. В результаті на виході 31 АЛП 20 з'являється "1" або "0", що вказує на те, що величина δ_1^1 від'ємна або додатна. З виходу 28 АЛП 20 різниця δ_1^1 із суматора 46, подається на вхід мультиплексора 21. Такі дії відбуваються у першому циклі обробки. У всіх наступних j-их циклах ($j=2,3,\dots$) відбуваються ті самі дії з тією лише різницею, що на перший вхід суматора 46 подається попередня різниця Δ_{j-1} , на другий вхід подається поточна загальна частина q_j , а на виходах формується поточна різниця $\delta_1^{(k)}$ згідно із виразом (14), яка аналізується на наявність нульового значення або від'ємного знаку (15).

Мініматор 4 п-го ярусу 1 (фіг. 3) працює в такий спосіб. На його інформаційні входи 14, 10 подаються числа А; і В; відповідно, а на входи 36, 37 - їхні знаки S_A і S_B відповідно. На виходах елементів АБО-НІ 53, 54 формуються відповідно ознаки нуля Z_A і Z_B чисел А і В. В кожній і-ій парі чисел визначається мінімальне число q_j за такими правилами.

1. Якщо обидва числа додатні і не дорівнюють нулю, то результатом є мінімальне за модулем число.
2. Якщо обидва числа додатні і не дорівнюють нулю та однакові за модулем, то результатом є одне з них.
3. Якщо обидва числа від'ємні, то результатом буде нуль.
4. Якщо обидва числа від'ємні та однакові за модулем, то результатом буде нуль.
5. Якщо одне число додатне і не дорівнює нулю, а інше число від'ємне, то результатом є додатне

число.

6. Якщо одне число додатне і не дорівнює нулю, а інше число дорівнює нулю, то результатом є додатне число.

7. Якщо одне число від'ємне, а інше число дорівнює нулю, то результатом буде нуль.

8. Якщо обидва числа дорівнюють нулю, то результатом буде нуль.

Розглянемо всі можливі варіанти і комбінації вхідних сигналів для елементів, що складають мініматор 4 n-го ярусу 1.

Якщо обидва операнди додатні і ненульові, то нульові ознаки S_A , S_B , Z_A , Z_B призведуть до того, що на виходах схем нерівнозначності 67 і 68 будуть нульові сигнали, які з'являться на виходах елементів I 61, 62, але нульові ознаки встановлять в одиничний стан вихід елементів АБО-НІ 55, 56 та І-НІ 66. Таким чином, одиничні сигнали на виходах елементів АБО-НІ 55, 56 та І-НІ 66 не будуть впливати на формування сигналу на виході відповідно елемента I 60 та групи елементів I 69, 70, а нульові сигнали на виходах елементів I 61, 62 не змінять інформацію на виходах елементів АБО 58, 59. Отже, визначальним буде сигнал на виході елемента АБО 57, одиничний сигнал на якому з'явиться у двох випадках: а) якщо обидва операнди рівні, б) якщо виконується співвідношення $A_i < B_i$. В цих випадках одиничний сигнал сформується на виході елемента АБО 58, що дозволить проходження операнда A_i через групи елементів I 69, АБО 71 на вихід 7 мініматора 4. Одночасно нульовий сигнал з'явиться елемента АБО 59, що заборонить проходження операнда B_i через групи елементів I 70 та АБО 71 на вихід 7 мініматора 4, тобто на цьому виході з'явиться менший за модулем серед двох додатних ненульових операндів. У випадку, коли $A_i > B_i$ нульовий сигнал з виходу елемента АБО 57 пройде на вихід елемента АБО 58, що призведе до появи одиничного сигналу на виході елемента АБО 59. А це дозволить проходження операнда B_i через групи елементів I 70, АБО 71 на вихід 7 мініматора 4, тобто на ньому з'явиться мінімальний за модулем операнд.

Якщо на вході один операнд додатний і ненульовий, а другий - нуль, то нульові ознаки S_A , S_B та одна одинична ознака серед Z_A , Z_B призведуть до того, що на виході однієї зі схем нерівнозначності 67, 68 буде нульовий сигнал, а на виході іншої з цих схем нерівнозначності буде одиничний сигнал, крім того, ці ознаки встановлять у одиничний стан вихід елемента І-НІ 66 і у нульовий стан вихід елемента АБО-НІ 55. Таким чином, одиничний сигнал на виході елемента І-НІ 66 не буде впливати на формування сигналу на виході групи елементів I 69, 70, а нульовий сигнал на виході елемента АБО-НІ 55 зробить не визначальним сигнал на виході елемента АБО 57. В результаті нульовий сигнал сформується на виході елемента АБО 58, якщо на виході елемента I 61 також нульовий сигнал, тобто коли операнд A_i нульовий. Це заборонить проходження операнда A_i через групи елементів I 69, АБО 71 на вихід 7 мініматора 4. Одночасно одиничний сигнал з'явиться на виході елемента АБО 59, що дозволить проходження операнда B_i через групу елементів I 70, АБО 71 на вихід 7 мініматора 4, тобто на цьому виході з'явиться ненульовий операнд. У випадку, коли $B_i = 0$, одиничний сигнал з виходу схеми нерівнозначності 67 пройде на вихід елемента АБО 58, одночасно з'явиться нульовий сигнал на виході елемента АБО 59, оскільки на виході схеми нерівнозначності 68 з'явиться нульовий сигнал. А це дозволить проходження операнда A_i через групи елементів I 69, АБО 71 на вихід 7 мініматора 4, тобто на ньому знову з'явиться ненульове значення.

Якщо на вході один операнд додатний ненульовий, а другий - від'ємний ненульовий, то одна з нульових ознак S_A , S_B і нульові ознаки Z_A , Z_B призведуть до того, що на виході однієї зі схем нерівнозначності 67, 68 буде одиничний сигнал, на виході елемента АБО-НІ 56 буде нульовий сигнал, а на виході елементів АБО-НІ 55 та І-НІ 66 будуть одиничні сигнали. Таким чином, одиничний сигнал на виході елемента І-НІ 66 не буде впливати на формування сигналу на виході групи елементів I 69, 70, а нульовий сигнал на виході елемента АБО-НІ 56 зробить не визначальним сигнал на виході елемента I 60. Визначальним буде сигнал на виході елементів I 61, 62, одиничний сигнал на одному з яких з'явиться тоді, коли одиничний сигнал сформується на виході або схеми нерівнозначності 67, або схеми нерівнозначності 68. В першому випадку, коли від'ємне B_i , в результаті одиничний сигнал сформується на виході елемента АБО 58, що дозволить проходження операнда A_i через групу елементів I 69, АБО 71 на вихід 7 мініматора 4. Одночасно нульовий сигнал з'явиться на виході елемента АБО 59, що заборонить проходження операнда B_i через групу елементів I 70, АБО 71 на вихід 7 мініматора 4, тобто на цьому виході з'явиться додатний операнд. У другому випадку, коли від'ємним є A_i , одиничний сигнал з'явиться на виході елемента АБО 59. А це дозволить проходження операнда B_i через групу елементів I 70, АБО 71 на вихід 7 мініматора 4, тобто на ньому з'явиться додатний операнд.

Якщо на вході обидва операнди від'ємні ненульові, то одиничні ознаки S_A , S_B і нульові ознаки Z_A , Z_B призведуть до того, що на виходах елементів НІ 63, 64 будуть нульові сигнали, які з'являться на виходах елементів I 61, 62, крім того ці ознаки встановлять у нульовий стан вихід елемента І-НІ 66, що вплине на групу елементів I 69, 70, тобто на їх виходах з'являться нулі, які і пройдуть на вихід 7 мініматора 4. Одночасно нульові сигнали на виходах елементів I 61, 62 не змінять інформацію на виходах елементів АБО 58, 59. Одиничний сигнал на виході елемента АБО 57 з'явиться у двох випадках: а) якщо обидва операнди рівні, б) якщо виконується співвідношення $A_i < B_i$. Але він також не впливає на кінцевий результат, оскільки визначальним залишається нульовий сигнал з виходу елемента І-НІ 66, який забороняє проходження обох від'ємних ненульових сигналів через групи елементів I 69, 70 і АБО 71 і встановлює на виході 7 мініматора 4 нульове число.

Якщо на вході один операнд від'ємний і ненульовий, а другий - нуль, то нульові і одиничні ознаки S_A , S_B , Z_A , Z_B призведуть до того, що на виходах схем нерівнозначності 67 і 68 і елемента І-НІ 66 з'явиться одиничний сигнал, а на виходах елементів АБО-НІ 55, 56 з'явиться нульовий сигнал. Таким чином, одиничний сигнал на виході елемента І-НІ 66 не буде впливати на формування сигналу на виході групи елементів I 69, 70, а нульові сигнали на виходах елементів АБО-НІ 55, 56 зроблять не визначальним сигнал на виході елемента I 60. У випадку, коли $A_i = 0$, одиничний сигнал з'явиться на виході елемента АБО 58 при наявності одиничного сигналу на виході елемента I 61 та нульового на виході елемента I 62, що призведе до появи нульового сигналу на виході елемента АБО 59. А це дозволить проходження операнда A_i через групу елементів I 69, АБО 71 на вихід 7 мініматора 4, тобто на ньому з'явиться нульове число. У другому випадку, коли $B_i = 0$, одиничний сигнал присутній на виході елемента I 62 і нульовий сигнал на виході елемента I 61. В результаті нульовий сигнал сформується на виході елемента АБО 58, що не дозволить

проходження операнда A_i через групи елементів I 69, АБО 71 на вихід 7 мініматора 4. Одночасно одиничний сигнал з'явиться на виході елемента АБО 59, що дозволить проходження операнда B_i через групу елементів I 70, АБО 71 на вихід 7 мініматора 4, тобто на цьому виході з'явиться нульовий операнд.

Якщо на вході обидва операнди нульові, то нульові ознаки S_A, S_B , та одиничні ознаки Z_A, Z_B призведуть до того, що на виходах схем нерівнозначності 67, 68 сформується одиничні сигнали, які з'являться на виходах елементів I 61, 62 і встановлять у одиничний стан виходи елементів АБО 58, 59. Крім того, ці ознаки встановлять у одиничний стан елементи АБО-НІ 56, І-НІ 66 і у нульовий стан елемент АБО-НІ 55. Одиничний сигнал елемента І-НІ 66 дозволить проходження нульових сигналів на групи елементів I 69, 70, АБО 71, які і пройдуть на вихід 7 мініматора 4, тобто на виході з'явиться нульове значення.

Всі можливі варіанти появи операндів та їхніх знаків на входах мініматора 4 показані у табл. 1. Крім того, у випадку, коли значення мінімальної величини q_j на виході 7 мініматора 4 дорівнює нулю, на виході m -розрядного елемента АБО-НІ 72 формується одиничний сигнал Z_k , який подається на вихід 38 сигналу "Кінець" пристрою. Після цього конвеєрний пристрій припиняє свою роботу. Формування сигналу Z_k за результатом на виході 7 мініматора 4 також показано у табл. 1. Крім того на виході елемента АБО-НІ 73 формується одиничний сигнал, тільки коли на входах 37 і 10 мініматора 4 присутні нульові сигнали, тобто при додатному знаку S_B і ненульовому значенні операнда B ,

Наочність роботи конвеєрного пристрою для конкретного масиву цілих додатних чисел: 13, 8, 3, 11, і порогового значення $p=30$ показано у вигляді діаграм на фіг. 4, де прийнято такі позначення: RGR, RGN, RGM, RGP - відповідно реєстри 3, 5, 18, 19; ALU1, ALU2 - відповідно АЛП 2, АЛП 20; Sign ALU1, Sign ALU2 - відповідно знаковий вихід 35 АЛП 2 і знаковий вихід 31 АЛП 20; Z_k - вихід 38 сигналу "Кінець" пристрою; Y - вихід 34 пристрою, СТ1, СТ2 - відповідно лічильники 23, 24.

Часові співвідношення (фіг.4) визначаються в такий спосіб:

t_1, t_2 - відповідно час запису в реєстр (t_{WR}) через мультиплексор (t_{MX}), тобто, $t_1 = t_2 = t_{MX} + t_{WR}$;

t_3 - час послідовного формування мінімальної додатної величини у мініматорах (t_{COM}) і запис її у реєстр (t_{WR}) $(n-1)$ ярусів, тобто $t_3 = (n-1)(t_{COM} + t_{WR})$;

t_4 - час паралельного формування зрізу різниць в АЛП (t_{SUB}) тобто $t_4 = t_{SUB}$;

t_5 - час послідовного формування поточної кратності загальної частини у лічильнику (t_{CT}), тобто $t_5 = t_{CT}$;

t_6 - час формування поточного значення порогу у АЛП (t_{SUB}^*) та вихідного сигналу $Y(t_Y)$, тобто $t_6 = t_{SUB}^* + t_Y$.

Час розгону даного конвеєрного пристрою складає:

$t_p = t_1 + t_2 + t_3 + t_4$.

Тоді загальний час обробки визначається таким чином:

$T = t_p + Nt_{Ц}$,

де $t_{Ц}$ - час тіла циклу, причому $t_{Ц} = t_2 + t_5 + t_6$, N - кількість циклів.

Враховуючи, що $t_{MX} \approx t_{WR}$, $t_Y \ll t_{WR}$ і $t_{WR} < t_{COM}$, для роботи конвеєрного пристрою без простоїв необхідно, щоб виконувалось таке часове співвідношення:

$t_2 + t_5 + t_6 \leq t_1 + t_3 + t_4$, або $t_{CT} + t_Y \leq (n-1)(t_{COM} + t_{WR})$

Останнє співвідношення є реальним, оскільки навіть при максимальному значенні $t_{CT} = nt_{WR}$ воно виконується.

Таблиця 1

Вхідні комбінації операндів зі знаками	Входи				Виходи	
	36 (S_A)	37 (S_B)	14 (A_i)	10 (B_i)	7 (q_j)	38 (Z_k)
+3	0	0	0011	0101	0011	0
+5	0	0	0101	0011	0011	0
+5	0	0	0101	0011	0011	0
+3	0	0	0011	0000	0011	0
0	0	0	0000	0011	0011	0
+3	0	1	0011	0101	0011	0
-5	1	0	0101	0011	0011	0
-5	1	1	0101	0011	0000	1
+3	1	1	0101	0011	0000	1
-3	1	1	0011	0101	0000	1
-5	1	0	0101	0000	0000	1
0	0	1	0000	0101	0000	1

-5						
0	0	0	0000	0000	0000	1
0						

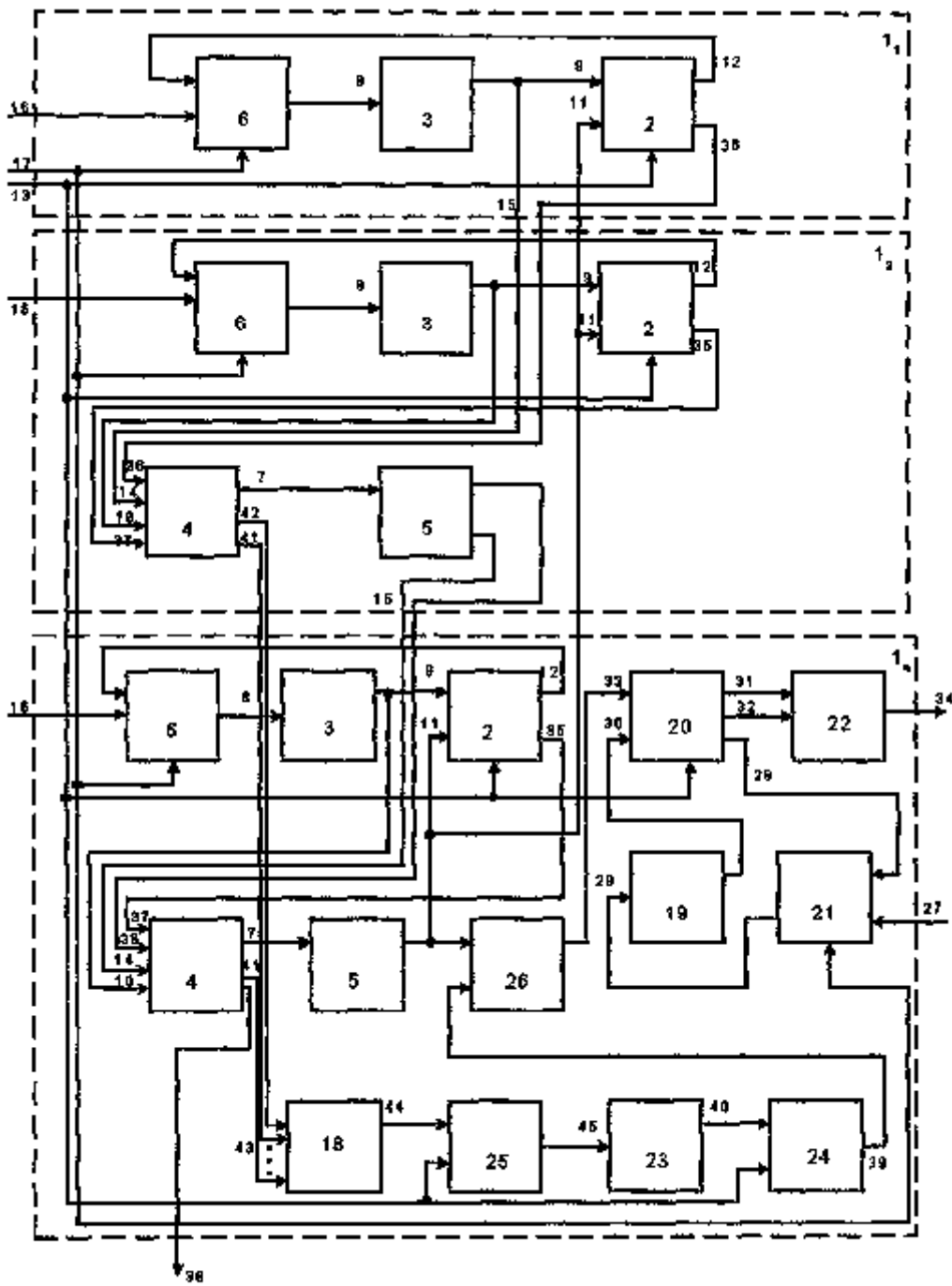
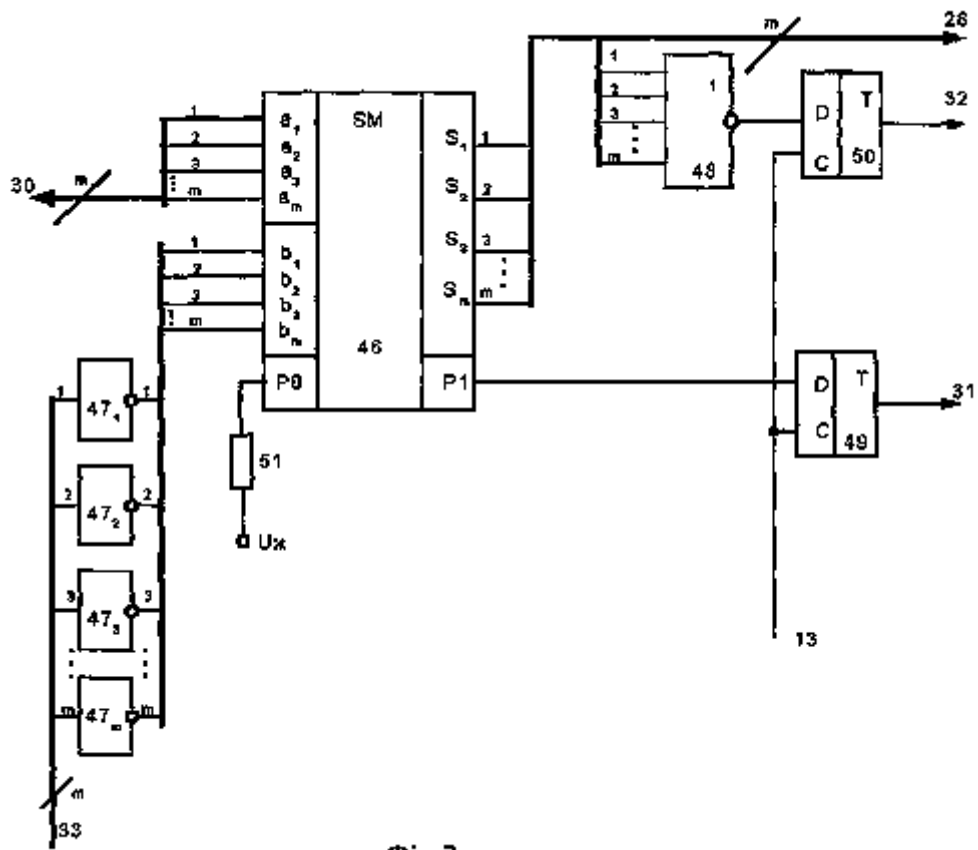
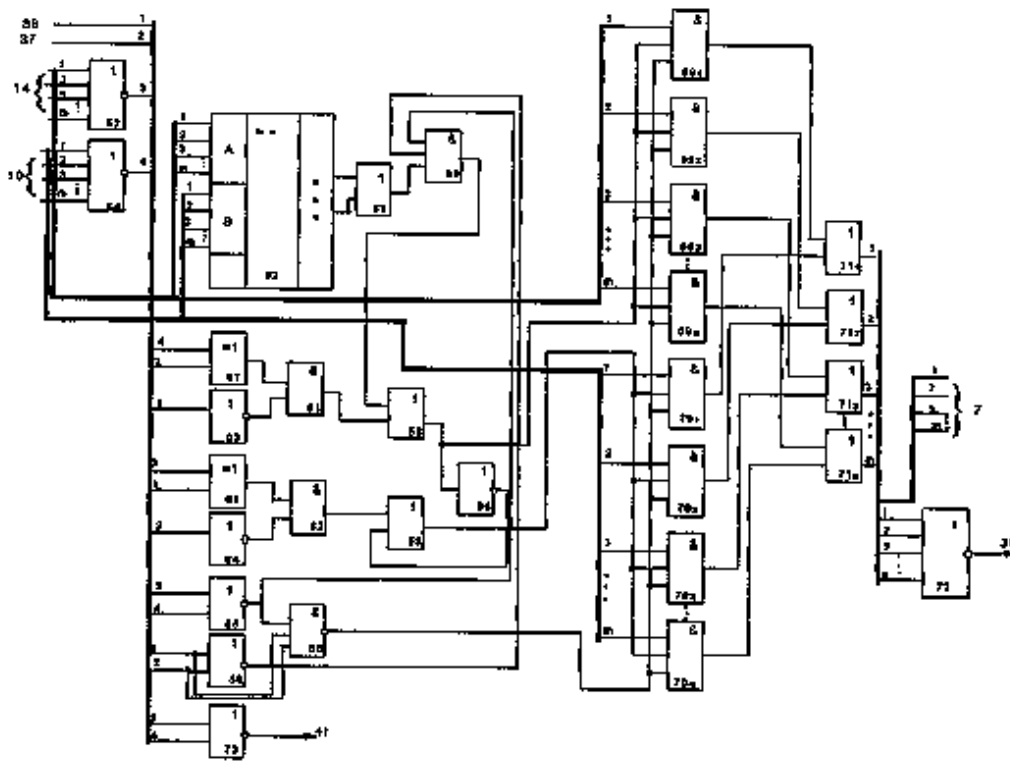


Fig. 1



Фиг. 2



Фиг. 3

