

Корисна модель відноситься до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо двотактний підсилювач з відбивачами струму для визначення стійкої робочої точки [Push-pull amplifier with current mirrors for determining the quiescent operating point. United States Patent 3,852,678 Dec. 3, 1974], який містить шість транзисторів, два резистори, вхідну та вихідну шини, шини додатного та від'ємного живлення, шину нульового потенціалу. Вхідну шину з'єднано з емітерами першого та другого транзисторів, бази яких з'єднано з базами і колекторами третього і четвертого транзисторів відповідно, а також з першими выводами першого та другого резисторів відповідно, колектори першого та другого транзисторів з'єднано з базами п'ятого та шостого транзисторів відповідно, інші выводы першого та другого резисторів з'єднані з шинами додатного та від'ємного живлення відповідно, емітери третього та четвертого транзисторів з'єднані з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно, а їх колектори з'єднані з вихідною шиною.

Недоліками даного пристрою є низька точність через похибку зміщення нуля, яка виникає через неідентичність параметрів п'ятого та шостого транзисторів, при цьому при нульовому вхідному сигналі складно досягнути рівності колекторних струмів п'ятого та шостого транзисторів, оскільки коефіцієнти підсилення струму  $\mu$  у цих транзисторів можуть значно відрізнятись. Також недоліком є обмежені функціональні можливості схеми у випадку використання резистора зворотного зв'язку, оскільки при цьому вихідним сигналом схеми вже є не струм а напруга.

За найближчий аналог обрано двотактний симетричний підсилювач струму [Д. п. України №17239 НОЗК 5/22, G05B 1/00, 2006], який містить вісімнадцять транзисторів, джерело струму, два відбивачі струму з двома виходами, подільник струму, шини додатного та від'ємного живлення, вхідну шину, вихідну шину, шину нульового потенціалу, причому виводи джерела струму з'єднано з колекторами восьмого транзистора та дев'ятого транзистора відповідно, а також з базами чотирнадцятого транзистора та п'ятнадцятого транзистора відповідно, емітери восьмого транзистора та дев'ятого транзистора з'єднано з емітерами сьомого транзистора та десятого транзистора відповідно, бази восьмого транзистора та дев'ятого транзистора з'єднано з емітерами чотирнадцятого транзистора та п'ятнадцятого транзистора відповідно, а також з колекторами тринадцятого транзистора та шістнадцятого транзистора відповідно, бази сьомого транзистора та десятого транзистора з'єднано з базами та колекторами одинадцятого транзистора та дванадцятого транзистора відповідно, а також з базами тринадцятого транзистора та шістнадцятого транзистора відповідно, а також з базами сімнадцятого транзистора та вісімнадцятого транзистора відповідно, колектор сьомого транзистора, а також емітери одинадцятого транзистора, тринадцятого транзистора та сімнадцятого транзистора з'єднано з шиною додатного живлення, колектор десятого транзистора, а також емітери дванадцятого транзистора, шістнадцятого транзистора та вісімнадцятого транзистора з'єднано з шиною від'ємного живлення, колектори чотирнадцятого та п'ятнадцятого транзисторів з'єднано з колекторами та базами третього та четвертого транзисторів відповідно, а також з базами першого та другого транзисторів відповідно, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектори сімнадцятого та вісімнадцятого транзисторів з'єднано з колекторами першого та другого транзисторів відповідно, а також з базами п'ятого та шостого транзисторів відповідно, емітери першого та другого транзисторів з'єднано з вхідною шиною та виходом подільника струму, колектори п'ятого та шостого транзисторів з'єднано з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднано з входом першого відбивача струму з двома виходами та входом другого відбивача струму з двома виходами відповідно, вхід живлення першого відбивача струму з двома виходами з'єднано з шиною додатного живлення, вхід живлення другого відбивача струму з двома виходами з'єднано з шиною від'ємного живлення, другий вихід першого відбивача струму з двома виходами з'єднано з першим входом подільника струму, другий вихід другого відбивача струму з двома виходами з'єднано з другим входом подільника струму, третій вхід подільника струму з'єднано з шиною нульового потенціалу, перший вихід першого відбивача струму з двома виходами та перший вихід другого відбивача струму з двома виходами з'єднано з вихідною шиною.

Кожен з відбивачів струму з двома виходами, містить шість транзисторів, причому емітери дев'ятнадцятого, двадцять першого та двадцять третього транзисторів з'єднані з входом живлення відбивача струму з двома виходами, бази дев'ятнадцятого, двадцять першого та двадцять третього транзисторів об'єднані між собою а також з'єднані з колектором дев'ятнадцятого та емітером двадцятого транзисторів, колектор двадцять першого транзистора з'єднано з емітером двадцять другого транзистора, колектор двадцять третього транзистора з'єднано з емітером двадцять четвертого транзистора, бази двадцятого, двадцять другого, двадцять четвертого транзисторів об'єднані між собою а також з'єднані з колектором двадцятого транзистора та входом відбивача струму з двома виходами, колектор двадцять другого транзистора з'єднано з другим входом відбивача струму з двома виходами, колектор двадцять четвертого транзистора з'єднано з першим входом відбивача струму з двома виходами.

Подільник струму містить два резистори, причому один вивід першого резистора з'єднано з виходом подільника струму, а другий вивід першого резистора з'єднано з першим та другим входами подільника струму, а також з першим виводом другого резистора, другий вивід другого резистора з'єднано з третім входом подільника струму.

Недоліком прототипу є низька точність роботи схеми, що обумовлена похибкою підсилення струму за умови зміни напруги живлення.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними зменшується похибка підсилення струму за умови зміни напруги живлення, що підвищує точність та дає можливість використання пристрою в аналого-цифрових перетворювачах з більшою швидкістю і точністю, а також у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача досягається тим, що в двотактний симетричний підсилювач струму, який містить тридцять транзисторів, джерело струму, два резистори, шини додатного та від'ємного живлення, вхідну шину, вихідну шину, шину нульового потенціалу, причому виводи першого джерела струму з'єднано з колекторами восьмого і

дев'ятого транзисторів відповідно, а також з базами чотирнадцятого і п'ятнадцятого транзисторів відповідно, бази восьмого і дев'ятого транзисторів з'єднано з емітерами чотирнадцятого і п'ятнадцятого транзисторів відповідно, а також колекторами тринадцятого і шістнадцятого транзисторів відповідно, емітери восьмого і дев'ятого транзисторів з'єднано з емітерами сьомого і десятого транзисторів відповідно, бази сьомого і десятого транзисторів з'єднано з базами та колекторами одинадцятого і дванадцятого транзисторів відповідно, а також з базами тринадцятого, сімнадцятого та шістнадцятого, вісімнадцятого транзисторів відповідно, колектор сьомого та емітери одинадцятого, тринадцятого, сімнадцятого транзисторів з'єднано з шиною додатного живлення, колектор десятого та емітери дванадцятого, шістнадцятого, вісімнадцятого транзисторів з'єднано з шиною від'ємного живлення, колектори сімнадцятого і вісімнадцятого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, а також з колекторами першого і другого транзисторів відповідно, емітери першого і другого транзисторів об'єднано та з'єднано з вхідною шиною, а також з першим виводом першого резистора, бази першого і другого транзисторів з'єднано з базами третього і четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з колекторами чотирнадцятого і п'ятнадцятого транзисторів відповідно, емітери третього і четвертого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, емітери п'ятого і шостого транзисторів з'єднано з базами та колекторами двадцятого і двадцять шостого транзисторів відповідно, а також з базами двадцять другого, двадцять четвертого та двадцять восьмого, тридцятого транзисторів відповідно, емітери двадцятого і двадцять шостого транзисторів з'єднано з базами та колекторами дев'ятнадцятого і двадцять п'ятого транзисторів відповідно, а також з базами двадцять першого, двадцять третього та двадцять сьомого, двадцять дев'ятого транзисторів відповідно, емітери дев'ятнадцятого, двадцять першого, двадцять третього транзисторів з'єднано з шиною додатного живлення, емітери двадцять п'ятого, двадцять сьомого, двадцять дев'ятого транзисторів з'єднано з шиною від'ємного живлення, колектори двадцять першого і двадцять сьомого транзисторів з'єднано з емітерами двадцять другого, двадцять восьмого транзисторів відповідно, колектори двадцять третього і двадцять дев'ятого транзисторів з'єднано з емітерами двадцять четвертого і тридцятого транзисторів відповідно, колектори двадцять другого і двадцять дев'ятого транзисторів об'єднано та з'єднано з другим виводом першого резистора, а також з першим виводом другого резистора, другий вивід другого резистора з'єднано з шиною нульового потенціалу, колектори двадцять четвертого і тридцятого транзисторів об'єднано та з'єднано з вихідною шиною, введено тридцять перший, тридцять другий, тридцять третій, тридцять четвертий, тридцять п'ятий, тридцять шостий, тридцять сьомий, тридцять восьмий транзистори, друге та третє джерела струмів, причому виводи другого джерела струму з'єднано з базами першого, третього, тридцять п'ятого та другого, четвертого, тридцять шостого транзисторів відповідно, а також з емітерами тридцять першого і тридцять другого транзисторів відповідно, бази тридцять першого і тридцять другого транзисторів з'єднано з колекторами третього, чотирнадцятого та четвертого, п'ятнадцятого транзисторів відповідно, колектори п'ятого і тридцять першого транзисторів з'єднано з шиною додатного живлення, колектори шостого, тридцять другого транзисторів з'єднано з шиною від'ємного живлення, емітери тридцять п'ятого і тридцять шостого транзисторів об'єднано між собою, колектори тридцять п'ятого і тридцять шостого транзисторів з'єднано з базами та колекторами тридцять третього і тридцять четвертого транзисторів відповідно, а також з базами тридцять сьомого і тридцять восьмого транзисторів відповідно, емітери тридцять третього і тридцять сьомого транзисторів з'єднано з шиною додатного живлення, емітери тридцять четвертого і тридцять восьмого транзисторів з'єднано з шиною від'ємного живлення, колектори тридцять сьомого і тридцять восьмого транзисторів з'єднано з колекторами першого, сімнадцятого та другого, вісімнадцятого транзисторів відповідно, а також з базами п'ятого і шостого транзисторів відповідно, виводи третього джерела струму з'єднано з базами та колекторами двадцятого і двадцять шостого транзисторів відповідно, а також з емітерами п'ятого і шостого транзисторів відповідно, а також з базами двадцять другого, двадцять четвертого та двадцять восьмого, тридцятого транзисторів відповідно.

На кресленні представлено принципову схему двотактного симетричного підсилювача струму.

Пристрій містить джерело струму 3, яке своїми виходами з'єднано з колекторами восьмого 2 і дев'ятого 4 транзисторів відповідно, а також з базами чотирнадцятого 9 і п'ятнадцятого 12 транзисторів відповідно, бази восьмого 2 і дев'ятого 4 транзисторів з'єднано з емітерами чотирнадцятого 9 і п'ятнадцятого 12 транзисторів відповідно, а також колекторами тринадцятого 8 і шістнадцятого 13 транзисторів відповідно, емітери восьмого 2 і дев'ятого 4 транзисторів з'єднано з емітерами сьомого 1 і десятого 5 транзисторів відповідно, бази сьомого 1 і десятого 5 транзисторів з'єднано з базами та колекторами одинадцятого 6 і дванадцятого 7 транзисторів відповідно, а також з базами тринадцятого 8, сімнадцятого 14 та шістнадцятого 13, вісімнадцятого 15 транзисторів відповідно, колектор сьомого 1 та емітери одинадцятого 6, тринадцятого 8, сімнадцятого 14 транзисторів з'єднано з шиною додатного живлення 46, колектор десятого 5 та емітери дванадцятого 7, шістнадцятого 13, вісімнадцятого 15 транзисторів з'єднано з шиною від'ємного живлення 48, колектори сімнадцятого 14 і вісімнадцятого 15 транзисторів з'єднано з базами п'ятого 28 і шостого 29 транзисторів відповідно, а також з колекторами першого 25, тридцять сьомого 24 та другого 26, тридцять восьмого 27 транзисторів відповідно, емітери першого 25 і другого 26 транзисторів об'єднано та з'єднано з вхідною шиною 23, а також з першим виводом першого резистора 37, бази першого 25 і другого 26 транзисторів з'єднано з базами третього 10, тридцять п'ятого 20 та четвертого 11, тридцять шостого 21 транзисторів відповідно, а також з емітерами тридцять першого 16 і тридцять другого 18 транзисторів відповідно, а також з виводами другого джерела струму 17, емітери третього 10 і четвертого 11 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 39, емітери тридцять п'ятого 20 і тридцять шостого 21 транзисторів об'єднано, колектори тридцять п'ятого 20 і тридцять шостого 21 транзисторів з'єднано з базами та колекторами тридцять третього 19 і тридцять четвертого 22 транзисторів відповідно, а також з базами тридцять сьомого 24 і тридцять восьмого 27 транзисторів відповідно, бази тридцять першого 16 і тридцять другого 18 транзисторів з'єднано з колекторами третього 10, чотирнадцятого 9 та четвертого 11, п'ятнадцятого 12 транзисторів відповідно, колектори п'ятого 28, тридцять першого 16 та емітери тридцять третього 19, тридцять сьомого 24 транзисторів з'єднано з шиною додатного живлення 46, колектори шостого 29, тридцять другого 18 та тридцять четвертого 22, тридцять восьмого 27 транзисторів з'єднано з шиною від'ємного живлення 48, емітери п'ятого 28 і шостого 29 транзисторів з'єднано з

базами та колекторами двадцятого 31 і двадцять шостого 33 транзисторів відповідно, а також з базами двадцять другого 36, двадцять четвертого 43 та двадцять восьмого 40, тридцятого 44 транзисторів відповідно, а також з виводами третього джерела струму 32, емітери двадцятого 31 і двадцять шостого 33 транзисторів з'єднано з базами та колекторами дев'ятнадцятого 30 і двадцять п'ятого 34 транзисторів відповідно, а також з базами двадцять першого 35, двадцять третього 42 та двадцять сьомого 41, двадцять дев'ятого 45 транзисторів відповідно, емітери дев'ятнадцятого 30, двадцять першого 35, двадцять третього 42 транзисторів з'єднано з шиною додатного живлення 46, емітери двадцять п'ятого 34, двадцять сьомого 41, двадцять дев'ятого 45 транзисторів з'єднано з шиною від'ємного живлення 48, колектори двадцять першого 35 і двадцять сьомого 41 транзисторів з'єднано з емітерами двадцять другого 36 і двадцять восьмого 40 транзисторів відповідно, колектори двадцять третього 42 і двадцять дев'ятого 45 транзисторів з'єднано з емітерами двадцять четвертого 43 і тридцятого 44 транзисторів відповідно, колектори двадцять другого 36 і двадцять дев'ятого 45 транзисторів об'єднано та з'єднано з другим виводом першого резистора 37, а також з першим виводом другого резистора 38, другий вивід другого резистора 38 з'єднано з шиною нульового потенціалу 39, колектори двадцять четвертого 43 і тридцятого 44 транзисторів об'єднано та з'єднано з вихідною шиною 47.

Двотактний симетричний підсилювач струму працює таким чином.

Якщо струм через вхідну шину 23 втікає в схему, то перший транзистор 25 прикривається, а другий транзистор 26 привідкривається, при цьому колекторний струм першого транзистора 25 зменшується, а другого транзистора 26 збільшується. У цьому випадку базовий струм п'ятого транзистора 28 збільшується, а шостого транзистора 29 зменшується. П'ятий транзистор 28 привідкривається, а шостий транзистор 29 прикривається. Емітерний струм п'ятого транзистора 28 збільшується, а шостого транзистора 29 зменшується. У цьому випадку частка струму з джерела струму 32, яка витікає з дев'ятнадцятого 30 і двадцятого 31 транзисторів у діодному вмиканні, зменшується, а частка струму, яка витікає в двадцять шостий 33 і двадцять п'ятий 34 транзистори в діодному вмиканні, збільшується. При цьому колекторний струм двадцять другого 36 зменшується, а двадцять восьмого 40 збільшується, так само колекторний струм двадцять четвертого транзистора 43 зменшується, а тридцятого транзистора 44 збільшується.

Колекторні струми двадцять другого 36 і двадцять восьмого 40 транзисторів поступають на дільник, що побудований на першому 37 і другому 38 резисторах, які утворюють коло зворотного зв'язку та повертаються на вхідну шину 23. Різницевий струм двадцять четвертого 43 і тридцятого 44 транзисторів з вихідної шини 47 втікає у схему.

Якщо струм через вхідну шину 23 витікає з схеми, то перший транзистор 25 привідкривається, а другий транзистор 26 прикривається, при цьому колекторний струм першого транзистора 25 збільшується, а другого транзистора 26 зменшується. У цьому випадку базовий струм п'ятого транзистора 28 зменшується, а шостого транзистора 29 збільшується. П'ятий транзистор 28 прикривається, а шостий транзистор 29 привідкривається. Емітерний струм п'ятого транзистора 28 зменшується, а шостого транзистора 29 збільшується. У цьому випадку частка струму з джерела струму 32, яка витікає з дев'ятнадцятого 30 і двадцятого 31 транзисторів у діодному вмиканні, збільшується, а частка струму, яка витікає в двадцять шостий 33 і двадцять п'ятий 34 транзистори в діодному вмиканні, зменшується. При цьому колекторний струм двадцять другого 36 збільшується, а двадцять восьмого 40 зменшується, так само колекторний струм двадцять четвертого транзистора 43 збільшується, а тридцятого транзистора 44 зменшується.

Колекторні струми двадцять другого 36 і двадцять восьмого 40 транзисторів поступають на дільник, що побудований на першому 37 і другому 38 резисторах, які утворюють коло зворотного зв'язку та повертаються на вхідну шину 23. Різницевий струм двадцять четвертого 43 і тридцятого 44 транзисторів з вихідної шини 47 втікає зі схеми.

Різницевий струм визначається за формулою:

$$\Delta I_{\text{вих}} = I_{\text{к43}} - I_{\text{к44}},$$

де  $\Delta I_{\text{вих}}$  - різницевий струм,  $I_{\text{к43}}, I_{\text{к44}}$  - колекторні струми транзисторів 43 та 44 відповідно.

Мінімізація похибки зміщення нуля по входу схеми у вигляді або  $\Delta U_{\text{вх0}}$  або  $\Delta U_{\text{вх}}$  досягається таким чином. За допомогою двоярусних схем відбивачів струму, а саме побудованих на сьомому 1, одинадцятому 6, тринадцятому 8, восьмому 2, чотирнадцятому 9 транзисторах а також десятому 5, дванадцятому 7, шістнадцятому 13, дев'ятому 4, п'ятнадцятому 12 транзисторах, на третій 10 та четвертий 11 транзистори подаються струми відповідно  $I'$ :

$$I' = I_{\text{к9}} \approx I_{\text{б1п-п-п}} + I_{\text{б2п-п-п}},$$

а також  $I''$ :

$$I'' = I_{\text{к12}} \approx I_{\text{б4п-п-п}} + I_{\text{б5п-п-п}},$$

де  $I_{\text{к9}}, I_{\text{к12}}$  - колекторні струми транзисторів 9 та 12 відповідно,  $I_{\text{б1п-п-п}}, I_{\text{б2п-п-п}}, I_{\text{б4п-п-п}}, I_{\text{б5п-п-п}}$  - базові струми 1, 2, 4 та 5 транзисторів відповідно, які визначаються першим джерелом струму 3.

Бачимо, що  $I_{\text{к9}} = I_{\text{к12}}$ . Оскільки коефіцієнт передачі відбивачів струму

дорівнює одиниці, то струми на виходах відбивачів струму, побудованих на дев'ятнадцятому 30, двадцятому 31, двадцять першому 35, двадцять другому 36, двадцять третьому 42, двадцять четвертому 43 та двадцять п'ятому 34, двадцять шостому 33, двадцять сьомому 41, двадцять восьмому 40, двадцять дев'ятому 45, тринадцятому 44 транзисторах відповідно, дорівнюють струмам на їх входах і приблизно рівні струму зміщення, що визначається першим джерелом струму 3.

Оскільки струм спокою вхідних транзисторів 25, 26 дорівнює  $I_{\text{к9}}$  і  $I_{\text{к12}}$ , то таким чином  $\Delta U_{\text{вх}}$  мінімізується, прямує до нуля.

Для зменшення впливу базових струмів першого 25 і другого 26 транзисторів на похибку коефіцієнта передачі струму в схему додатково введені емітерні повторювачі на базі тридцять першого 16 і тридцять другого 18 транзисторів, а також другого джерела струму 17.

Для забезпечення необхідного режиму по постійному струму п'ятого 28 і шостого 29 транзисторів, додатково

до сімнадцятого 14 і вісімнадцятого 15 транзисторів, введено парафазні відбивачі струму на тридцять п'ятому 20 і тридцять шостому 21 транзисторах, а також відбивачі струму на тридцять третьому 19, тридцять сьомому 24 та тридцять четвертому 22, тридцять восьмому 27 транзисторах відповідно.

Включення п'ятого 28 і шостого 29 транзисторів паралельно ланцюжкам транзисторів у діодному вмиканні на дев'ятнадцятому 30, двадцятomu 31 та двадцять п'ятому 34, двадцять шостому 35 транзисторах відповідно, забезпечує незалежність напруги колектор-емітер п'ятого 28 і шостого 29 транзисторів від змінених напруг шин додатного 46 і від'ємного 48 живлення.

