

Корисна модель відноситься до автоматики та обчислювальної техніки та призначена для формування в системах комп'ютерної графіки спекулярної (дзеркальної) складової кольору.

Відомий пристрій для визначення інтенсивності спекулярної складової кольору, який містить перший та другий суматори, перший та четвертий блоки множення, зсувний регістр, лічильник, схему порівняння, мультиплексор [патент №5739820 США, МПК6 G06T15/50, 1998, Fig.7C, 7D].

Недолік пристрою полягає в низькій точності визначення інтенсивності спекулярної складової кольору.

Найбільш близьким до технічного рішення, що заявляється, є пристрій для визначення інтенсивності дзеркальної складової кольору, який включає лічильник, перший, другий, третій, четвертий і п'ятий регістри, мультиплексор, комбінаційний суматор, перший і другий блоки постійної пам'яті, блок керування, перший і другий блоки множення, вихід першого блоку множення підключений до інформаційного виходу пристрою, а перший і другий входи з'єднані відповідно з виходом першого регістру й виходом блоку постійної пам'яті, вихід другого регістру підключений до другого входу комбінаційного суматора, вихід якого з'єднаний з першим інформаційним входом мультиплексора, вихід якого підключений до інформаційного входу четвертого регістру, а другий інформаційний вхід - до виходу третього регістру, другий вхід комбінаційного суматора з'єднаний з виходом четвертого регістру, перший вихід блоку керування з'єднаний з входом лічби лічильника, вихід переносу якого підключений з третім входом блоку керування, другий вихід якого з'єднаний з керуючим входом мультиплексора, а третій вихід - з входом запису в четвертий регістр, вихід якого з'єднаний з першим входом другого блоку множення, другий вхід якого підключений до виходу другого блоку постійної пам'яті, інформаційний вхід якого підключений до виходу п'ятого регістру і входу дешифратора, перший, другий, третій та четверті виходи якого з'єднані відповідно з найстаршим та трьома наступними розрядами адресного входу першого блоку постійної пам'яті, вихід другого блоку множення з'єднаний з інформаційним входом першого блоку постійної пам'яті, перший, другий, третій, четвертий та п'ятий інформаційні входи пристрою підключені відповідно з інформаційними входами першого, другого, третього, п'ятого регістрів та лічильника, перший, другий, третій та четвертий входи запису в пристрій підключені відповідно до входів запису в перший, другий, третій та п'ятий регістри, п'ятий вхід запису в регістр з'єднаний з входом запису в лічильник, вхід початкової установки та вхід "Пуск" з'єднані відповідно з першим та другими входами блоку керування, четвертий та п'ятий виходи якого підключені до виходу "Кінець" і виходу ознаки достовірності даних [Деклараційний патент на винахід №71489 «Пристрій для визначення інтенсивності дзеркальної складової кольору» МПК7 G06 15/50, опубл. у Бюл. №11, 2004р.]

Недоліками пристрою є складність апаратної реалізації, а також складність обчислення вхідних операндів для знаходження спекулярної складової кольору.

В основу корисної моделі поставлено задачу створення пристрою для визначення інтенсивності спекулярної складової кольору, у якому за рахунок введення нових елементів і зв'язків, використання нової функціональної залежності та виконання операцій безпосередньо зі значенням $\cos\alpha$, яке легко отримується скалярним добутком векторів, досягається зменшення складності обчислення вхідних операндів та зменшення кількості блоків постійної пам'яті.

Поставлена задача досягається тим, що в пристрій, який включає перший, другий, третій четвертий та п'ятий регістри, перший та другий блоки множення, мультиплексор, блок керування, комбінаційний суматор, блок постійної пам'яті, вихід якого підключено до першого входу блоку множення, вихід першого регістру з'єднано з першим інформаційним входом мультиплексора, інформаційний вхід - з першим інформаційним входом пристрою, а керуючий вхід - з першим керуючим входом пристрою додатково введено другий мультиплексор, шостий регістр, третій і четвертий блоки множення, блок інверторів, вихід якого з'єднано з першим інформаційним входом комбінаційного суматора, другий вхід якого служить для постійної подачі операнда, що дорівнює одиниці, вхід переносу підключено до виходу логічної одиниці, а вихід з'єднано з інформаційним входом третього регістру, вихід якого підключено до першого інформаційного входу першого мультиплексора і перших входів другого, третього і четвертого блоків множення, перші входи яких з'єднані відповідно з виходами четвертого, п'ятого і шостого регістрів, інформаційні входи яких підключено відповідно до п'ятого, шостого і сьомого інформаційних входів пристрою, п'ятий, шостий і сьомий керуючі входи якого з'єднані відповідно з керуючими входами четвертого, п'ятого і шостого регістрів, вихід другого мультиплексора підключено з другим входом першого блоку множення, вихід якого з'єднано з входом блоку інверторів, вихід першого мультиплексора підключено до входу блоку постійної пам'яті, перший, другий і третій входи блоку керування з'єднані відповідно з першим, другим і третім керуючими входами пристрою, другий інформаційний та четвертий керуючі входи якого підключені відповідно до інформаційного та керуючого входів другого регістру, вихід якого з'єднано з першим інформаційним входом другого мультиплексора, перший інформаційний вхід якого служить для постійної подачі операнда, що дорівнює $1/2$, керуючий вхід пристрою підключено до третього виходу блоку керування, другий вхід якого з'єднано з керуючим входом третього регістру, керуючий вхід другого мультиплексору підключено першого виходу блоку керування.

Блок керування містить перший, другий і третій D-тригери, елемент I, перший, другий і третій елементи I-II, інвертор, вхід якого підключено до третього входу першого елементу I-II, першого входу другого елементу I-II і другого входу блоку керування, третій вхід якого з'єднано із другим входом елемента I, R-входами другого і третього тригерів, S-входи яких підключено до D і S-входу першого тригера і виходу логічної одиниці, C-входи другого і третього D-тригерів з'єднані з виходом інвертора, прямий вихід першого тригера підключено до D-входу другого тригера, прямий вихід якого з'єднано з D-входом третього тригера і другим входом першого елементу I-II, вихід якого підключено до першого входу третього елементу I-II і першого входу елемента I, вихід якого з'єднано з R-входом першого тригера, інверсний вихід другого D-тригера підключено до другого входу другого елементу I-II, третій вхід якого з'єднано з першим виходом блоку керування і третім входом другого елементу I-II, вихід якого підключено до другого входу третього елементу I-II і третього виходу блоку керування, перший вхід якого з'єднано з C-входом першого тригера, а другий вхід - з виходом третього елементу I-II.

На фігурі 1 зображено схему пристрою, на фігурі 2 зображено схему блока 16 керування, на фігурі 3 зображено часову діаграму роботи блока 16 керування.

Пристрій включає відповідно перший регістр 1, другий регістр 2, перший мультиплексор 3, другий мультиплексор 4, блок постійної пам'яті 5, перший блок 6 множення, блок інверторів 7, комбінаційний суматор 8, відповідно третій ÷ шостий 9÷12 регістри, відповідно другий ÷ четвертий 13÷15 блоки множення, блок керування

16, відповідно перший ÷ сьомий інформаційні входи 17÷23 пристрою, перший 24, другий 25, третій 26 інформаційні входи, перший 27, другий 28, третій 29, четвертий 30, п'ятий 31, шостий 32, сьомий 33, восьмий 34 керуючі входи, керуючий вихід 35. Блок керування 16 має перший вхід, який з'єднано з першим керуючим входом пристрою 27, другий вхід якого з'єднано із другим керуючим входом 28 пристрою, третій вхід, який з'єднано із третім 29 керуючим входом пристрою, перший 36, другий 37, третій вихід, який з'єднано з керуючим 35 виходом пристрою.

Блок 16 керування включає перший 38, другий 39, третій 40 D-тригери, інвертор 41, перший 42, другий 43, третій 44 елементи І-НІ, елемент І 45.

Перший інформаційний вхід 17 пристрою підключено до інформаційного входу першого регістра 1, керуючий вхід якого з'єднано з керуючим входом першого регістра 1 і першим 27 входом блока 16 керування. Вихід першого регістра 1 підключено до першого входу першого мультиплексора 3, вихід якого з'єднано із входом блока 5 постійної пам'яті, а другий вхід із виходом третього регістра 9 і першими входами другого 13, третього 14 і п'ятого 15 блоків множення, виходи яких підключено відповідно до першого 24, другого 25 і третього 26 інформаційних виходів пристрою. П'ятий 21, шостий 22, сьомий 23 інформаційні входи пристрою підключені до інформаційних входів відповідно четвертого 10, п'ятого 11 і шостого 12 регістрів, керуючі входи яких з'єднано відповідно з п'ятим 31, шостим 32 і сьомим 33 керуючими входами пристрою. Виходи четвертого 10, п'ятого 11 і шостого 12 регістрів підключено відповідно до других входів другого 13, третього 14 і четвертого 15 блоків множення. Перший і другий входи першого блока 6 множення з'єднано відповідно з виходом блока 5 постійної пам'яті й виходом другого мультиплексора 4, а вихід - із входом блока 7 інверторів. Перший інформаційний вхід комбінаційного суматора 8 підключено до виходу блока 7 інверторів. Другий вхід 20 комбінаційного суматора 8 служить для подачі операнда, що дорівнює одиниці. Найпростіше це зробити монтажним шляхом, наприклад, подавши на перший розряд інформаційного входу 20 одиницю, а всі старші розряди заземлити. Вхід переносу 34 комбінаційного суматора 8 підключено до виходу логічної одиниці. Підключення до цього рівня обумовлено тим, що комбінаційний суматор 8 працює в режимі віднімання. Вихід комбінаційного суматора 8 з'єднано з інформаційним входом третього регістра 9, керуючий вхід якого підключено до другого 37 виходу блока 16 керування, перший вихід 36 якого з'єднано з керуючим входом першого мультиплексора 3 і керуючим входом другого мультиплексора 4, перший інформаційний вхід якого підключено до виходу другого регістра 2. Другий інформаційний вхід 18 пристрою підключено до інформаційного входу другого регістру 2, керуючий вхід якого з'єднано із четвертим 30 керуючим входом пристрою. Другий 28 і третій 29 керуючі входи пристрою підключені відповідно до другого й третього входів блоку 16 керування, третій вихід якого з'єднано з керуючим виходом 35 пристрою. На третій вхід 19 пристрою, який з'єднано із другим інформаційним входом другого мультиплексора 4, подається значення 1/2. Це можна здійснити, наприклад, монтажною комутацією.

Другий вхід блоку 16 керування з'єднано із входом інвертора 41, третім входом першого елемента І-НІ 42 і першим входом другого елемента І-НІ 43. Вихід першого елемента І-НІ 42 з'єднано з першим входом третього елемента І-НІ 44 і першим входом елемента І 45, другий вхід якого підключено до третього входу блока 16 керування і R-входів другого 39 і третього 40 D-тригерів. Прямий вихід другого D-тригера 39 з'єднано з D-входом третього D-тригера 40 і другим входом першого елемента І-НІ 42, перший вхід якого підключено до інверсного входу третього D-тригера 40. Інверсний вихід другого D-тригера 39 підключено до другого входу другого елемента І-НІ 43, третій вхід якого з'єднано із прямим виходом третього D-тригера 40 і першим виходом блока 12 керування. С-входи другого 39 і третього 40 D-тригерів підключено до виходу інвертора 41. D-вхід першого D-тригера 38, S-входи першого 38, другого 39 і третього 40 D-тригерів з'єднано з виходом логічної одиниці. Прямий вихід першого D-тригера 38 підключено до D-входу другого D-тригера 39. Вихід другого елемента І-НІ 43 підключено до другого входу третього елемента І-НІ 44 і до третього виходу блока 16 керування, другий вихід 37 якого з'єднано з виходом третього елемента І-НІ 44. Вихід елемента І 45 підключено до R-входу першого D-тригера 38.

При зафарбовуванні за методом Фонга інтенсивність спекулярної інтенсивності кольору визначають за формулою:

$$I = I_0 \cdot k_s \cdot \cos^n \lambda, \quad (1)$$

де I - інтенсивності направлено джерел світла, k_s - коефіцієнт спекулярної складової кольору, λ - кут між відбитим напрямком світла і спостерігачем, n - коефіцієнт яскравості поверхні, $\cos^n \lambda$ - дистрибутивна функція (BRDF), яка відповідає за оптичні характеристики поверхні.

Запишемо функцію в еквівалентному виді

$$\cos^n \lambda = 2^{n \log_2(\cos \lambda)}$$

В останньому виразу позначимо $n \cdot \log_2(\cos \lambda)$ через x , тобто

$$2^{n \log_2(\cos \lambda)} = 2^x$$

Знайдемо наближення функції 2^x функцією виду $f(x) = A \log_2(1-x) + B$ на проміжку $[-1, 0]$.

Знайдемо невідомі A і B .

При $x=0$

$$1 = A \log_2(1) + B.$$

З останнього рівняння знаходимо, що $B=1$.

$$\text{При } x=-1 \text{ отримуємо таке рівняння } \frac{1}{2} = A \log_2(2) + B. \quad \text{Ураховуючи, що } B=1, \text{ знаходимо, що } A = -\frac{1}{2}.$$

$$2^x \approx 1 - \frac{1}{2} \log_2(1-x)$$

Таким чином,

З урахуванням отриманої формули запишемо вираз (1) таким чином

$$\cos^n \lambda = 2^{n \log_2(\cos \lambda)} = 1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda)$$

Останній вираз і було використано в пристрої.

Пристрій працює наступним чином.

На другий керуючий вхід 28 пристрою поступає опорна імпульсна послідовність, на третій 29 керуючий вхід пристрою подається імпульс установки в заданий стан. Сигнал, який поступає на перший 27 керуючий вхід пристрою для запису операнду в перший регістр 1, є одночасно сигналом початку роботи пристрою.

У початковий момент часу в другий регістр 2 заноситься значення коефіцієнта спекулярності n . Для цього його значення від зовнішнього пристрою виставляється на другий 18 інформаційний вхід пристрою, а на четвертий керуючий вхід 30 пристрою подається передній фронт сигналу запису.

На перший інформаційний вхід 17 пристрою виставляється значення $\cos \gamma$, яке записується в перший регістр 1 переднім фронтом сигналу запису, який подається на перший 27 керуючий вхід пристрою. Вказаний фронт сигналу, який також поступає на перший вхід блоку 16 керування, визначає початок перетворень. Оскільки на першому керуючому виході 36 блоку 16 керування, який з'єднано з керуючим входом першого мультиплексора 3, формується рівень логічного нуля, то значення $\cos \gamma$ з виходу першого регістра 1 через перший мультиплексор 3 подається на вхід блоку 5 постійної пам'яті. На виході вказаного блоку формується операнд $\log_2 \cos \lambda$, який поступає на другий вхід першого блоку 6 множення. Оскільки на керуючому вході другого мультиплексора 4 присутній рівень логічного нуля, то значення коефіцієнта спекулярності n з виходу другого регістра 2 через другий мультиплексор 4 подається на другий вхід першого блоку 6 множення на виході якого формується значення $n \cdot \log_2 \cos \lambda$. На виході комбінаційного суматора 8 знаходять різницю $1 - n \cdot \log_2 \cos \lambda$. Для цього з використанням блоку 7 інверторів значення $n \cdot \log_2 \cos \lambda$ інвертують, а на другий вхід комбінаційного суматора 8 подають значення одиниці. Оскільки віднімання виконують у доповняльному коді, то на вхід переносу комбінаційного суматора 8 подають рівень логічної одиниці.

Значення $1 - n \cdot \log_2 \cos \lambda$ заносять в третій регістр 9, для чого на другому виході 37 блоку 16 керування формують сигнал запису в третій регістр 9.

Після виконання зазначених дій на виході 36 блоку керування формується рівень логічної одиниці, під дією якого на виході першого 3 і другого 4 мультиплексорів передаються операнди з їх других інформаційних входів.

Значення $1 - n \cdot \log_2 \cos \lambda$ з виходу третього 9 регістра через перший мультиплексор 3 подається на вхід блоку 5 постійної пам'яті, на виході якого формується операнд $\log_2(1 - n \cdot \log_2 \cos \lambda)$. Оскільки через другий мультиплексор 4 на другий вхід першого блоку 6 множення подається значення $1/2$, то на виході першого блоку 6 формується

значення $\frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda)$, яке інвертується блоком 7 інверторів.

На виході комбінаційного суматора 8, який працює в режимі віднімання, формується значення $1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda)$, яке записують у третій регістр 9, для чого на другому виході 37 блоку 16 керування

формують імпульс запису. Як зазначалося раніше, $1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda) \approx \cos^n \lambda$.

У четвертому 10, другому 11 і третьому 12 регістрах зберігаються відповідно значення R, G, B складові інтенсивності кольору, які перемножуються зі значенням $1 - \frac{1}{2} \log_2(1 - n \cdot \log_2 \cos \lambda) \approx \cos^n \lambda$, і утворюють складові спекулярної складової кольору.

Блок 16 керування працює наступним чином (див. часову діаграму на рис. 3) У початковий момент часу на третій керуючий вхід 29 пристрою поступає імпульс інверсної полярності, під дією якого перший 39 і другий 40 D-тригери обнуляються. Оскільки при цьому на виході першого елементу I-NI 42 присутній рівень логічної одиниці, то імпульс зі входу 29, пройшовши через елемент I 45, обнулить і перший D-тригер 38. Таким чином, під дією імпульсу установки в заданий стан, усі D-тригери блоку 16 керування знаходяться в нульовому стані.

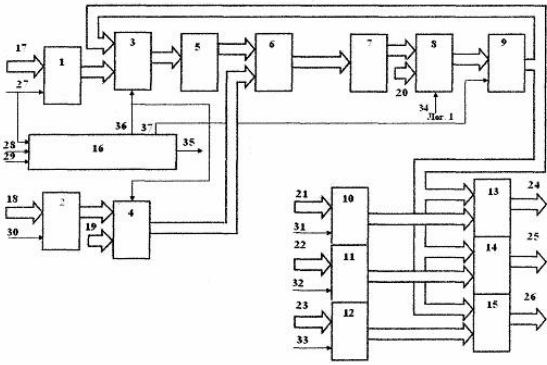
Переднім фронтом імпульсу запису операнду в перший регістр 1, який подається на перший керуючий вхід 27 пристрою, в одиничний стан буде переведено перший D-тригер 38. Переднім фронтом імпульсної послідовності, яка формується на виході 28 інвертора, у одиничний стан буде переведено другий D-тригер 39, а через період і третій D-тригер 40. Перший 42 та другий 43 елементи I-NI виділяють проміжки часу між одиничним і нульовим станом відповідних D-тригерів і пропускають за цей час усього один одиничний імпульс від опорної імпульсної послідовності, яка поступає на другий керуючий вхід 28 пристрою. Імпульс інверсної полярності, який формується на виході першого елементу I-NI 42 обнулить перший D-тригер 38. Це призведе до того, що спочатку обнулиться другий D-тригер 39, а через такт і третій D-тригер 40. Два імпульси інверсної полярності, які формуються зі зміщенням в один період імпульсної послідовності, яка поступає на другий керуючий вхід 28 пристрою, об'єднуються з використанням третього елементу I-NI 44. Передній фронт імпульсу на керуючому виході 35 пристрою сигналізує, що на першому 24, другому 25 і третьому 26 інформаційних виходах пристрою сформовано спекулярну складову кольору.

У запропонованому пристрої для знаходження спекулярної складової кольору використовується значення $\cos \lambda$, яке легко отримується скалярним добутком векторів \vec{N} і \vec{N} у пристрої-аналогі використовується значення A, що передбачає виконання після знаходження $\cos \lambda$ довготривалої операції арккосинуса. Таким чином, у запропонованому пристрої досягається більш висока швидкодія за рахунок спрощеного розрахунку вихідних параметрів.

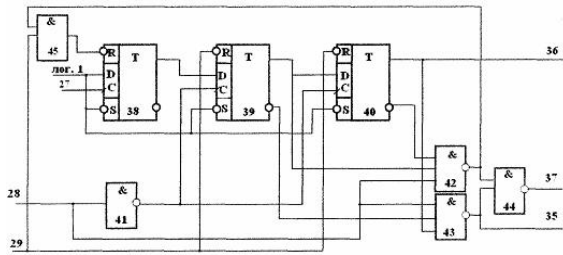
У пристрої-прототипі використовується два блока постійної пам'яті, причому в одному з них зберігаються значення чотирьох різних степенів косинуса кута λ для всіх можливих значень n на всьому діапазоні зміни λ

$\left(0 \leq \lambda \leq \frac{\pi}{2}\right)$. У запропонованому пристрої використано лише один блок пам'яті, у якому зберігаються значення $\log_2 \cos \lambda$. Таким чином, досягається зменшення як кількості блоків пам'яті так і їхніх обсягів.

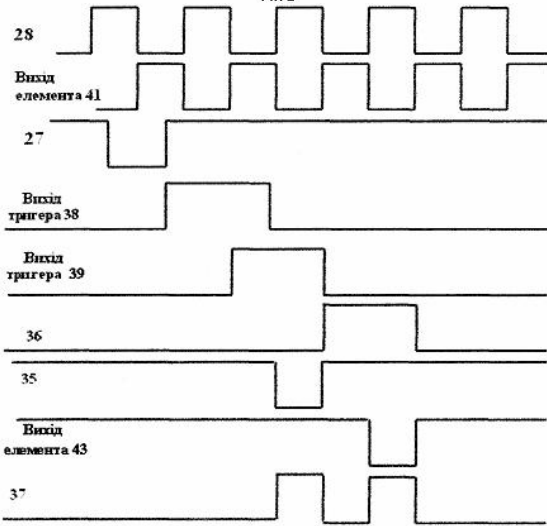
У запропонованому пристрої використовуються виключно мікросхеми, що випускаються серійно.



Фиг. 1



Фиг. 2



Фиг. 3