



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **120057** (13) **U**
(51) МПК (2017.01)
НОЗМ 1/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

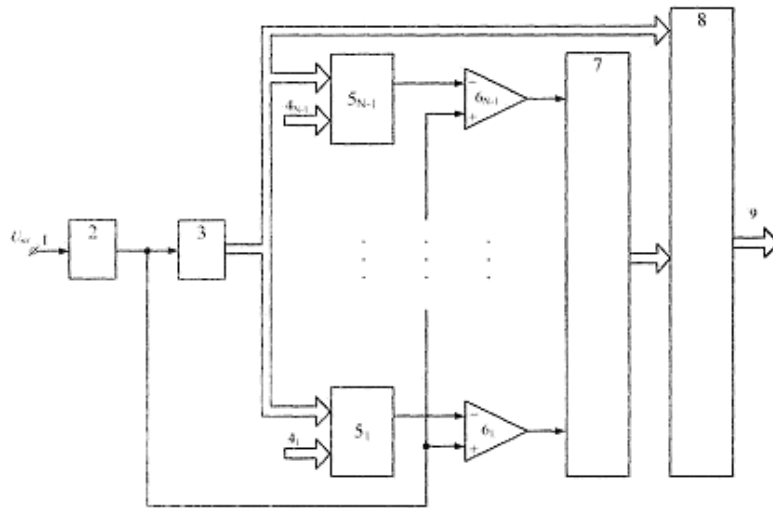
(21) Номер заявки: u 2017 03059	(72) Винахідник(и): Бортник Геннадій Григорович (UA), Бортник Олександр Геннадійович (UA), Васильківський Микола Володимирович (UA)
(22) Дата подання заявки: 31.03.2017	
(24) Дата, з якої є чинними права на корисну модель: 25.10.2017	
(46) Публікація відомостей про видачу патенту: 25.10.2017, Бюл.№ 20	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) ПАРАЛЕЛЬНО-ПОСЛІДОВНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Паралельно-последовний аналого-цифровий перетворювач містить m -розрядний паралельний АЦП старших розрядів, аналоговий вхід якого під'єднано до виходу блока вибірки та зберігання, вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, виходи m -розрядного паралельного АЦП під'єднано до першої вхідної шини буферного регістра, виходи якого є відповідно вихідною розрядною шиною пристрою, перетворювача коду, 2^{l-1} компараторів, виходи яких під'єднано до відповідних входів перетворювача коду, виходи якого під'єднано до другої вхідної шини буферного регістра. Введено 2^{l-1} ЦАП з n -розрядними вхідними шинами, причому старші m розрядів вхідних шин ЦАП під'єднано до відповідних виходів паралельного АЦП старших розрядів. На молодших l розрядах вхідних шин ЦАП встановлено відповідні цифрові коди N_2 , де N_2 - двійковий номер кожного з 2^{l-1} ЦАП, виходи ЦАП під'єднано до відповідних інвертувальних входів 2^{l-1} компараторів, а неінвертувальні виходи яких під'єднано до виходу блока вибірки та зберігання.

UA 120057 U



Корисна модель належить до інформаційно-виміральної техніки і призначена для спектрометричних вимірювань високої швидкодії в контрольно-виміральної техніці, радіолокації, експериментальній фізиці.

Відомий паралельно-послідовний аналого-цифровий перетворювач (АЦП), який містить 2^{m-1} пристроїв порівняння, де m - кількість розрядів вихідного коду, яка визначається за один вимірвальний такт перетворювача, перші входи яких з'єднані з шиною джерела вхідного сигналу, другі входи - з відповідними виходами резистивного подільника, а виходи з'єднані з цифровими входами блока керування, перший вихід блока керування з'єднаний з першим входом першого перетворювача код-струм, вихід якого з'єднаний з першим виходом резистивного подільника, другий вихід блока керування з'єднаний з першим входом другого перетворювача код-струм, вихід якого з'єднаний з 2^{m-1} виходом резистивного подільника, а вхід резистивного подільника з'єднаний з шиною джерела початкового зміщення, третій вихід блока керування з'єднаний з входом блока пам'яті, перший вихід якого через цифро-аналоговий перетворювач (ЦАП) з'єднаний з другими входами першого і другого перетворювачів код-струм, другий вихід блока пам'яті з'єднаний з першими входами додаткових перетворювачів код-струм, вихід одного з яких з'єднаний з першим входом резистивного подільника, а вихід другого з 2^{m-1} виходом резистивного подільника [А.С. СРСР № 651475, МПК Н03К 13/17 бюлетень № 9, 1979 р.].

Недоліком цього АЦП є низька швидкодія.

Відомий паралельно-послідовний 8-розрядний АЦП, який містить два 4-розрядних АЦП, кожен з яких містить послідовно з'єднані джерело опорних напруг і набір $2^{\frac{m}{2}-1}$ компараторів, де m - кількість розрядів вихідного коду, різницевий пристрій, перші входи компараторів першого 4-розрядного АЦП з'єднані з шиною джерела вхідного сигналу, що підлягає перетворенню, виходи компараторів першого 4-розрядного АЦП з'єднані з входами елементів пам'яті через групу елементів І та АБО, виходи елементів пам'яті під'єднані до шин старших розрядів і до входів ЦАП, вихід якого з'єднаний з другим входом різницевого пристрою, перший вхід якого під'єднаний до шини джерела вхідного сигналу, що підлягає перетворенню, вихід різницевого пристрою з'єднаний з першими входами компараторів другого 4-розрядного АЦП, другі входи яких і другі входи першого 4-розрядного АЦП під'єднані до шини джерела опорних напруг, виходи компараторів другого 4-розрядного АЦП через групу елементів І та АБО під'єднані до шин молодших розрядів [патент США № 41248224, кл. 330/252 МПК Н03К 13/17].

Недоліком даного перетворювача є низька швидкодія.

Найбільш близьким аналогом є n -розрядний паралельно-послідовний АЦП, який містить m -розрядний паралельний АЦП старших розрядів, аналоговий вхід якого під'єднано до виходу блока вибірки та зберігання, вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, виходи m -розрядного паралельного АЦП під'єднано до першої вхідної шини буферного регістра та до відповідних входів ЦАП, вихід якого з'єднано з першим входом підсилювача-віднімача, вихід якого під'єднано до неінвертувальних входів 2^{1-1} компараторів, де $1=n-m$ - число молодших розрядів паралельно-послідовного АЦП, а інвертувальні входи компараторів під'єднано до відповідних виходів резистивної матриці, що складається з 2^{1-1} резисторів, вхід резистивної матриці під'єднано до шини джерела опорної напруги, другий вхід підсилювача-віднімача під'єднано до виходу блоку вибірки та зберігання, виходи 2^{1-1} компараторів під'єднано до відповідних входів перетворювача унітарного коду у позиційний двійковий код, в подальшому перетворювач коду, виходи якого під'єднано до другої вхідної шини буферного регістра, виходи якого є відповідно вихідною розрядною шиною пристрою. [Кестер У. Аналого-цифровое преобразование. - М.: Техносфера, 2007, С. 239, рис. 3.65].

Недоліком даного пристрою є низька швидкодія. Обмеження швидкодії обумовлене насамперед великим часом встановлення вихідної напруги підсилювача-віднімача з допустимими похибками. А це змушує робочу частотну смугу вхідних аналогових сигналів АЦП, що обмежує їх використання в радіолокації, експериментальній фізиці та іншій контрольно-виміральної апаратурі, пов'язаній зі спектральним аналізом радіо- та широкопasmових відеосигналів.

В основу корисної моделі поставлено задачу створення паралельно-послідовного АЦП, в якому за рахунок введення нових блоків та зв'язків зменшується час перетворення вхідного сигналу, що сприяє підвищенню швидкодії.

Поставлена задача вирішується тим, що в n -розрядний паралельно-послідовний АЦП, який містить m -розрядний паралельний АЦП старших розрядів, аналоговий вхід якого під'єднано до виходу блока вибірки та зберігання, вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, виходи m -розрядного паралельного АЦП під'єднано до першої вхідної шини буферного регістра, виходи якого є відповідно вихідною розрядною шиною

пристрою, перетворювач коду, 2^{l-1} компараторів, виходи яких під'єднано до відповідних входів перетворювача коду, виходи якого під'єднано до другої вхідної шини буферного регістра, введено 2^{l-1} ЦАП з n -розрядними вхідними шинами, причому старші m розрядів вхідних шин ЦАП під'єднано до відповідних виходів паралельного АЦП старших розрядів, а на молодших l розрядах вхідних шин ЦАП встановлено відповідні цифрові коди N_2 , де N_2 - двійковий номер кожного з 2^{l-1} ЦАП, виходи ЦАП під'єднано до відповідних інвертувальних входів 2^{l-1} компараторів, а неінвертувальні входи 2^{l-1} компараторів під'єднано до виходу блока вибірки та зберігання.

На кресленні наведена структурна електрична схема паралельно-послідовного аналого-цифрового перетворювача.

Пристрій містить шину 1 джерела вхідного сигналу $U_{вх}$, блок вибірки та зберігання 2, m -розрядний паралельний АЦП старших розрядів 3, l -розрядні вхідні шини 4 ЦАП, 2^{l-1} ЦАП 5, 2^{l-1} компараторів 6, перетворювач коду 7, буферний регістр 8, вихід якого під'єднано до вихідної шини АЦП 9, аналоговий вхід m -розрядного паралельного АЦП старших розрядів 3 під'єднано до виходу блока вибірки та зберігання 2, вхід якого під'єднано до шини джерела вхідного сигналу 1, який підлягає перетворенню, виходи m -розрядного паралельного АЦП старших розрядів 3 під'єднано до першої вхідної шини буферного регістра 8 та старших m розрядів вхідних шин ЦАП 5, а на молодших l розрядах вхідних шин ЦАП 5 встановлено відповідні цифрові коди N_2 , виходи ЦАП 5 під'єднано до відповідних інвертувальних входів 2^{l-1} компараторів 6, неінвертувальні входи компараторів 6 під'єднано до виходу блока вибірки та зберігання 2, а виходи компараторів 6 під'єднано до відповідних входів перетворювача коду 7, виходи якого під'єднано до другої вхідної шини буферного регістра 8.

Аналого-цифровий перетворювач працює наступним чином. Вхідний сигнал, який перетворюється $U_{вх}$, через шину джерела вхідного сигналу 1 подається на вхід блока вибірки та зберігання 2. З виходу блока вибірки та зберігання 2 дискретні відліки сигналу спрямовуються на аналоговий вхід m -розрядного паралельного АЦП 3 старших розрядів та неінвертувальні входи 2^{l-1} компараторів 6. На виходах паралельного АЦП 3 формуються m -розрядні коди старших розрядів, які надходять до першої вхідної шини буферного регістра 8 та до старших m розрядів вхідних шин ЦАП 5. Ці m -розрядні коди старших розрядів керують діапазоном вихідних рівнів ЦАП 5, які у свою чергу є опорними значеннями напруг для 2^{l-1} компараторів 6. Кожен код старших розрядів та цифрові коди N_2 на молодших l розрядах вхідних шин ЦАП 5 формують опорні значення напруг, що подаються на відповідні неінвертувальні входи 2^{l-1} компараторів 6. На виходах 2^{l-1} компараторів 6 формується унітарний код, який перетворюється у позиційний двійковий код молодших розрядів за допомогою перетворювача коду 7. З виходу перетворювача коду 7 цифровий l -розрядний код молодших розрядів надходить до другої вхідної шини буферного регістра 8, з виходу якого до вихідної шини АЦП 9 надходить n -розрядний код.

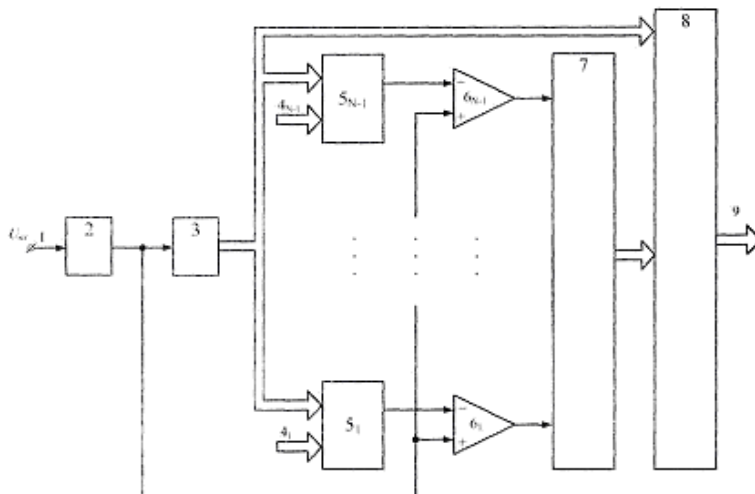
Таким чином, n -розрядний вихідний код, формується за допомогою m -розрядного паралельного АЦП 3 старших розрядів та l -розрядного АЦП молодших розрядів, що містить 2^{l-1} ЦАП 5, 2^{l-1} компараторів і перетворювач коду 7. При цьому в запропонованій схемі паралельно-послідовного АЦП не використовується підсилювач-віднімач для формування різницевого сигналу, що усуває з часового балансу АЦП часову затримку на встановлення напруги, що подається на неінвертувальні входи 2^{l-1} компараторів 6.

Виконання паралельно-послідовного АЦП згідно схеми корисної моделі з використанням одного m -розрядного паралельного АЦП 3 старших розрядів та l -розрядного АЦП молодших розрядів, що містить 2^{l-1} ЦАП 5, 2^{l-1} компараторів і перетворювача коду 7, дає можливість без застосування підсилювача-віднімача отримати вихідний n -розрядний код. Тому загальний час перетворення сигналу в запропонованому паралельно-послідовному АЦП зменшується і відповідно зростає швидкодія АЦП, що дає змогу розширити частотну смугу вхідних аналогових сигналів АЦП.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Паралельно-послідовний аналого-цифровий перетворювач, який містить m -розрядний паралельний АЦП старших розрядів, аналоговий вхід якого під'єднано до виходу блока вибірки та зберігання, вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, виходи m -розрядного паралельного АЦП під'єднано до першої вхідної шини буферного регістра, виходи якого є відповідно вихідною розрядною шиною пристрою, перетворювач коду, 2^{l-1} компараторів, виходи яких під'єднано до відповідних входів перетворювача коду, виходи якого під'єднано до другої вхідної шини буферного регістра, який

- 5 **відрізняється** тим, що в нього введено $2^l - 1$ ЦАП з n -розрядними вхідними шинами, причому старші m розряди вхідних шин ЦАП під'єднано до відповідних виходів паралельного АЦП старших розрядів, а на молодших l розрядах вхідних шин ЦАП встановлено відповідні цифрові коди N_2 , де N_2 - двійковий номер кожного з $2^l - 1$ ЦАП, виходи ЦАП під'єднано до відповідних інвертувальних входів $2^l - 1$ компараторів, а неінвертувальні входи яких під'єднано до виходу блока вибірки та зберігання.



Комп'ютерна верстка О. Гергіль

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601