



УКРАЇНА

(19) UA (11) 18419 (13) U
(51) МПК (2006)
G06T 15/50

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ ВИЗНАЧЕННЯ НОРМОВАНИХ ВЕКТОРІВ НОРМАЛЕЙ

1

2

(21) u200604103

(22) 13.04.2006

(24) 15.11.2006

(46) 15.11.2006, Бюл. № 11, 2006 р.

(72) Романюк Олександр Никифорович, Чорний
Анатолій Вікторович, Неживенко Максим Валері-
йович, Мельников Олександр Никитович

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(57) 1. Пристрій для визначення нормованих векторів нормалей, який містить перший, другий, третій блоки множення, виходи яких відповідно з'єднано з другими входами першого, другого і третього суматорів, який відрізняється тим, що в нього введено сім регістрів, блок керування, лічильник, інформаційний вхід якого з'єднаний з восьмим інформаційним входом пристрою, вхід запису в лічильник підключено до четвертого керуючого входу пристрою, перший керуючий вхід якого підключено відповідно до перших керуючих входів першого, другого і п'ятого регістрів, другий керуючий вхід пристрою підключено відповідно до перших керуючих входів другого, четвертого і шостого регістрів, третій керуючий вхід пристрою підключений до керуючого входу сьомого регістра, а до других керуючих входів відповідно першого, другого, третього, четвертого, п'ятого і шостого регістрів підключено перший вихід блока керування, який також з'єднано з виходом лічби лічильника, вихід переносу якого підключено до першого входу блока керування, другий, третій і четвертий входи якого відповідно з'єднані з п'ятим, шостим і сьомим керуючими входами пристрою, перший-сьомий інформаційні входи якого з'єднано відповідно з першими інформаційними входами першого-сьомого регістрів, інформаційні виходи відповідно першого, третього і п'ятого регістрів підключено до перших інформаційних входів першого, другого і третього суматорів, інформаційні виходи яких з'єднано відповідно з першим-третьім інформаційними виходами пристрою і другими інформаційними входами другого, четвертого і шостого регістрів, інформаційні виходи яких підключено відповідно до других інформаційних входів першого, третього і п'ятого регістрів, а також кожний і-й розряд відповідно другого, четвертого і шостого регістрів з'єднано з (i+1)-ми розрядами других інформаційних входів першого, другого і третього

блоків множення, а молодший розряд других інформаційних входів відповідно першого, другого і третього блоків множення заземляють, перші інформаційні входи відповідно першого, другого і третього блоків множення з'єднано з інформаційним виходом сьомого регістра, інформаційні виходи відповідно першого, другого і третього блоків множення підключено до других інформаційних входів першого, другого і третього суматорів, входи переносу яких заземлено, другий і третій керуючі входи блока керування з'єднані відповідно з другим і першим керуючими виходами пристрою.

2. Пристрій за п. 1, який відрізняється тим, що блок керування складається з першого, другого елемента I, першого і другого інвертора, першого і другого D-тригера, перший вхід першого елемента I з'єднано з сьомим керуючим входом пристрою, який також з'єднаний з R-входом другого D-тригера, D-вхід якого підключено до виходу першого D-тригера, R-вхід якого з'єднано з виходом першого елемента I, другий вхід якого підключено до виходу переносу лічильника, на D-вхід першого D-тригера подається логічна одиниця, C-вхід першого D-тригера з'єднано з п'ятим керуючим входом пристрою, S-входи відповідно першого і другого D-тригерів заземлено, а C-вхід другого D-тригера з'єднано з виходом першого інвертора, вхід якого підключено до шостого керуючого входу пристрою, який також підключено до другого входу другого елемента I, перший вхід якого з'єднано з виходом другого D-тригера, вихід якого також з'єднано з другим керуючим виходом пристрою, а перший керуючий вихід пристрою з'єднано з виходом другого елемента I, вихід якого також підключено до входу другого інвертора, вихід якого з'єднано з першим виходом блока керування.

3. Пристрій за п. 1, який відрізняється тим, що перший, третій і п'ятий регістри включають мультиплексор, регістр і елемент I, перший і другий входи якого з'єднано відповідно з першим і другим керуючими входами першого, третього і п'ятого регістрів, вихід елемента I підключено до керуючого входу регістра, інформаційний вхід якого підключено до інформаційного входу мультиплексора, перший інформаційний вхід якого з'єднано з першим інформаційним входом першого, третього і п'ятого регістрів, а другий інформаційний вхід підключено до інформаційного виходу другого, чет-

(19) UA (11) 18419 (13) U

вертого і шостого регістрів, інверсний інформаційний вихід регістра з'єднано з інверсним інформаційним виходом першого, третього і п'ятого регістрів, третій керуючий вхід першого, другого і третього регістрів підключено до керуючого входу мультиплексора.

4. Пристрій за п. 1, який **відрізняється** тим, що другий, четвертий і шостий регістри включають мультиплексор, регістр і елемент I, перший і другий входи якого з'єднано відповідно з першим і другим керуючими входами другого, четвертого і шостого регістрів, вихід елемента I підключено до

керуючого входу регістрів, інформаційний вхід якого підключено до інформаційного входу мультиплексора, перший інформаційний вхід якого з'єднано з першим інформаційним входом другого, четвертого і шостого регістрів, а другий інформаційний вхід підключено до інформаційного виходу першого, другого і третього суматорів, інформаційний вихід регістра з'єднано з інформаційним виходом другого, четвертого і шостого регістрів, третій керуючий вхід другого, четвертого і шостого регістрів підключено до керуючого входу мультиплексора.

Корисна модель відноситься до автоматки та обчислювальної техніки і призначена для визначення нормованих векторів нормалей у системах формування реалістичних зображень.

Відомий пристрій для обчислення вектора нормалі, який включає дільник 1 на \sqrt{A} і пам'ять для зберігання цих значень, [стаття: The Triangle Processor and Normal Vector Shader: A VLSI System for High Performance Graphics, Computer Graphics, Volume 22, Number 4, August 1988].

Недолік пристрою полягає у великих витратах пам'яті для збереження таблиць значень векторів нормалей, а також низької точності визначення векторів нормалей.

Найбільш близьким є пристрій для обчислення вектора нормалі, який включає тринадцять блоків множення, п'ять суматорів, блок декрементування та блок інкрементування, регістр зсуву, виходи першого і четвертого блоків множення з'єднано відповідно з першим та другим входами першого суматора, виходи другого і п'ятого блоків множення з'єднано відповідно з першим та другим входами другого суматора, виходи третього і шостого блоків множення з'єднано відповідно з першим та другим входами третього суматора, вихід першого суматора відповідно з'єднаний з першим входом одинадцятого блока множення і першим та другим входами сьомого блока множення, вихід другого суматора відповідно з'єднаний з першим входом дванадцятого блока множення і першим та другим входами шостого блока множення, вихід третього суматора відповідно з'єднаний з першим входом тринадцятого блока множення і першим та другим входами дев'ятого блока множення, виходи сьомого-дев'ятого блоків множення підключено відповідно до першого, другого і третього входів четвертого суматора, а вихід цього ж суматора з'єднано з блоком декрементування, вихід якого підключено до першого та другого інформаційних входів десятого блока множення і першого входу п'ятого суматора, а другий вхід якого з'єднано з виходом десятого блока множення, вихід п'ятого суматора з'єднано з регістром зсуву, вихід якого підключено до блока інкрементування, вихід якого з'єднано відповідно з другими інформаційними входами одинадцятого-тринадцятого блоків множення, [стаття: Phong Shading Reformulation for Hardware Renderer Simplification, Apple Technical Report #43,

Richard F. Lyon, Apple Computer, Inc, August 2, 1993].

Недоліки пристрою полягають у великих апаратних витратах за рахунок використання 13 блоків множення, 5 суматорів та низької точності визначення векторів нормалей за рахунок використання при апроксимації обмеженої кількості рядів Тейлора і багатетапності перетворень.

В основу корисної моделі поставлена задача створення пристрою, у якому реалізовано розрахунок векторів нормалей по рекурентному співвідношенню, що забезпечує підвищення швидкодії і точності визначення нормованих векторів нормалей.

Поставлена задача вирішується тим, що в пристрій для нормалізації вектора нормалі, який включає перший, другий, третій блоки множення, виходи яких з'єднано з другими входами першого, другого і третього суматорів відповідно, додатково введено перший-сьомий регістри, блок керування, лічильник, інформаційний вхід якого з'єднаний з восьмим інформаційним входом пристрою, вхід запису в лічильник підключено до четвертого керуючого входу пристрою, перший керуючий вхід якого підключено відповідно до перших керуючих входів першого, третього і п'ятого регістрів, другий керуючий вхід пристрою підключено відповідно до перших керуючих входів другого, четвертого і шостого регістрів, третій керуючий вхід пристрою підключений до керуючого входу сьомого регістра, а до других керуючих входів відповідно першого, другого, третього, четвертого, п'ятого і шостого регістрів підключено перший вихід блока керування, який також з'єднано з входом лічби лічильника, вихід переносу якого підключено до першого входу блока керування, другий, третій і четвертий входи якого відповідно з'єднані з п'ятим, шостим і сьомим керуючими входами пристрою, перший-сьомий інформаційні входи якого з'єднано відповідно з першими інформаційними входами першого-сьомого регістрів, інформаційні виходи відповідно першого, третього і п'ятого регістрів підключено до перших інформаційних входів першого, другого і третього суматорів, інформаційні виходи яких з'єднано відповідно з першим-третім інформаційними виходами пристрою і другими інформаційними входами другого, четвертого і шостого регістрів, інформаційні виходи яких підключено відповідно до других інформаційних входів першо-

го, третього і п'ятого регістрів, а також кожний i -й розряд відповідно другого, четвертого і шостого регістрів з'єднано з $(i+1)$ -ми розрядами других інформаційних входів першого, другого і третього блоків множення, а молодший розряд других інформаційних входів відповідно першого, другого і третього блоків множення заземляють, перші інформаційні входи відповідно першого, другого і третього блоків множення з'єднано з інформаційним виходом сьомого регістра, інформаційні виходи відповідно першого, другого і третього блоків множення підключено до других інформаційних входів першого, другого і третього суматорів, входи переносу яких заземлено, другий і третій керуючі виходи блока керування з'єднані відповідно з другим і першим керуючими виходами пристрою. Блок керування складається з першого, другого елемента "I", першого і другого інвертора, першого і другого D-тригера, перший вхід першого елемента "I" з'єднано з сьомим керуючим входом пристрою, який також з'єднаний з R-входом другого D-тригера, D-вхід якого підключено до виходу першого D-тригера, R-вхід якого з'єднано з виходом першого елемента "I", другий вхід якого підключено до виходу переносу лічильника, на D-вхід першого D-тригера подається логічна одиниця, C-вхід першого D-тригера з'єднано з п'ятим керуючим входом пристрою, S-входи відповідно першого і другого D-тригерів заземлено, а C-вхід другого D-тригера з'єднано з виходом першого інвертора, вхід якого підключено до шостого керуючого входу пристрою, який також підключено до другого входу другого елемента "I", перший вхід якого з'єднано з виходом другого D-тригера, вихід якого також з'єднано з другим керуючим входом пристрою, а перший керуючий вихід пристрою з'єднано з виходом другого елемента "I", вихід якого також підключено до входу другого інвертора, вихід якого з'єднано з першим виходом блока керування. Перший, третій і п'ятий регістри включають мультиплексор, регістр і елемент "I", перший і другий входи якого з'єднано відповідно з першим і другим керуючими входами першого, третього і п'ятого регістрів, вихід елемента "I" підключено до керуючого входу регістра, інформаційний вхід якого підключено до інформаційного входу мультиплексора, перший інформаційний вхід якого з'єднано з першим інформаційним входом першого, третього і п'ятого регістрів, а другий інформаційний вхід підключено до інформаційного виходу другого, четвертого і шостого регістрів, інверсний інформаційний вихід регістру з'єднано з інверсним інформаційним виходом першого, третього і п'ятого регістрів, третій керуючий вхід першого, другого і третього регістрів підключено до керуючого входу мультиплексора. Другий, четвертий і шостий регістри включають мультиплексор, регістр і елемент "I", перший і другий входи якого з'єднано відповідно з першим і другим керуючими входами другого, четвертого і шостого регістрів, вихід елемента "I" підключено до керуючого входу регістра, інформаційний вхід якого підключено до інформаційного входу мультиплексора, перший інформаційний вхід якого з'єднано з першим інформаційним входом другого, четвертого і шостого регістрів, а другий інформаційний вхід підключено до інформаційного виходу

першого, другого і третього суматорів, інформаційний вихід регістру з'єднано з інформаційним виходом другого, четвертого і шостого регістрів, третій керуючий вхід другого, четвертого і шостого регістрів підключено до керуючого входу мультиплексора.

На Фіг.1 зображено структурну схему пристрою;

на Фіг.2 - принципову схему реалізації блоку 15 керування;

на Фіг.3 - структурну схему регістра з двома інформаційними входами і інверсним інформаційним виходом;

на Фіг.4 - структурну схему регістра з двома інформаційними входами;

на Фіг.5 приведено часову діаграму роботи блоку 15 керування;

на Фіг.6 зображено принцип сферично-кутової інтерполяції векторів нормалей;

на Фіг.7 - розрахунок вектора \vec{N}_k ;

на Фіг.8 зображено рядок rasterизації у трикутнику.

Пристрій для визначення векторів нормалей (Фіг.1) включає перший суматор 1, перший блок множення 2, перший регістр 3, другий регістр 4, другий суматор 5, другий блок множення 6, третій регістр 7, четвертий регістр 8, третій суматор 9, третій блок множення 10, п'ятий регістр 11, шостий регістр 12, сьомий регістр 13, лічильник 14, блок 15 керування. Блок 15 керування складається з першого елемента "I" 38, першого D-тригера 39, першого інвертора 40, другого D-тригера 41, другого елемента "I" 42 та другого інвертора 43. Регістри 3, 7, 11 ідентичні і включають мультиплексор 44, регістр 46 і елемент "I" 45. Регістри 4, 8, 12 ідентичні і включають мультиплексор 47, регістр 49 і елемент "I" 48.

Пристрій включає відповідно перший-восьмий інформаційні входи 16÷23, відповідно перший-третій інформаційні виходи 24÷26, відповідно перший-сьомий керуючі входи 27÷33, перший 34, другий 35 керуючі входи.

Вихід першого суматора 1 з'єднано з першим інформаційним виходом пристрою 24 і другим інформаційним входом другого регістра 4. Перший та другий інформаційні входи першого суматора 1 з'єднані відповідно з виходом першого регістра 3 та виходом першого блоку множення 2. Кожний i -й розряд другого регістра 4 з'єднано з $(i+1)$ -м розрядом другого інформаційного входу першого блоку множення 2, а молодший розряд другого інформаційного входу першого блоку множення 2 заземляють. Вихід другого регістра 4 з'єднано з другим інформаційним входом першого регістра 3. Перший інформаційний вхід першого блоку множення 2 з'єднано з виходом сьомого регістра 13. Перші інформаційні входи першого 3 та другого 4 регістрів підключено відповідно до першого 16 та другого 17 інформаційних входів пристрою. Вихід другого суматора 5 з'єднано з другим інформаційним виходом пристрою 25 і другим інформаційним входом четвертого регістра 8. Перший та другий інформаційні входи другого суматора 5 з'єднані відповідно з виходом третього регістра 7 та виходом другого блоку множення 6. Кожний i -й розряд

четвертого регістра 8 з'єднано з (i+1)-м розрядом другого інформаційного входу другого блоку множення 6, а молодший розряд другого інформаційного входу другого блоку множення 6 заземляють. Вихід четвертого регістра 8 з'єднано з другим інформаційним входом третього регістра 7. Перший інформаційний вхід другого блоку множення 6 з'єднано з виходом сьомого регістра 13. Перші інформаційні входи третього 7 та четвертого 8 регістрів підключено відповідно до третього 18 та четвертого 19 інформаційних входів пристрою. Вихід третього суматора 9 з'єднано з третім інформаційним виходом пристрою 26 і другим інформаційним входом шостого регістра 12. Перший та другий інформаційні входи третього суматора 3 з'єднані відповідно з виходом п'ятого регістра 11 та виходом третього блоку множення 10. Кожний i-й розряд шостого регістра 12 з'єднано з (i+1)-м розрядом другого інформаційного входу третього блоку множення 10, а молодший розряд другого інформаційного входу третього блоку множення 10 заземляють. Вихід шостого регістра 12 з'єднано з другим інформаційним входом п'ятого регістра 11. Перший інформаційний вхід третього блоку множення 10 з'єднано з виходом сьомого регістра 13. Перші інформаційні входи п'ятого 11 та шостого 12 регістрів підключено відповідно до п'ятого 20 та шостого 21 інформаційних входів пристрою. Інформаційний вхід сьомого регістра 13 з'єднано з сьомим 22 інформаційним входом пристрою.

Інформаційний вхід лічильника 14 з'єднано з восьмим 23 інформаційним входом пристрою.

Перший інформаційний вхід регістрів 3, 7, 11 з'єднано з інформаційним входом мультиплексора 44, другий інформаційний вхід якого з'єднано з другим інформаційним входом регістрів 3, 7, 11. Інформаційний вихід мультиплексора 44 підключено до інформаційного входу регістра 46, інверсний інформаційний вихід якого з'єднано з інверсним виходом регістрів 3, 7, 11. Перший інформаційний вхід регістрів 4, 8, 12 з'єднано з інформаційним входом мультиплексора 47, другий інформаційний вхід якого з'єднано з другим інформаційним входом регістрів 4, 8, 12. Інформаційний вихід мультиплексора 47 підключено до інформаційного входу регістра 49, інформаційний вихід якого з'єднано з виходом регістрів 4, 8, 12.

Відповідно перший 1, другий 5 і третій 9 суматори використовують для віднімання двох операндів у доповняльних кодах. Для цього вхід переносу суматорів 1, 5, 9 заземляють, а на перші входи відповідно 1, 5, 9 суматорів подається інверсне значення 3, 7, 11 регістрів.

Треті керуючі входи регістрів 3, 4, 7, 8, 11, 12 підключено до другого керуючого виходу 35 блока 15 керування. Другі керуючі входи регістрів 3, 4, 7, 8, 11, 12 підключено до першого виходу 36 блока 15 керування. Перший 36 вихід блока 15 керування підключено до входу лічби лічильника 14. Перші керуючі входи регістрів 3, 7, 11 підключено до першого керуючого входу 27. Перші керуючі входи регістрів 4, 8, 12 підключено до другого керуючого входу 28. Керуючий вхід сьомого 13 регістра підключено до третього керуючого входу 29. Четвертий керуючий вхід 30 підключено до керуючого входу запису лічильника 14. Вихід переносу лічи-

льника 14 з'єднано з першим входом 37 блока 15 керування. Керуючі входи другий, третій, четвертий блока 15 керування підключені відповідно до п'ятого 31, шостого 32, сьомого 33 керуючих входів пристрою. Третій вихід блока 15 керування з'єднано з першим 34 керуючим виходом пристрою. Другий вихід блока 15 керування з'єднано з другим 35 керуючим виходом пристрою.

Перший і другий керуючі входи регістрів 3, 7, 11 з'єднано відповідно з першим і другим входами елемента "I" 45, вихід якого підключено до керуючого входу регістра 46. Третій керуючий вхід регістрів 3, 7, 11 з'єднано з керуючим входом мультиплексора 44. Перший і другий керуючі входи регістрів 4, 8, 12 з'єднано відповідно з першим і другим входами елемента "I" 48, вихід якого підключено до керуючого входу регістра 49. Третій керуючий вхід регістрів 4, 8, 12 з'єднано з керуючим входом мультиплексора 44.

Вихід 34 - сигнал на виході підтверджує, що дані, які сформовані на виходах 24, 25, 26 - достовірні. Активний рівень сигналу - передній фронт. Вихід 35 - вихід "Кінець". Нульовий рівень сигналу на виході 35 сигналізує, що пристрій закінчив роботу і готовий до прийому вхідних даних. Функціональне призначення входів 31-33 таке: вхід 31 - вхід "Пуск". Під дією сигналу, який поступає на вхід 31 пристрій приступає до визначення векторів нормалей; вхід 32 - вхід опорної імпульсної послідовності, під дією якої здійснюється синхронізація роботи пристрою; вхід 33 - вхід "Початкова установка". Під дією сигналу, що поступає на вхід 33, пристрій устатовлюється в початковий стан.

Перший та другий входи елемента "I" 38 з'єднані відповідно з входами 33 і 37. Вихід елемента "I" 38 з'єднано з R-входом D-тригера 39. С-вхід D-тригера 39 з'єднано з входом 31. S-вхід D-тригера 39 заземлено. R-вхід D-тригера 41 з'єднано з входом 33. Вихід D-тригера 39 з'єднано з D-входом D-тригера 41. Інверсний вихід першого інвертора 40 з'єднано з C-входом D-тригера 41. S-вхід D-тригера 41 заземлено. Вхід 32 з'єднано з першим інвертором 40 і другим входом елемента "I" 42. Перший вхід елемента "I" 42 з'єднано з виходом D-тригера 41. Вихід D-тригера 41 також з'єднано з другим 35 керуючим виходом пристрою. Вихід елемента "I" 42 з'єднано з першим 34 керуючим виходом пристрою і входом другого інвертора 43. Інверсний вихід другого інвертора 43 з'єднано з першим виходом блока 15 керування.

Регістри 3, 4, 7, 8, 11, 12, 13 використано для збереження початкових і проміжних даних у процесі виконання операції визначення векторів нормалей. Блоки множення 2, 6, 10 призначені для виконання операції множення значення $2N(t)$ на $\cos\varphi$. Суматори 1, 5, 9 призначені для віднімання двох операндів у доповняльних кодах. Для цього вхід переносу суматорів 1, 5, 9 заземляють, а на перші входи суматорів 1, 5, 9 подаються інверсні значення перших операндів з регістрів 3, 7, 11. На другі інформаційні входи 1, 5, 9 суматорів подаються значення операндів від блоків 2, 6, 10 множення відповідно. Результатом виконання операції віднімання буде отримання відповідно на 24, 25, 26 інформаційних виходах значень X, Y, Z координат вектора нормалі. Блок 15 керування формує

керуючі сигнали для роботи пристрою.

Лічильник 14 визначає закінчення процесу розрахунку векторів нормалей у рядку растеризації. Лічильник виконує мікрооперацію віднімання одиниці.

Розглянемо основні теоретичні положення, які використані в запропонованому пристрої.

1. Кутова інтерполяція (Фіг.5) одиничних векторів нормалей між початковим \vec{N}_A і кінцевим \vec{N}_B векторами виконується згідно з виразом [Shoemake K. Animating rotation with quaternion curves //ACM SIGGRAPH. -Vol.19. -July 1985. -pp.245-254]:

$$\vec{N}(w) = \vec{N}_A \frac{\sin((1-w)\psi)}{\sin\psi} + \vec{N}_B \frac{\sin(w\psi)}{\sin\psi} \quad (1)$$

де $w \in [0, 1]$, а ψ - кут між векторами нормалей \vec{N}_A і \vec{N}_B .

Використовуючи тригонометричні співвідношення, перепишемо рівняння (1) у вигляді:

$$\vec{N}(w) = \vec{N}_A \frac{\sin\psi \cos(w\psi) - \cos\psi \sin(w\psi)}{\sin\psi} + \vec{N}_B \frac{\sin(w\psi)}{\sin\psi}$$

Після спрощення отримуємо:

$$\vec{N}(w) = \vec{N}_A \cos(w\psi) - \vec{N}_A \frac{\cos\psi \sin(w\psi)}{\sin\psi} + \vec{N}_B \frac{\sin(w\psi)}{\sin\psi}$$

Запишемо останнє рівняння у вигляді:

$$\vec{N}(w) = \vec{N}_A \cos(w\psi) + \frac{\vec{N}_B - \vec{N}_A \cos\psi}{\sin\psi} \sin(w\psi) \quad (2)$$

Замінімо в формулі (2) функцію $\sin\psi$ на $\sqrt{2 - \cos^2\psi}$, та представимо $\cos\psi$ як скалярний добуток векторів векторами \vec{N}_A і \vec{N}_B , Отримаємо:

$$\vec{N}(w) = \vec{N}_A \cos(w\psi) + \frac{\vec{N}_B - \vec{N}_A(\vec{N}_B \cdot \vec{N}_A)}{\sqrt{1 - (\vec{N}_B \cdot \vec{N}_A)^2}} \sin(w\psi) \quad (3)$$

Доведемо, що в виразі (3) множник $\frac{\vec{N}_B - \vec{N}_A(\vec{N}_B \cdot \vec{N}_A)}{\sqrt{1 - (\vec{N}_B \cdot \vec{N}_A)^2}} \sin(w\psi)$ - це нормалізований вектор $\vec{N}_B - \vec{N}_A(\vec{N}_B \cdot \vec{N}_A)$, який є ортогональним до вектора \vec{N}_A . Позначимо його через \vec{N}_K (Фіг.6).

Якщо вектор \vec{N}_K розраховується згідно з вира-

$$\vec{N}(t+1) = \vec{N}_A \cos((t+1)\varphi) + \vec{N}_K \sin((t+1)\varphi) = \vec{N}_A \cos(t\varphi) \cos\varphi - \vec{N}_A \sin(t\varphi) \sin\varphi + \vec{N}_K \sin(t\varphi) \cos\varphi + \vec{N}_K \cos(t\varphi) \sin\varphi$$

$$\vec{N}(t-1) = \vec{N}_A \cos((t-1)\varphi) + \vec{N}_K \sin((t-1)\varphi) = \vec{N}_A \cos(t\varphi) \cos\varphi + \vec{N}_A \sin(t\varphi) \sin\varphi + \vec{N}_K \sin(t\varphi) \cos\varphi - \vec{N}_K \cos(t\varphi) \sin\varphi$$

Додавши $\vec{N}(t+1)$ і $\vec{N}(t-1)$, отримуємо:

$$\vec{N}(t+1) + \vec{N}(t-1) = 2 \cos\varphi (\vec{N}_A \cos(t\varphi) + \vec{N}_K \sin(t\varphi))$$

З урахуванням формули (6), останній вираз перепишемо у вигляді:

$$\vec{N}(t+1) + \vec{N}(t-1) = 2\vec{N}(t) \cos\varphi$$

Звідси:

$$\vec{N}(t+1) = 2\vec{N}(t) \cos\varphi - \vec{N}(t-1) \quad (7)$$

Із останньої формули можна зробити висно-

вом $\vec{N}_B - \vec{N}_A(\vec{N}_B \cdot \vec{N}_A)$, то формула для визначення його модуля має такий вигляд:

$$\|\vec{N}_K\| = \sqrt{(\vec{N}_B - \vec{N}_A(\vec{N}_B \cdot \vec{N}_A))^2} = \sqrt{\vec{N}_B^2 - (\vec{N}_B \cdot \vec{N}_A)(\vec{N}_B \cdot \vec{N}_A) + (\vec{N}_B \cdot \vec{N}_A)^2 + \vec{N}_A^2}$$

Враховуючи, що \vec{N}_A і \vec{N}_B - одиничні вектори, то попереднє рівняння перепишемо таким чином:

$$\|\vec{N}_K\| = \sqrt{1 - 2(\vec{N}_B \cdot \vec{N}_A)(\vec{N}_B \cdot \vec{N}_A) + (\vec{N}_B \cdot \vec{N}_A)^2} = \sqrt{1 - (\vec{N}_B \cdot \vec{N}_A)^2}$$

Тобто, знаменник у другому доданку формули (3) є модулем вектора \vec{N}_K .

Вектор \vec{N}_K є ортогональним до \vec{N}_A . Дійсно, якщо $\vec{N}_A \perp \vec{N}_K$, то з прямокутного трикутника (Фіг.6) знаходимо:

$$\|\vec{N}_K\| = \|\vec{N}_B\| = \sin\psi$$

Враховуючи, що $\|\vec{N}_B\| = 1$, то

$$\|\vec{N}_K\| = \sin\psi = \sqrt{1 - (\vec{N}_B \cdot \vec{N}_A)^2}$$

оскільки $(\vec{N}_B \cdot \vec{N}_A) = \cos\psi$

Оскільки $\vec{N}_K = \frac{\vec{N}_B - \vec{N}_A(\vec{N}_B \cdot \vec{N}_A)}{\sqrt{1 - (\vec{N}_B \cdot \vec{N}_A)^2}}$, то

$$\vec{N}(w) = \vec{N}_A \cos(w\psi) + \vec{N}_K \sin(w\psi) \quad (4)$$

Якщо рядок растеризації l - довжина рядка растеризації, то кут між двома сусідніми векторами нормалей буде дорівнювати:

$$\varphi = \psi / l, \quad (5)$$

де $\psi = \arccos(\vec{N}_A \cdot \vec{N}_B)$

Із урахуванням останнього виразу, рівняння (4) перепишемо таким чином:

$$\vec{N}(t) = \vec{N}_A \cos(t\varphi) + \vec{N}_K \sin(t\varphi) \quad (6)$$

де t - номер пікселя вздовж рядка растеризації, $t \in [0, l]$.

Запишемо вираз (6) в ітераційній формі.

Знайдемо $\vec{N}(t+1)$ і $\vec{N}(t-1)$.

вок, що одиничний вектор нормалі при сферично-кутовій інтерполяції можна знайти через два попередніх значення. Формулу (7) використано у корисній моделі для розрахунку нормалізованих векторів нормалей.

Пристрій працює наступним чином.

Структурну схему пристрою для розрахунку нормованих значень координат векторів нормалей наведено на Фіг.1.

При включенні напруги на вхід 33 подається імпульс нульового рівня, під дією якого блок 15 ке-

рування встановлюється в початковий стан. Нульовий рівень сигналу на виході 34 блока 15 керування сигналізує, що пристрій готовий прийняти вхідні дані.

Пристрій включає три аналогічні сукупності блоків по формуванню X , Y , Z координат вектора нормалі: блоки по формуванню X координат; блоки по формуванню Y координат; блоки по формуванню Z координат. Приведені блоки працюють синхронно, їх робота абсолютно аналогічна. Принцип роботи сукупності блоків по формуванню X координат вектора нормалі приведено нижче.

У циклі підготовки до визначення векторів нормалей виконуються такі дії: у регістри 3, 4 від зовнішнього пристрою відповідно на входи 16, 17 подаються X координати векторів у першій і другій точках рядка растеризації, які записуються у вказані регістри переднім фронтом сигналів, які поступають на вхід 27, 28 пристрою відповідно. На інформаційний вхід регістра 13, який з'єднаний з інформаційним входом 22 пристрою, подається значення $\cos\varphi$, яке записується у вказаний регістр сигналом, який поступає на вхід 29. На інформаційний вхід лічильника 14, який з'єднаний з інформаційним входом 23 пристрою, подається значення $(n-2)$, яке записується у лічильник 14 нульовим рівнем сигналу, де n - кількість точок у рядку растеризації.

При подачі на п'ятий вхід 31 пристрою сигналу "Пуск" починається робота по формуванню нормалізованих векторів нормалей. Активний рівень сигналу на п'ятому 31 вході пристрою - нульовий рівень сигналу.

Із виходу регістра 4 на другий вхід блока 2 множення подається подвоєне значення операнду $2N_x(t)$. Це досягається за рахунок монтажного зсуву, для чого молодший розряд другого інформаційного входу блока 2 множення заземляють, а кожний $(i-й)$ розряд регістра 4 підключають до $(i+1)$ розряду блока 2 множення. На перший вхід блока 2 множення подається значення $\cos\varphi$. У блоці 2 множення виконується множення $\cos\varphi$ з подвоєним значенням X координати другої точки в рядку растеризації. З виходу блока 2 множення отриманий добуток $2N_x(t) \cdot \cos\varphi$ надходить на вхід суматора 1, де від нього віднімається значення X координати першої точки рядка растеризації, яке зберігається в регістрі 3. Суматор 1 працює у режимі віднімання двох операндів у доповняльних кодах. Для цього вхід переносу суматора заземляють, а на перший вхід суматора подається інверсне значення першого операнду з виходу першого регістру. На виході суматора 1 отримують значення X координати вектора нормалі третьої точки рядка растеризації.

Достовірність отримання X координати вектора нормалі на інформаційному виході 24 пристрою підтверджується переднім фронтом сигналу, який формується на першому керуючому виході 34 пристрою.

Для формування вектора нормалі у наступній точці рядка растеризації значення X координати другої точки рядка растеризації, яке зберігається в регістрі 4, записується в регістр 3. Отримане значення X координати третьої точки в рядку растеризації записується в регістр 4 під дією сигналу,

який поступає з блоку 15 керування на вихід 36.

Аналогічно працює блок по визначенню Y координати, який включає суматор 5, блок множення 6, регістр 7, перший інформаційний вхід якого з'єднано з інформаційним входом пристрою 18 і регістр 8, перший інформаційний вхід якого з'єднано з інформаційним входом пристрою 19, а також блок по визначенню Z координати, який включає суматор 9, блок множення 10, регістр 11, перший інформаційний вхід якого з'єднано з інформаційним входом пристрою 20 і регістр 12, перший інформаційний вхід якого з'єднано з інформаційним входом пристрою 21. На виходах 24, 25 і 26 пристрою відповідно отримують одночасно X , Y , Z координати вектора нормалі третьої точки в рядку растеризації.

Після отримання вектору нормалі, вміст лічильника 14 зменшується на одиницю. Для цього на виході 36 блока 15 керування формується імпульс від'ємної полярності. Активний фронт сигналу лічби - передній фронт сигналу на виході 36 блока 15 керування. При досягненні лічильником нульового стану на його виході переносу формується імпульс від'ємної полярності, який поступає на вхід 37 блока 15 керування і сигналізує, що пристрій закінчив формування векторів нормалі у рядку растеризації. На виході 35 блока 15 керування формується рівень логічного нуля, який сигналізує про завершення роботи пристрою.

Часову діаграму блоку 15 керування наведено на Фіг.5, принципову схему реалізації блоку керування - на Фіг.2.

Блок 15 керування працює наступним чином:

У початковий момент часу на вхід 37 пристрою поступає імпульс від'ємної полярності, під дією якого D -тригера 39 і 41 відповідно обнулюються. Початковий стан сигналу на вході 33 початкової установки - одиниця. Після запису вхідних даних у регістри 3, 4, 7, 8, 11, 12, 13 і лічильник 14, на другий вхід 31 "Пуск" поступає імпульс від'ємної полярності, під дією переднього фронту якого тригер 39 встановлюється в одиничний стан. D -вхід тригера 39 підключено до логічної одиниці, а S -входи тригерів 39 і 41 заземляють.

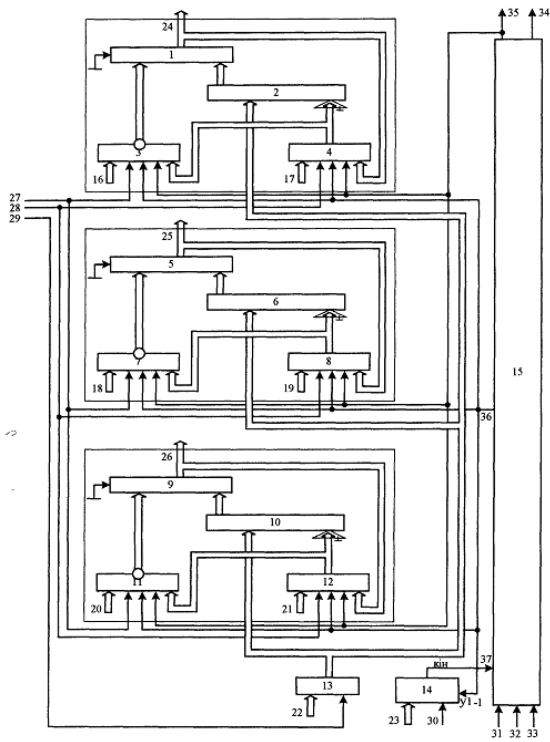
Під дією заднього фронту імпульсної послідовності, яка поступає на вхід 32, тригер 41 встановлюється в одиничний стан, оскільки на інверсному виході тригера 39 присутній рівень логічної одиниці. При формуванні лічильником 14 сигналу переносу на R -вхід тригера 39 подається рівень логічного нуля і тригер 39 обнулюється. Заднім фронтом імпульсної послідовності на вході 32 обнулюється тригер 41. Нульове значення на виході тригера 41 поступає на другий вихід пристрою 35 "Кінець" і сигналізує, що пристрій закінчив формування векторів нормалі у рядку растеризації. Нульове значення на виході тригера 41 поступає на перший вхід елемента "I" 42, на другий вхід якого поступає значення з входу 32. Рівень логічної одиниці на виході елемента "I" 42 поступає на керуючий вихід 34 пристрою, який підтверджує, що дані, які сформовані на виходах 24, 25, 26 - достовірні. Також рівень логічної одиниці на виході елемента "I" 42 поступає на вхід інверсного елемента 43, нульове значення якого поступає на перший вихід 36 блока 15 керування.

Регістри 3, 7, 11 працюють таким чином. При значенні нуля на вході 35 через мультиплексор 44 на вхід реєстра 46 поступає операнд з другого інформаційного входу реєстра 3 (7, 11). При надходженні сигналу з виходу елемента "I" 45 на керуючий вхід реєстра 46, вказаний операнд записується в реєстр 46. Інверсне значення операнду з реєстра 46 поступає на інформаційний вихід реєстрів 3, 7, 11. Активний рівень сигналу запису - передній фронт сигналу. Регістри 4, 8, 12, які включають мультиплексор 47, реєстр 49 і елемент "I" 48, працюють аналогічно реєстрам 3, 7, 11 за винятком тільки того, що з їх виходів поступає пряме значення операнду на виходи реєстрів 4, 8, 12.

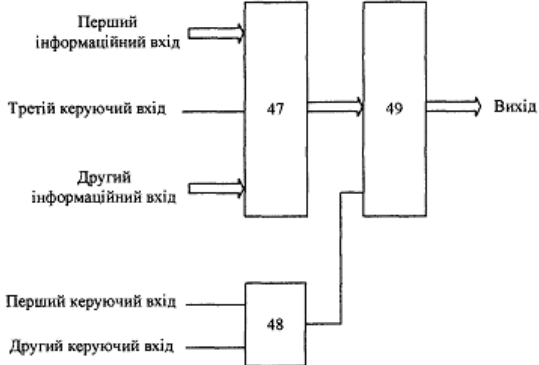
У наведеному пристрої використано тільки мікросхеми, які серійно випускаються.

Розроблений пристрій для визначення векторів нормалей має менші апаратні витрати порівняно з прототипом, оскільки містить меншу кількість блоків: 3 блоки множення і 3 суматора на відміну від прототипу, який містить 13 блоків множення і 5 суматорів. Пристрій прототип для визначення вектора нормалі використовує обмежену кількість рядів Тейлора, що призводить до втрати точності результуючого значення вектору нормалі.

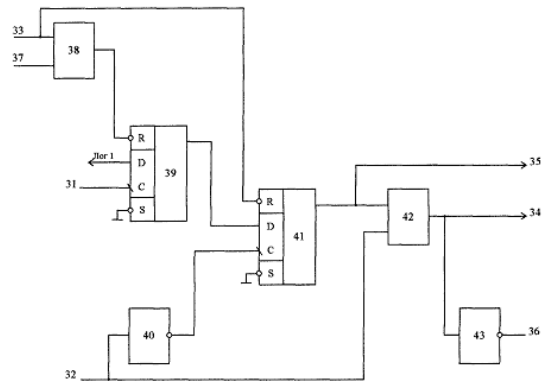
Запропонований пристрій визначає точні значення вектора нормалі. Процес визначення вектора нормалі в пристрої прототипу включає 10 етапів, а в запропонованому пристрої лише два етапи.



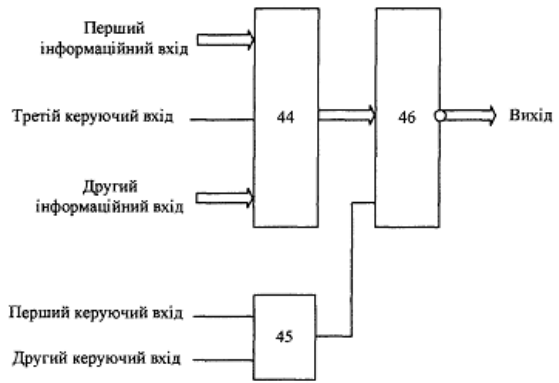
Фіг. 1



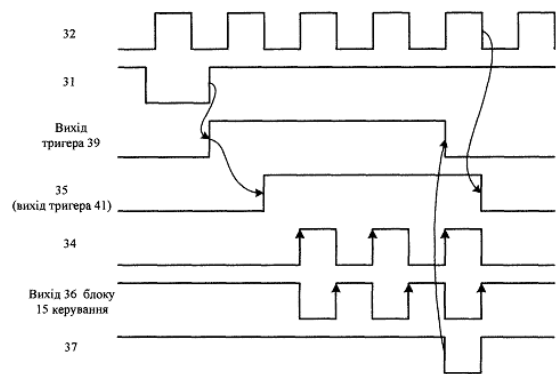
Фіг. 4



Фіг. 2



Фіг. 3



Фіг. 5

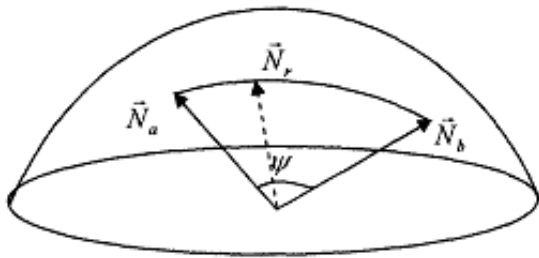


Fig. 6

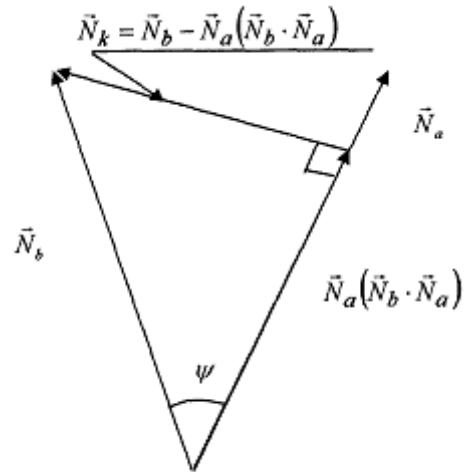


Fig. 7

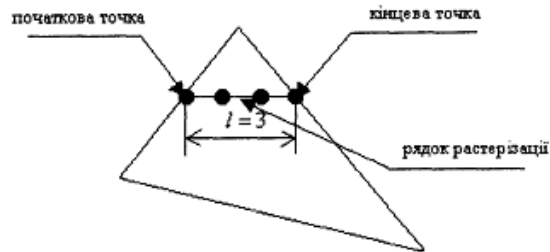


Fig. 8