



УКРАЇНА

(19) UA (11) 17239 (13) U
(51) МПК (2006)
H03K 5/22
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

1

2

(21) u200603280

(22) 27.03.2006

(24) 15.09.2006

(46) 15.09.2006, Бюл. № 9, 2006 р.

(72) Азаров Олексій Дмитрович, Лукащук Олександр Олександрович, Гарнага Володимир Анатолійович, Решетнік Олександр Олександрович, Снігур Анатолій Васильович

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) 1. Двотактний симетричний підсилювач струму, який містить шість транзисторів, шини додатного та від'ємного живлення, вхідну шину, вихідну шину, шину нульового потенціалу, причому вхідну шину з'єднано з емітерами першого та другого транзисторів, бази першого та другого транзисторів з'єднано з базами і колекторами третього та четвертого транзисторів відповідно, колектори першого та другого транзисторів з'єднано з базами п'ятого та шостого транзисторів відповідно, емітери третього та четвертого транзисторів з'єднано з шиною нульового потенціалу, який **відрізняється** тим, що у нього введено джерело струму, дванадцять транзисторів, два відбивачі струму з двома виходами, подільник струму, причому два виходи джерела струму з'єднані з колекторами восьмого та дев'ятого, та з базами чотирнадцятого та п'ятнадцятого транзисторів відповідно, емітери восьмого та дев'ятого транзисторів з'єднано з емітерами сьомого та десятого транзисторів відповідно, бази восьмого та дев'ятого транзисторів з'єднано з емітерами чотирнадцятого та п'ятнадцятого транзисторів відповідно, і з колекторами тринадцятого та шістнадцятого транзисторів відповідно, колектори чотирнадцятого та п'ятнадцятого транзисторів з'єднано з колекторами та базами третього та четвертого транзисторів відповідно, а також з базами першого та другого транзисторів відповідно, колектори сьомого та десятого транзисторів з'єднані з шиною додатного та від'ємного живлення відповідно, бази сьомого та десятого транзисторів з'єднані з базами і колекторами одинадцятого та дванадцятого транзисторів відповідно, а також з базами тринадцятого та шістнадцятого транзисторів відповідно, а також з базами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери одинадцятого, тринадцятого та сімнадцятого тран-

зисторів з'єднані з шиною додатного живлення, емітери дванадцятого, шістнадцятого та вісімнадцятого транзисторів з'єднані з шиною від'ємного живлення, колектори сімнадцятого та вісімнадцятого транзисторів з'єднані з колекторами першого та другого транзисторів відповідно, а також з базами п'ятого та шостого транзисторів відповідно, колектори п'ятого та шостого транзисторів з'єднані з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднані з входами першого та другого відбивачів струму з двома виходами відповідно, входи живлення першого та другого відбивачів струму з двома виходами з'єднано з шиною додатного та від'ємного живлення відповідно, перші входи першого та другого відбивачів струму з двома виходами з'єднано з вихідною шиною, другі входи першого та другого відбивачів струму з двома виходами з'єднано з першим та другим входом подільника струму відповідно, третій вхід подільника струму з'єднано з шиною нульового потенціалу, вихід подільника струму з'єднано з емітерами першого та другого транзисторів, а також з вхідною шиною.

2. Пристрій за п. 1, який **відрізняється** тим, що відбивач струму з двома виходами містить шість транзисторів, причому емітери дев'ятнадцятого, двадцять першого та двадцять третього транзисторів з'єднані з входом живлення відбивача струму з двома виходами, бази дев'ятнадцятого, двадцять першого та двадцять третього транзисторів об'єднані між собою а також з'єднані з колектором дев'ятнадцятого та емітером двадцятого транзисторів, колектор двадцять першого транзистора з'єднано з емітером двадцять другого транзистора, колектор двадцять третього транзистора з'єднано з емітером двадцять четвертого транзистора, бази двадцять другого, двадцять четвертого транзисторів об'єднані між собою а також з'єднані з колектором двадцять другого транзистора та входом відбивача струму з двома виходами, колектор двадцять другого транзистора з'єднано з другим виходом відбивача струму з двома виходами, колектор двадцять четвертого транзистора з'єднано з першим виходом відбивача струму з двома виходами.

3. Пристрій за п. 1, який **відрізняється** тим, що подільник струму містить два резистори, причому

(19) UA (11) 17239 (13) U

один вивід першого резистора з'єднано з виходом подільника струму, а другий вивід першого резистора з'єднано з першим та другим входами поді-

льника струму, а також з першим виводом другого резистора, другий вивід другого резистора з'єднано з третім входом подільника струму.

Корисна модель відноситься до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо кероване джерело струму [Гусев В.Г., Гусев Ю.М. Электроника: Учебное пособие для вузов. - М.: Высш. школа, 1982. - 495 с., ил. Рис. 4.15 на сторінці 249.], який містить п'ятнадцять транзисторів, два діода, дві шини вхідних сигналів, шину для управління керованим джерелом струму, вихідну шину, шину нульового потенціалу, шини додатного та від'ємного живлення. Вхідний каскад зібраний по диференційній схемі на першому та другому транзисторах, бази цих транзисторів з'єднані з шинами вхідних сигналів, емітери їх об'єднані та з'єднані з керованим джерелом струму, яке виконане на третьому та четвертому транзисторах: емітери першого та другого транзисторів з'єднані з колектором третього транзистора, база якого з'єднана з колектором і базою четвертого транзистора, а також з шиною управління цим джерелом струму, емітери третього та четвертого транзисторів з'єднані з шиною від'ємного живлення. Колектор першого транзистора з'єднано з колектором п'ятого транзистора, базою дев'ятого транзистора та з анодом першого діода, база п'ятого транзистора з'єднана з базою і колектором шостого транзистора та з емітером десятого транзистора, емітери п'ятого та шостого транзисторів з'єднані з шиною додатного живлення, катод першого діода з'єднано з емітером дев'ятого транзистора та базою десятого транзистора, колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з колектором дванадцятого транзистора та базою п'ятнадцятого транзистора. Колектор другого транзистора з'єднано з колектором сьомого транзистора, базою одинадцятого транзистора та з анодом другого діода, база сьомого транзистора з'єднана з базою і колектором восьмого транзистора та з емітером чотирнадцятого транзистора, емітери сьомого та восьмого транзисторів з'єднані з шиною додатного живлення, катод другого діода з'єднано з емітером одинадцятого транзистора та базою чотирнадцятого транзистора, колектори одинадцятого та чотирнадцятого транзисторів об'єднані та з'єднані з шиною виходу та з колектором п'ятнадцятого транзистора. Емітер п'ятнадцятого транзистора з'єднано з колектором та базою тринадцятого транзистора та з базою дванадцятого транзистора, емітери дванадцятого та тринадцятого транзисторів з'єднані з шиною додатного живлення.

Основним недоліком цього керованого джерела струму є обмежені функціональні можливості, оскільки вхідним сигналом схеми є напруга, а також низька точність схеми через нелінійну залежність між значеннями вхідної напруги та вихідного

струму.

За прототип обрано двотактний підсилювач з відбивачами струму для визначення стійкої робочої точки [Push-pull amplifier with current mirrors for determining the quiescent operating point, united States Patent 3,852,678 Dec. 3, 1974], який містить шість транзисторів, два резистори, вхідну та вихідну шини, шини додатного та від'ємного живлення, шину нульового потенціалу. Вхідну шину з'єднано з емітерами першого та другого транзисторів, бази яких з'єднані з базами і колекторами третього та четвертого транзисторів відповідно, а також з першими виводами першого та другого резисторів відповідно, колектори першого та другого транзисторів з'єднані з базами п'ятого та шостого транзисторів відповідно, інші виводи першого та другого резисторів з'єднані з шинами додатного та від'ємного живлення відповідно, емітери третього та четвертого транзисторів з'єднані з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно, а їх колектори з'єднані з вихідною шиною.

Недоліками прототипу є низька точність через похибку зміщення нуля, яка виникає через неідентичність параметрів п'ятого та шостого транзисторів, при цьому при нульовому вхідному сигналі складно досягнути рівності колекторних струмів п'ятого та шостого транзисторів, оскільки коефіцієнти підсилення струму β у цих транзисторів можуть значно відрізнятись. Також недоліком є обмежені функціональні можливості схеми у випадку використання резистора зворотного зв'язку, оскільки при цьому вихідним сигналом схеми вже є не струм, а напруга.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму (далі - пристрій), в якому за рахунок використання способу уведення зворотного зв'язку та за рахунок введення нових елементів та зв'язків між ними зменшується як вхідний струм зміщення нуля, так і вхідна напруга зміщення нуля, що підвищує точність та дає можливість використання пристрою в АЦП з більшою швидкодією і точністю, а також у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача досягається тим, що в двотактний симетричний підсилювач струму, який містить шість транзисторів, шини додатного та від'ємного живлення, вхідну шину, вихідну шину, шину нульового потенціалу, причому вхідну шину з'єднано з емітерами першого та другого транзисторів, бази першого та другого транзисторів з'єднані з базами і колекторами третього та четвертого транзисторів відповідно, колектори першого та другого транзисторів з'єднані з базами п'ятого та шостого транзисторів відповідно, емітери третього

та четвертого транзисторів з'єднано з шиною нульового потенціалу, введено джерело струму, дванадцять транзисторів, два відбивачі струму з двома виходами, подільник струму, причому два виходи джерела струму з'єднані з колекторами восьмого та дев'ятого, та з базами чотирнадцятого та п'ятнадцятого транзисторів відповідно, емітери восьмого та дев'ятого транзисторів з'єднано з емітерами сьомого та десятого транзисторів відповідно, бази восьмого та дев'ятого транзисторів з'єднано з емітерами чотирнадцятого та п'ятнадцятого транзисторів відповідно, і з колекторами тринадцятого та шістнадцятого транзисторів відповідно, колектори чотирнадцятого та п'ятнадцятого транзисторів з'єднано з колекторами та базами третього та четвертого транзисторів відповідно, а також з базами першого та другого транзисторів відповідно, колектори сьомого та десятого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно, бази сьомого та десятого транзисторів з'єднані з базами і колекторами одинадцятого та дванадцятого транзисторів відповідно, а також з базами тринадцятого та шістнадцятого транзисторів відповідно, а також з базами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери одинадцятого, тринадцятого та сімнадцятого транзисторів з'єднані з шиною додатного живлення, емітери дванадцятого, шістнадцятого та вісімнадцятого транзисторів з'єднані з шиною від'ємного живлення, колектори сімнадцятого та вісімнадцятого транзисторів з'єднані з колекторами першого та другого транзисторів відповідно, а також з базами п'ятого та шостого транзисторів відповідно, колектори п'ятого та шостого транзисторів з'єднані з шиною нульового потенціалу, емітери п'ятого та шостого транзисторів з'єднані з входами першого та другого відбивачів струму з двома виходами відповідно, входи живлення першого та другого відбивачів струму з двома виходами з'єднано з шинами додатного та від'ємного живлення відповідно, перші виходи першого та другого відбивачів струму з двома виходами з'єднано з вихідною шиною, другі виходи першого та другого відбивачів струму з двома виходами з'єднано з першим та другим входом подільника струму відповідно, третій вхід подільника струму з'єднано з шиною нульового потенціалу, вихід подільника струму з'єднано з емітерами першого та другого транзисторів, а також з вхідною шиною.

Кожен з відбивачів струму з двома виходами містить шість транзисторів, причому емітери дев'ятнадцятого, двадцять першого та двадцять третього транзисторів з'єднані з входом живлення відбивача струму з двома виходами, бази дев'ятнадцятого, двадцять першого та двадцять третього транзисторів об'єднані між собою, а також з'єднані з колектором дев'ятнадцятого та емітером двадцятого транзисторів, колектор двадцять першого транзистора з'єднано з емітером двадцять другого транзистора, колектор двадцять третього транзистора з'єднано з емітером двадцять четвертого транзистора, бази двадцятого, двадцять другого, двадцять четвертого транзисторів об'єднані між собою а також з'єднані з колектором двадцятого транзистора та входом відбивача струму з дво-

ма виходами, колектор двадцять другого транзистора з'єднано з другим виходом відбивача струму з двома виходами, колектор двадцять четвертого транзистора з'єднано з першим виходом відбивача струму з двома виходами.

Подільник струму містить два резистори, причому один вивід першого резистора з'єднано з виходом подільника струму, а другий вивід першого резистора з'єднано з першим та другим виходами подільника струму, а також з першим виводом другого резистора, другий вивід другого резистора з'єднано з третім входом подільника струму.

На Фіг.1 представлено принципову схему двотактного симетричного підсилювача струму, на Фіг.2 представлено принципову схему відбивача струму з двома виходами, на Фіг.3 представлено принципову схему подільника струму.

Пристрій містить джерело струму 3, яке своїми виходами з'єднано з колекторами восьмого транзистора 2 та дев'ятого транзистора 4 відповідно, а також з базами чотирнадцятого транзистора 9 та п'ятнадцятого транзистора 13 відповідно, емітери восьмого транзистора 2 та дев'ятого транзистора 4 з'єднано з емітерами сьомого транзистора 1 та десятого транзистора 5 відповідно, бази восьмого транзистора 2 та дев'ятого транзистора 4 з'єднано з емітерами чотирнадцятого транзистора 9 та п'ятнадцятого транзистора 13 відповідно, а також з колекторами тринадцятого транзистора 8 та шістнадцятого транзистора 14 відповідно, бази сьомого транзистора 1 та десятого транзистора 5 з'єднано з базами та колекторами одинадцятого транзистора 6 та дванадцятого транзистора 7 відповідно, а також з базами тринадцятого транзистора 8 та шістнадцятого транзистора 14 відповідно, а також з базами сімнадцятого транзистора 15 та вісімнадцятого транзистора 19 відповідно, колектор сьомого транзистора 1, а також емітери одинадцятого транзистора 6, тринадцятого транзистора 8 та сімнадцятого транзистора 15 з'єднано з шиною додатного живлення 37, колектор десятого транзистора 5, а також емітери дванадцятого транзистора 7, шістнадцятого транзистора 14 та вісімнадцятого транзистора 19 з'єднано з шиною від'ємного живлення 39, колектори чотирнадцятого 9 та п'ятнадцятого 13 транзисторів з'єднані з колекторами та базами третього 10 та четвертого 12 транзисторів відповідно, а також з базами першого 16 та другого 18 транзисторів відповідно, емітери третього 10 та четвертого 12 транзисторів з'єднані з шиною нульового потенціалу 11, колектори сімнадцятого 15 та вісімнадцятого 19 транзисторів з'єднані з колекторами першого 16 та другого 18 транзисторів відповідно, а також з базами п'ятого 25 та шостого 26 транзисторів відповідно, емітери першого 16 та другого 18 транзисторів з'єднані з вхідною шиною 17 та виходом 32 подільника струму 36, колектори п'ятого 25 та шостого 26 транзисторів з'єднані з шиною нульового потенціалу 11, емітери п'ятого 25 та шостого 26 транзисторів з'єднані з входом 22 першого відбивача струму з двома виходами 21 та входом 27 другого відбивача струму з двома виходами 30 відповідно, вхід живлення 20 першого відбивача струму з двома виходами 21 з'єднано з шиною додатного живлен-

ня 37, вхід живлення 31 другого відбивача струму з двома виходами 30 з'єднано з шиною від'ємного живлення 39, другий вихід 23 першого відбивача струму з двома виходами 21 з'єднано з першим входом 33 подільника струму 36, другий вихід 28 другого відбивача струму з двома виходами 30 з'єднано з другим входом 34 подільника струму 36, третій вхід 35 подільника струму 36 з'єднано з шиною нульового потенціалу 11, перший вихід 24 першого відбивача струму з двома виходами 21 та перший вихід 29 другого відбивача струму з двома виходами 30 з'єднано з вихідною шиною 38.

Кожен з відбивачів струму з двома виходами 21, 30 містить шість транзисторів, причому емітери дев'ятнадцятого 40, двадцять першого 42 та двадцять третього 44 транзисторів з'єднані з входом живлення відбивача струму з двома виходами, бази дев'ятнадцятого 40, двадцять першого 42 та двадцять третього 44 транзисторів об'єднані між собою а також з'єднані з колектором дев'ятнадцятого 40 та емітером двадцять другого транзистора 43, колектор двадцять першого транзистора 42 з'єднано з емітером двадцять другого транзистора 43, колектор двадцять третього транзистора 44 з'єднано з емітером двадцять четвертого транзистора 45, бази двадцять четвертого 41, двадцять другого 43, двадцять четвертого 45 транзисторів об'єднані між собою а також з'єднані з колектором двадцять четвертого транзистора 41 та входом відбивача струму з двома виходами, колектор двадцять другого транзистора 43 з'єднано з другим виходом відбивача струму з двома виходами, колектор двадцять четвертого транзистора 45 з'єднано з першим виходом відбивача струму з двома виходами.

Подільник струму 36 містить два резистори, причому один вивід першого резистора 46 з'єднано з виходом подільника струму, а другий вивід першого резистора 46 з'єднано з першим та другим виходами подільника струму, а також з першим виводом другого резистора 47, другий вивід другого резистора 47 з'єднано з третім входом подільника струму.

Двотактний симетричний підсилювач струму працює таким чином. Нехай вхідний сигнал у вигляді струму втікає на вхідну шину 17 пристрою. Тоді другий транзистор 18 привідкривається, перший транзистор 16 прикривається. Колекторний струм другого транзистора 18 збільшується і збільшує базовий струм шостого транзистора 26, при цьому він привідкривається. Колекторний струм першого транзистора 16 зменшується, тому зменшується і струм бази п'ятого транзистора 25, що призводить до його прикривання. Збільшений емітерний струм шостого транзистора 26 подається на вхід 27 другого відбивача струму з двома виходами 30. Зменшений емітерний струм п'ятого транзистора 25 подається на вхід 22 першого відбивача струму з двома виходами 21. Перші виходи 24, 29 відбивачів струму з двома виходами 21, 30 об'єднані з вихідною шиною 38, тому з вихідної шини 38 у пристрій втікає струм, що визначається різницею емітерних струмів: шостого транзистора 26 та п'ятого транзистора 25. Другі виходи 23, 28 відбивачів струму з двома виходами 21, 30 з'єднані з першим 33 та другим 34 входами подільника

струму 36, третій вхід 35 якого з'єднаний з шиною нульового потенціалу 11, а вихід 32 - з вхідною шиною 17 та емітерами другого транзистора 18 та першого транзистора 16, у випадку коли струм на вхідні шини 17 втікає у пристрій, подільник струму 36 частково забирає на себе цей струм. Це забезпечує від'ємний зворотній зв'язок.

Нехай струм витікає з вхідної шини 17 пристрою. Тоді другий транзистор 18 прикривається, перший транзистор 16 привідкривається. Колекторний струм другого транзистора 18 зменшується і зменшує базовий струм шостого транзистора 26, при цьому він прикривається. Колекторний струм першого транзистора 16 збільшується, тому збільшується і струм бази п'ятого транзистора 25, що призводить до його привідкривання. Зменшений емітерний струм шостого транзистора 26 подається на вхід 27 другого відбивача струму з двома виходами 30. Збільшений емітерний струм п'ятого транзистора 25 подається на вхід 22 першого відбивача струму з двома виходами 21. Перші виходи 24, 29 відбивачів струму з двома виходами 21, 30 об'єднані з вихідною шиною 38, тому з пристрою у вихідну шину 38 витікає струм, що визначається різницею емітерних струмів: п'ятого транзистора 25 та шостого транзистора 11. Другі виходи 23, 28 відбивачів струму з двома виходами 21, 30 з'єднані з першим 33 та другим 34 входами подільника струму 36, третій вхід 35 якого з'єднаний з шиною нульового потенціалу 11, а вихід 32-3 вхідною шиною 17 та емітерами другого транзистора 18 та першого транзистора 16, тому у випадку коли струм на вхідні шини 17 витікає з пристрою, подільник струму 36 частково компенсує струм що витікає. Це забезпечує від'ємний зворотній зв'язок.

Мінімізація похибки зміщення нуля по входу схеми у вигляді або $\Delta I_{\text{вх}0}$ або $\Delta U_{\text{вх}0}$ досягається таким чином. За допомогою двоярусних схем відбивачів струму, а саме побудованих на сьомому 1, одинадцятому 6, тринадцятому 8, восьмому 2, чотирнадцятому 9 транзисторах а також дванадцятому 7, десятому 5, шістнадцятому 14, дев'ятому 4, п'ятнадцятому 13 транзисторах, на третій 10 та четвертий 12 транзистори у діодному вмиканні, які є давачами струму, подаються струми відповідно I:

$$I' = I_{k9} \approx I_{zm} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{n-p-n}} \right),$$

а також I'':

$$I'' = I_{k13} \approx I_{zm} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right),$$

де I_{k9} , I_{k13} - колекторні струми транзисторів 9 та 13 відповідно, I_{zm} - струм зміщення, який визначається джерелом струму 3.

Тобто $I_{k9} \approx I_{k13}$. Позначимо

$$I_{k9} \approx I_{k13} \approx I_{zm}^* = I_{zm} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right),$$

струм спокою вхідного каскаду, побудованого на транзисторах 16, 18 буде дорівнювати

$$I_{\text{спокою}} \approx I_{\text{зМ}}^*$$

Визначимо колекторні струми транзисторів 25, 26 $I_{\text{к}25}$ та $I_{\text{к}26}$:

$$I_{\text{б}25} = I_{\text{спокою}} - I_{\text{к}15} = I_{\text{зМ}}^* - I_{\text{б}1} = I_{\text{зМ}}^* - I_{\text{зМ}} / \beta_1 = I_{\text{зМ}} \left(\frac{1}{\beta_{\text{п-р-п}}} + \frac{1}{\beta_{\text{р-п-р}}} \right) - \frac{I_{\text{зМ}}}{\beta_{\text{п-р-п}}} = \frac{I_{\text{зМ}}}{\beta_{\text{р-п-р}}},$$

$$I_{\text{б}26} = I_{\text{спокою}} - I_{\text{к}19} = I_{\text{зМ}}^* - I_{\text{б}5} = I_{\text{зМ}}^* - I_{\text{зМ}} / \beta_5 = I_{\text{зМ}} \left(\frac{1}{\beta_{\text{п-р-п}}} + \frac{1}{\beta_{\text{р-п-р}}} \right) - \frac{I_{\text{зМ}}}{\beta_{\text{р-п-р}}} = \frac{I_{\text{зМ}}}{\beta_{\text{п-р-п}}},$$

$$I_{\text{к}25} = I_{\text{б}25} \cdot \beta_{25} = I_{\text{б}25} \cdot \beta_{\text{р-п-р}} = I_{\text{зМ}} / \beta_{\text{р-п-р}} \cdot \beta_{\text{р-п-р}} = I_{\text{зМ}},$$

$$I_{\text{к}26} = I_{\text{б}26} \cdot \beta_{26} = I_{\text{б}26} \cdot \beta_{\text{п-р-п}} = I_{\text{зМ}} / \beta_{\text{п-р-п}} \cdot \beta_{\text{п-р-п}} = I_{\text{зМ}}.$$

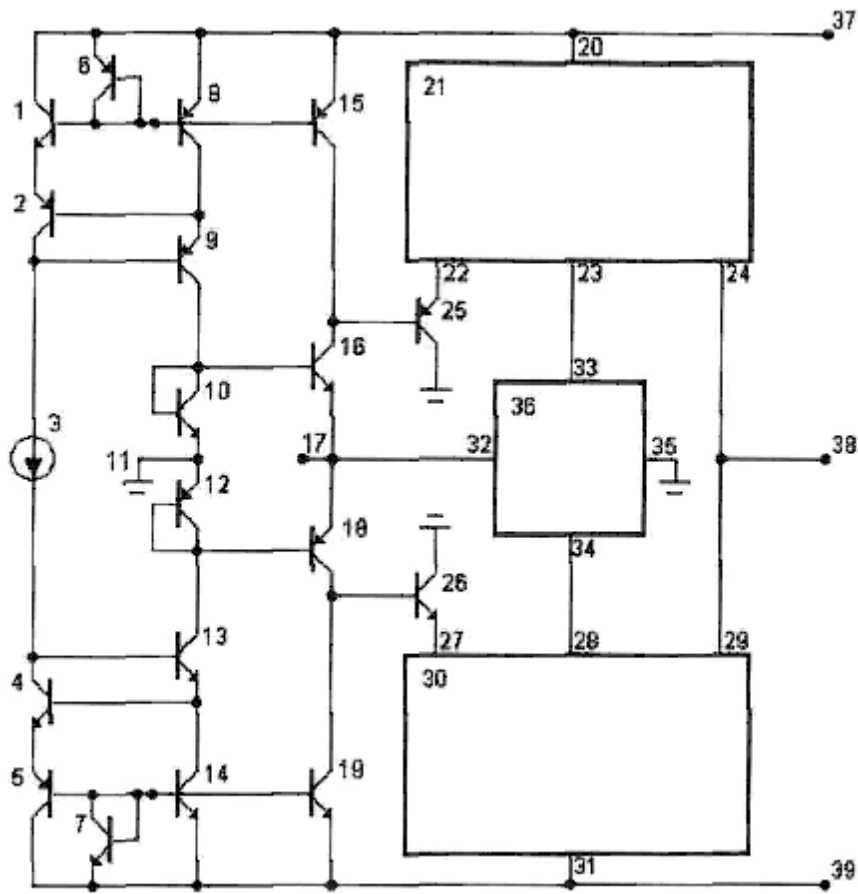
Бачимо, що $I_{\text{к}25} = I_{\text{к}26} = I_{\text{зМ}}$. Оскільки коефіцієнт передачі відбивачів струму дорівнює одиниці, то струми на виходах відбивачів струму з двома виходами 21, 30 дорівнюють струмам на їх входах і приблизно рівні $I_{\text{зМ}}$.

Оскільки струм спокою вхідних транзисторів 16, 18 дорівнює $I_{\text{к}9}$ і $I_{\text{к}13}$, то падіння напруг на базових р-п переходах $U_{\text{бe}16} = U_{\text{бe}10}$, а $U_{\text{бe}18} = U_{\text{бe}12}$. Таким чином $\Delta U_{\text{вх}}$ мінімізується, прямуючи до нуля.

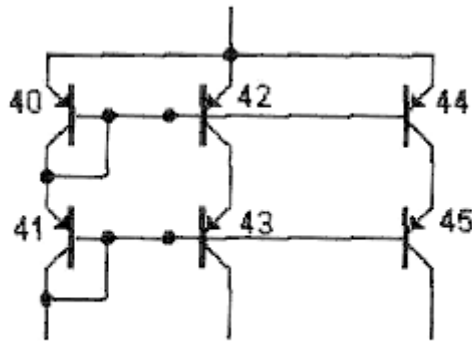
Відбивачі струму з двома виходами 21, 30 працюють таким чином: струм, що витікає (втікає) зі входу призводить до падіння напруги на переході база-емітер двадцятого 41 та дев'ятнадцятого 40 транзисторів. При цьому на колекторі двадцять першого транзистора 42 формується струм, який практично дорівнює струму, що протікає через колектор дев'ятнадцятого транзистора 40, колекторний струм двадцять першого транзистора 42 втікає в емітер двадцять другого транзистора 43, включеного по каскадній схемі, і передається на колектор цього транзистора, з колектора - на другий вихід відбивача струму з двома виходами. Аналогічно на колекторі двадцять третього транзистора 44 генерується колекторний струм, який

рівний колекторному струму дев'ятнадцятого транзистора 40, цей струм втікає в емітер двадцять четвертого транзистора 45, включеного по каскадній схемі, і передається на колектор цього транзистора, з колектора - на перший вихід відбивача струму з двома виходами.

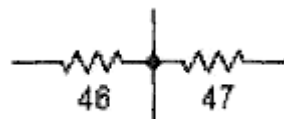
Подільник струму 36 працює таким чином: з других виходів 23, 28 першого 21 та другого 30 відбивачів струму з двома виходами в точці з'єднання входів 33, 34 подільника струму 36 та виходів резисторів 46, 47 отримується різницевий струм, який втікає або витікає з точки об'єднання, а саме якщо вхідний струм на вхідній шині 17 витікає з пристрою, то в точці об'єднання наявний надлишковий струм, а коли вхідний струм на вхідній шині 17 втікає у пристрій, в точку об'єднання втікає струм. Подільник струму, реалізований на резисторах 46, 47 задає, яка частина різницевого струму буде втікати (або витікати) на вихід 32, який з'єднаний з вхідною шиною 17 пристрою, а яка частина струму буде втікати (або витікати) на вихід 35, який з'єднаний з шиною нульового потенціалу 11.



Фиг. 1



Фиг. 2



Фиг. 3