



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4652824/24
(22) 17.02.89
(46) 28.02.91. Бюл. № 8
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
(72) А.Н. Романюк и Ю.В. Сандул
(53) 621.503.55(088.8)
(56) Авторское свидетельство СССР № 991375, кл. G 05 B 19/18, 1983.
Авторское свидетельство СССР № 1434406, кл. G 05 B 19/18, 1987
(54) ЦИФРОВОЙ ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР
(57) Изобретение относится к автоматике и вычислительной технике. Цель изобретения – повышение быстродействия и точности аппроксимации интерполятора. В предлагаемом цифровом линейном интерполяторе отрезок прямой задается значениями m -разрядного большего приращения (БП) и m -разрядного управляющего кода (УК). Аппроксимация заданного отрезка прямой осуществляется в общем случае за $\lceil \frac{БП}{2^{m-n}} \rceil$ интерполяционных тактов 2^{m-n} -разрядными приращениями по ведущей и ведомой координатам, где $\lceil \rceil$ – оператор выделения целой части числа с округлением до большего; n – разрядность регистра, в который записывается n разрядов УК; БП – значение m -разрядного большего приращения. Значение n старших разрядов БП, определяющее число интерполяционных тактов, записывается в счетчик. Значение $m-n$ младших разрядов БП определяет число элементарных шагов многоразрядных приращений в $(n+1)$ -м интерполяционном такте, который

2

возникает в случае наличия остатка от деления: $\left\lfloor \frac{БП}{2^{m-n}} \right\rfloor_{ост}$. Указанное значение за-

писывается в регистр. Значение $m-n$ старших разрядов УК, определяющее значение $2^{m-n}-1$ разрядов многоразрядного приращения по ведомой координате, подается на адресные входы блока постоянной памяти (БПП). Значение n младших разрядов УК, определяющее значение 2^{m-n} -го разряда многоразрядного приращения по ведомой координате, записывается в регистре. В течение n интерполяционных тактов с выхода считываются группы единичных элементарных приращений, соответствующих ведущей координате. В $(n+1)$ -м такте с выхода БПП 11 считывается группа элементарных приращений, в которой число единичных элементарных шагов равно остатку

$\left\lfloor \frac{БП}{2^{m-n}} \right\rfloor_{ост}$, а оставшееся число $2^{m-n} - \left\lfloor \frac{БП}{2^{m-n}} \right\rfloor_{ост}$ элементарных приращений – нулевое. С выхода блока вентилей считывается группа шаговых приращений ведомой координаты, в которой $2^{m-n}-1$ разрядов формируются с помощью блока постоянной памяти и регистра 9, а значение 2^{m-n} -го разряда формируется с помощью двоичного умножителя и триггера. Сформированные на выходе многоразрядные приращения стробируются сигналом на выходе блока управления. 1 з.п. ф-лы, 6 ил., 3 табл.

(19) SU (11) 1631518 A1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в выводных графических устройствах и в системах числового программного управления.

Цель изобретения – повышение быстродействия и точности работы интерполятора.

На фиг. 1 представлена структурная схема цифрового линейного интерполятора; на фиг. 2 – функциональная схема блока управления; на фиг. 3 – распределение управляющих воздействий по отношению к уровням сигнала на стробирующем выходе; на фиг. 4 – функциональная схема счетчика; на фиг. 5 – пример формирования многоуровневых приращений; на фиг. 6 – пример аппроксимации заданного отрезка прямой.

Разрядность управляющего кода, поступающего на информационный вход, равна разрядности m . Это следует из того, что веса разрядов управляющего кода получают путем последовательного деления большего приращения отрезка прямой (БП) на степени числа 2.

В предлагаемом устройстве на выходе в каждом интерполяционном такте определяется 2^y элементарных приращений, где $y = m - n$; m – максимальная разрядность БП; n – разрядность регистра.

Число интерполяционных тактов равно $\lfloor \text{БП}_{\text{макс}} / 2^y \rfloor$, где $\lfloor \]$ оператор определяющий

$$\lfloor a, v \rfloor = a \quad \text{при } v = 0;$$

$$\lfloor a, v \rfloor = a + 1 \quad \text{при } v \neq 0;$$

где a, v – соответственно целая и дробная части числа;

$\lfloor \]$ – оператор выделения целой части числа;

$\{ \}$ – оператор выделения целочисленного значения остатка числа.

Цифровой линейный интерполятор содержит блок 1 управления (БУ), блок 2 постоянной памяти управляющего кода (БПП), n -разрядный регистр 3, счетчик 4, регистр 5 для приема и хранения остатка, двоичный множитель 6 (ДУ), цифровой интегратор последовательного переноса, дешифратор 7 (С), первый элемент И 8, регистр 9 большего приращения, первый триггер 10, блок 11 постоянной памяти приращения ведущей координаты, блок 12 вентилей (БВ), элементы И 13, информационный вход 14, вход 15 записи большего приращения, вход 16 записи управляющего кода, вход 17 начальной установки, вход 18 пуска, вход 19 и выходы 20 и 21 блока 1, выход 22 конца интерполяции, стробирующий выход 23, 2^{m-n} -разрядный выход 24 ведомой координаты, 2^{m-n} -разрядный выход 25 ведущей координаты, вход 26 сброса.

Блок 1 управления содержит генератор 27 импульсов, второй 28, третий 29 элементы И, второй 30, третий 31 и четвертый 32 D-триггеры и четвертый элемент И 33.

На фиг. 4 позицией 34 обозначен элемент ИЛИ, позицией 35 – счетчик.

Блок 1 управления предназначен для синхронизации работы устройства, т.е. формирования управляющих воздействий, необходимых для функционирования устройства. В цикле интерполяции значение "1" на выходе конца интерполяции сигнализирует внешнему устройству о воспроизведении заданного отрезка прямой. После воспроизведения заданного отрезка прямой на указанном выходе формируется значение "0". На стробирующем выходе формируется импульсная последовательность, стробирующая многоуровневые приращения, поступающие на соответствующие выходы 24 и 25. Выход 24 соответствует ведомой координате, а выход 25 – ведущей координате. Выход 20 блока 1 соединен с входом сброса двоичного умножителя 6 и предназначен для формирования сигнала отрицательной полярности, по которому двоичный множитель устанавливается в нулевое состояние в подготовительном цикле и после окончания рабочего цикла интерполятора. Четвертый 21 выход БУ 1 соединен с управляющим входом двоичного умножителя 6, вычитающим входом счетчика 4 и С-входом первого D-триггера 10. На указанном выходе формируется последовательность импульсов, обеспечивающая требуемые режимы работы перечисленных блоков.

Блок 2 постоянной памяти управляющего кода служит для хранения $(2^{m-n} - 1)$ разрядов 2^{m-n} -разрядного управляющего кода, формируемого за один интерполяционный такт. Причем $m - n$ старших разрядов управляющего кода (УК) поступают на адресный вход блока 2 по информационному входу 14, выход блока соединен с информационным входом регистра 9.

Регистр 3 служит для приема и хранения n младших разрядов УК. Значение n младших разрядов УК поступает по информационному входу 14 интерполятора. Запись n младших разрядов управляющего кода в регистр 3 производится сигналом положительной полярности на входе 16 записи управляющего кода устройства.

Выход регистра подключен к информационному входу двоичного умножителя 6.

Счетчик 4 служит для выделения сигнала переноса P после отработки интерполятором $\lfloor \text{БП} / 2^y \rfloor$ интерполяционных тактов. На информационный вход счетчика посту-

пает n старших разрядов. Вход записи счетчика соединен с входом 16 записи большего приращения. Сигналом положительной полярности на указанном входе осуществляется запись n старших разрядов в счетчик 4. Вычитающий вход счетчика соединен с выходом 21 блока 1. Суммирующий вход счетчика соединен с выходом первого элемента И. Выход переноса счетчика соединен с входом 19 блока 1 и входом выборки кристалла блока 11.

Регистр 5 для приема и хранения остатка служит для приема и хранения Y младших разрядов БП, определяющих остаток $a = \left\{ \frac{\text{БП}}{2^Y} \right\}$. Запись Y младших

разрядов БП осуществляется сигналом положительной полярности на входе 15 устройства. Выход регистра соединен с информационным входом дешифратора 7 и адресными входами блока 1.

Двоичный умножитель 6 служит для выделения в каждом интерполяционном такте 2^Y -го разряда многоразрядного приращения ведомой координаты. На информационный вход умножителя поступают значения n младших разрядов УК с выхода регистра 3. Вход сброса ДУ 6 соединен с третьим 20 выходом БУ 1, а тактирующий вход — с четвертым 21 выходом БУ 1. Выход ДУ 6 соединен с информационным D-входом первого триггера 10.

Дешифратор 7 служит для выделения единичного сигнала, в случае ненулевого значения на его информационном входе. Выход дешифратора 7 соединен с первым выходом первого элемента И 8.

Первый элемент И 8 служит для выделения единичного сигнала, поступающего с его выхода на суммирующий вход счетчика 4, при наличии на первом и втором входах первого элемента И единичных логических уровней. Первый вход элемента И 8 соединен с выходом дешифратора 7, а второй вход элемента И 8 — с входом 16 записи УК. Регистр 9 служит для приема и хранения $(2^Y - 1)$ разрядов многоразрядного приращения по ведомой координате, которые поступают на информационный вход регистра с выхода БПП 2. Запись $(2^Y - 1)$ разрядов в регистр 9 осуществляется сигналом положительной полярности на входе 16 устройства. Выходы регистра соединены с соответствующими информационными входами блока вентилей.

Первый триггер 10 служит для приема и хранения 2^Y -го разряда многоразрядного приращения ведомой координаты в каждом интерполяционном такте. Значение указан-

ного разряда поступает на информационный вход триггера. Тактирующий С-вход триггера 10 соединен с четвертым 21 выходом БУ 1. Выход триггера 10 соединен с соответствующим информационным входом блока вентилей.

Блок 11 постоянной памяти служит:

1) для выдачи единичных 2^Y -разрядных приращений ведущей координаты в $\lfloor \text{БП}/2^Y \rfloor$ интерполяционных тактах. Для этого в $\lfloor \text{БП}/2^Y \rfloor$ интерполяционных тактах на входе выборки кристалла БПП 11 формируется значение "1", следовательно, на выходах БПП 11 во всех разрядах формируются значения "1";

2) для обнуления старших разрядов многоразрядного приращения по ведущей координате в $(\lfloor \text{БП}/2^Y \rfloor + 1)$ -м такте при нецелочисленном значении $\text{БП}/2^Y$. Обнулению подлежат старшие разряды, число которых равно $2^Y - \lfloor \text{БП}/2^Y \rfloor$. Например, при обработке отрезка прямой с $\text{БП} = 27$ и $2^Y = 8$, в $\lfloor \text{БП}/2^Y \rfloor + 1 = 4$ такте на выходе блока 11 формируется код 11100000;

3) для управления схемой блока 12 вентилей. Выходы БПП 11 соединены с соответствующими управляющими входами блока вентилей. Таким образом, в $\lfloor \text{БП}/2^Y \rfloor$ интерполяционных тактах на управляющих входах блока 12 вентилей единичные уровни. Следовательно, на выходы блока 12 выставляется информация, которая сформирована на его информационных входах. В $(\lfloor \text{БП}/2^Y \rfloor + 1)$ -м интерполяционном такте, облучению подлежат $2 - \lfloor \text{БП}/2^Y \rfloor$ старших разрядов многоразрядного приращения по ведомой координате, по аналогии с приведенным условием 2. Следовательно, на оставшихся $\lfloor \text{БП}/2^Y \rfloor$ младших разрядах выставляются значения, которые сформированы на соответствующих информационных входах.

Описанные функции 1 и 2 БПП 11 определяют "отсечение" (заполнение нулями) части многоразрядного приращения по ведущей и ведомой координатам в $(\lfloor \text{БП}/2^Y \rfloor + 1)$ -м интерполяционном такте, когда интерполяция заданного отрезка прямой достигает конечной точки.

Генератор 27 импульсов предназначен для выработки последовательности импульсов, тактирующих работу блока 1 управления. Прямой выход генератора соединен с первым входом второго элемента И 28 и С-входом второго D-триггера 30, а инверсный выход генератора 27 импульсов соединен с первым входом третьего элемента И 29.

Второй 30 и третий 31 D-триггеры служат для присинхронизации цикла интерпо-

ляции к переднему фронту импульса, формируемого генератором 21 импульсов. Управляющий С-вход третьего триггера 31 соединен с третьим входом 18 блока 1. Информационный D-вход третьего триггера 31

подключен к сигналу "1". Прямой выход второго D-триггера 30 соединен с вторыми входами второго 28 и третьего 29 элементов И. Четвертый D-триггер 32 служит для выделения "0" после поступления сигнала переноса на управляющий С-вход триггера 32, что соответствует завершению интерполяции заданного отрезка прямой. Информационный вход четвертого 32 триггера заземлен, установочный R-вход подключен к первому 16 входу БУ 1 и служит для установки триггера в подготовительном цикле интерполятора. Прямой выход четвертого D-триггера 32 соединен с вторым входом четвертого элемента И, первый вход которого соединен с вторым 17 входом БУ 1. Выход четвертого 33 элемента И соединен с установочными K-входами второго 30 и третьего 31 D-триггера.

Выходы второго, третьего и четвертого элементов И и прямой выход второго D-триггера 30 являются соответственно четвертым 21, вторым 23, первым 22 и третьим 20 выходами БУ 1.

Устройство работает следующим образом.

В основе изобретения лежит возможность одновременного формирования групп из 2^Y элементарных шаговых приращений в $\lfloor \text{БП}/2^Y \rfloor$ интерполяционных тактах следующим образом. Формируемые группы элементарных приращений на выходе 25, соответствующие ведущей координате, всегда единичны, за исключением последнего такта (в случае содержимого регистра 5), а формирование групп элементарных приращений, соответствующих ведомой координате, происходит таким образом, чтобы числу M элементарных приращений в группах ведущей координаты соответствовало число N элементарных приращений в группах ведомой координаты. Для этого внешним устройством рассчитывается управляющий код, под воздействием которого происходит формирование группы элементарных приращений ведомой координаты с учетом указанной зависимости. Таким образом в предлагаемом линейном интерполяторе отрезок прямой задается значением большего приращения и значением управляющего кода.

Рассчитать УК можно следующим образом.

Число импульсов V_i за счет i -го разряда управляющего кода за время БП вычисляется по формуле:

$$V_i = \left\lfloor \text{БП} + \frac{2^i - 1}{2^i} \right\rfloor$$

Указанная формула реализуется последовательным сдвигом БП (деление на 2 и прибавление 1 при нечетном значении сдвигового операнда). Для того, чтобы за число тактов, равных БП, на выходе интегратора было сформировано МП импульсов, должно удовлетворяться соотношение

$$\sum_{i=1}^n a_i V_i = \text{МП},$$

где a_i – значение цифры в i -м разряде управляющего кода.

Таким образом, задача определения УК сводится к определению a_1, a_2, \dots, a_n по известным значениям БП и МП с использованием приведенных соотношений.

Старшие $j = m - n$ разряды управляющего кода, формируемого внешним устройством, определяют адрес соответствующего информационного слова, которое формируется на выходе блока 2 постоянной памяти. Единичные значения информационного слова определяются согласно выражению

$$p = 2^{(i-1)}(2k-1)A;$$

где p – номер разряда информационного слова;

i – номер разряда входного управляющего слова, причем $i = 1$ соответствует старший M -й разряд управляющего слова, $i = 2$ – $(M-1)$ -й разряд управляющего слова и т.д. (т.е. индекс определяет порядковый номер рассматриваемого разряда управляющего слова по отношению к его старшему разряду);

A_i – "0" или "1", соответствует значению i -го разряда входного управляющего слова;

k – текущий параметр; $k = 1, 2, 3, \dots$

Значение p выбирают в интервале $0 \leq p \leq m-n$.

Информационная емкость блока 2 постоянной памяти рассчитывается по формуле

$$\varepsilon = 2^{2(m-n)} - 2^{m-n} - 2^{m-n} = 2^{m-n}(2^{m-n} - 1) \text{ бит}$$

при организации $2^{m-n} \times 2^{m-n} - 1$ разрядных слов,

где m – разрядность управляющего кода;

n – младшие разряды управляющего кода.

Полный интерполяционный цикл устройства состоит из подготовительного и рабочего циклов.

Интерполятор в подготовительном цикле работает следующим образом.

Определение числа $\lfloor \frac{БП}{2^Y} \rfloor$ интерполяционных тактов в полном интерполяционном цикле, которое фиксируется в счетчике 4.

Число $\lfloor \frac{БП}{2^Y} \rfloor$ или $\lfloor \frac{БП}{2^Y} \rfloor + 1$ интерполяционных тактов определяется n старшими разрядами БП, записанными в счетчик 4 и y младшими разрядами БП, записанными в регистр 5. Содержимое регистра 5 соответствует числу $\{ \frac{БП}{2^Y} \}$. Если $\{ \frac{БП}{2^Y} \} \neq 0$, то интерполятор обрабатывает $\lfloor \frac{БП}{2^Y} \rfloor + 1$ интерполяционных тактов. В случае $\{ \frac{БП}{2^Y} \} = 0$ обрабатывается $\lfloor \frac{БП}{2^Y} \rfloor$ интерполяционных тактов.

Определение значения 2^Y-1 разрядов 2^Y -разрядного приращения ведомой координаты за один интерполяционный такт.

Значение (2^Y-1) разрядов фиксируются в регистре 9. Формирование значений (2^Y-1) разрядов ведомой координаты осуществляется аналогично прототипу.

Определение группы элементарных приращений ведущей и ведомой координат, формируемых в интерполяционном такте в случае ненулевого содержимого регистра 5.

В $(\lfloor \frac{БП}{2^Y} \rfloor + 1)$ -м интерполяционном такте формируется группа элементарных приращений по ведущей и ведомой координатам, в которой элементарные приращения имеют определенные значения, а $2^Y - \{ \frac{БП}{2^Y} \}$ элементарных приращений — нулевые.

По включении питания внешнее устройство формирует сигнал отрицательной полярности, который поступает на вход 17 начальной установки интерполятора и устанавливает блок 1 управления в нулевое состояние. При этом на выходе 20 блока 1 формируется сигнал "0", устанавливающий двоичный умножитель 6 в нулевое состояние. В следующий момент времени внешнее устройство формирует значение БП на информационном входе 14. На вход 15 записи большего приращения поступает импульс положительной полярности. Указанным сигналом осуществляется запись n старших разрядов БП в счетчик 4 и y младших разрядов БП в регистр 5. Содержимое регистра 5 поступает на информационный вход дешифратора 7. Если содержимое регистра 5 ненулевое, то на выходе дешифратора формируется значение "1", которое поступает на первый вход элемента И 8.

В следующий момент времени на информационном входе 14 внешнее устройство формирует значение УК. На вход 16 записи управляющего кода поступает импульс положительной полярности, под воз-

действием которого производится запись n младших разрядов в регистр 3, y старших разрядов УК поступают на адресные входы блока 2. С выхода блока 2 считывается 2^Y-1 разрядов УК, которые указанным сигналом записываются в регистр 9. Если на первом входе элемента И 8 выставлен уровень "1", то с поступлением сигнала записи управляющего кода на второй вход элемента И 8 на его выходе формируется единичный сигнал, под воздействием которого содержимое счетчика увеличивается на единицу, т.е. количество тактов, записанное в таком случае в счетчик 4, равняется $\lfloor \frac{БП}{2^Y} \rfloor + 1$.

В рабочем цикле интерполятора происходит формирование многоразрядных приращений ведущей и ведомой координат соответственно на 25 и 24 информационных выходах интерполятора и выдача их внешнему устройству сигналом на стробирующем выходе 23 устройства, а также формирование сигнала на выходе 22 конца интерполяции после обработки устройства $\lfloor \frac{БП}{2^Y} \rfloor$ интерполяционных тактов, что соответствует окончанию интерполяции заданного отрезка прямой.

Начало рабочего цикла определяется сигналом "1" на входе 18 пуска интерполятора. На выходе 22 интерполятора при этом выставляется значение "1", которое свидетельствует об воспроизведении в данный момент заданного отрезка прямой. На четвертом 21 выходе блока 1 формируется последовательность импульсов, поступающая на управляющий вход двоичного умножителя 6 и на управляющий С-вход триггера 10. На информационные входы двоичного умножителя 6 поступают значения n младших разрядов УК. При переходе сигнала на управляющих входах двоичного умножителя 6 из состояния "1" в состояние "0" на выходе двоичного умножителя появляются значения сигналов, равные значению 2^Y -го разряда многоразрядного приращения, формируемого за один интерполяционный такт, которые фиксируются триггером 10.

Значения 2^Y-1 разрядов и 2^Y -го разряда многоразрядного приращения соответственно на выходе регистра 9 триггера 10 образуют многоразрядное приращение, т.е. группу элементарных приращений ведомой координаты. Указанная группа поступает на информационный вход блока 12 вентилей, состоящий из 2^Y элементов И-НЕ; В $\lfloor \frac{БП}{2^Y} \rfloor$ интерполяционных тактах на всех выходах блока 11 выставляются значения "1", определяющие 2^Y элементарных приращений в каждой группе ведущей координаты. Тогда на управляющих входах блока 12 вентилей тоже

выставляются значения "1". Следовательно, в $\lfloor \text{БП}/2^Y \rfloor$ интерполяционных тактах на выходе блока вентилей 12 выставляется соответствующая группа из 2^Y элементарных приращений ведомой координаты. При появлении сигнала "1" на стробирующем выходе 23 интерполятора многозарядные приращения в виде группы из 2^Y элементарных приращений ведущей и ведомой координат одновременно считываются с информационных выходов 24 и 25 интерполятора на внешнее устройство. Распределение управляющих воздействий по отношению к уровням сигнала на стробирующем выходе 23 представлена на фиг. 3. В случае наличия дробной части числа $\frac{\text{БП}}{2^Y}$

необходимо проделать еще один $(\lfloor \text{БП}/2^Y \rfloor + 1)$ -й интерполяционный такт, в котором по ведущей и ведомой координатам формируется группа из 2^Y элементарных приращений, что $\{ \text{БП}/2^Y \}$ элементарных приращений заканчивают интерполяцию оставшегося отрезка прямой, а $2 - \{ \text{БП}/2^Y \}$ элементарных приращений – нулевые.

С поступлением каждого импульса на вычитающий вход счетчика его содержимое уменьшается на единицу. Когда содержимое счетчика становится равным нулю, на его выходе формируется импульс отрицательной полярности сигнала переноса Р, который поступает на четвертый 19 вход блока 1 и на вход выборки кристалла БПП 11. При этом длительность импульса сигнала переноса достаточна, чтобы сформировать и простробировать многозарядные приращения на информационных выходах 24 и 25. Функциональная схема реализации счетчика 4 представлена на фиг. 4.

На выходе 25 блока 11 формируется группа элементарных приращений, в которой число единичных элементарных приращений равно числу $\{ \text{БП}/2^Y \}$, а оставшееся число $2 - \{ \text{БП}/2^Y \}$ элементарных приращений – нулевые.

Таким образом, в последнем интерполяционном такте считывается группа из 2^Y элементарных приращений ведущей и ведомой координат, в которой $\{ \text{БП}/2^Y \}$ элементарных приращений заканчивают интерполяцию оставшегося такта прямой, а $2^Y - \{ \text{БП}/2^Y \}$ элементарных приращений – нулевые.

После стробирования последнего многозарядного приращения, на выходе конца интерполяции 22 формируется сигнал логического нуля, свидетельствующий о завершении интерполяции заданного отрезка прямой. Блок 1 управления и двоичный ум-

ножитель устанавливаются в исходное нулевое состояние.

Формирование многозарядных приращений происходит за время отсутствия импульса на выходе 23, а стробирование многозарядных приращений – во время наличия импульса на указанном выходе.

Блок 1 управления работает следующим образом.

По включении питания внешнее устройство формирует сигнал отрицательной полярности на входе 17 начальной установки, по которому D-триггеры 31 и 30 устанавливаются в нулевые состояния. Следовательно, на выходах 20–23 блока 1 управления формируются уровни "0".

Сигналом положительной полярности на входе 16 БУ 1 в нулевое состояние устанавливается D-триггер 32. На выходе 20 при этом формируется уровень "0".

С поступлением сигнала положительной полярности на вход 18 пуска в единичное состояние взводится триггер 31, а вслед за ним – триггер 30. На выходе 22 конца интерполяции формируется значение "1", следовательно, значение "1" формируется на вторых входах элементов И 28 и 29. Такая последовательность действий обеспечивает строгую присинхронизацию цикла интерполяции к переднему фронту импульса, формируемого генератором 27, после поступления сигнала "1" на вход 18 пуска интерполятора.

На выходах элементов И 28 и 29 в противофазе формируется последовательность импульсов. Причем импульсом положительной полярности из последовательности импульсов на выходе 21 производится формирование многозарядных приращений, а импульсом положительной полярности из последовательности импульсов на выходе 23 производится выдача многозарядных приращений внешнему устройству.

С поступлением сигнала отрицательной полярности переноса на вход 19 блока 1 триггер 32 устанавливается в нулевое состояние. Следовательно, в нулевое состояние устанавливаются триггеры 31 и 30, а на выходах 20, 22, 23 и 21 БУ 1 выставляются уровни "0".

Рассмотрим интерполирование отрезка прямой предлагаемым устройством на конкретном примере.

Пусть БП=27, МП=9, разрядность информационного входа 14 равна 5, а разрядность блока 12 вентилей равна 8.

В соответствии с приведенным описанием работы устройства разрядности остальных блоков интерполятора имеют следующие значения: регистр 3 – 2; блок 2

постоянной памяти – 7; счетчик 4 – 2; регистр 5 – 3; блок 11 постоянной памяти – 8.

В соответствии с заданным БП и МП внешнее устройство рассчитывает управляющий код. Первоначально по БП = 27 определяются веса В:

$$B_1 = \frac{27+1}{2} = 14; \quad B_2 = \frac{27+2}{4} = 7;$$

$$B_3 = \frac{27+4}{8} = 3; \quad B_4 = \frac{27+8}{16} = 2;$$

$$B_5 = \frac{27+16}{32} = 1.$$

$$\text{Очевидно, что } \sum_{i=1}^5 B_i = 27.$$

Весами B_i уравновешивается значение меньшего приращения (в нашем случае МП = 9).

МП = $B_2 + B_4$, следовательно, для приведенного примера управляющий код равен 01010.

Первый блок 2 постоянной памяти совместно с двоичным умножителем 6 также образуют двоичный умножитель с параллельной выдачей информации. Для определения содержимого блока 2 постоянной памяти используют диаграмму формирования выходных импульсов на выходах счетчика пятиразрядного двоичного умножителя с последовательной выдачей информации, приведенную (фиг. 5), активные фронты воздействий выделены утолщенной линией. Младшие 2 разряда управляющего кода поступают на двоичный умножитель 6, а старшие 3 – на блок 2 постоянной памяти. Для определения содержимого блока 2 постоянной памяти необходимо выделить первых 7 тактовых промежутков времени и записать для всех возможных значений управляющего кода группы в соответствии с диаграммой. В рассматриваемом примере на адресные входы блока 2 поступает код 010 (старшие разряды управляющего кода). В этом случае в группе из 7 разрядов единицы имеются в разрядах, где есть активные фронты в последовательности импульсов "а" и "д" (фиг. 5), т.е. в разрядах 1, 3, 5, 7, в разряде 4 – последовательность "в" (фиг. 5). Следовательно, по адресу 010 в блоке 2 постоянной памяти записан операнд 0100010. Аналогично формируются группы и для других значений управляющего кода, которые сведены в табл. 1.

Первоначально на информационный вход 14 поступает значение меньшего приращения, равное в двоичном представлении 11011.

В счетчике 4 запоминаются старшие 2 разряда большего приращения 11, а в реги-

стре 5 – младшие 3 разряда большего приращения 011.

После этого на информационный вход 14 поступает значение управляющего кода 01010. Старшие разряды управляющего кода 010 поступают на адресные входы блока 2 постоянной памяти, а младшие разряды 10 запоминаются в регистре 3. В соответствии с содержимым регистра 3 двоичный умножитель 6 в течение 4 интерполяционных тактов формирует следующую последовательность импульсов: 1-й такт – 1; 2-й такт – 0; 3-й такт – 1; 4-й такт – 0.

Последовательности "г" и "д" на диаграмме фиг. 5 соответствуют работе счетчика двоичного умножителя 6, где утолщенной линией отмечены активные фронты.

В соответствии с табл. 1 с блока 2 постоянной памяти выбирается операнд 0100010, который запоминается в регистре 9. Поскольку содержимое регистра 5 – ненулевое, то при поступлении сигнала на вход 16 устройства, к содержимому счетчика (равно 3) прибавляется единица, т.е. его содержимое становится равным 4. Таким образом, содержимое счетчика, равное 4, определяет число интерполяционных тактов, а содержимое регистра, равное 3, – число единиц в формируемой в последнем интерполяционном такте группе шаговых приращений ведущей координаты.

В первом интерполяционном такте на выходе 24 формируется многоразрядное приращение ведомой координаты, равное 0100010 1. Отмеченная единица в младшем разряде сформирована двоичным умножителем 6.

Поскольку до последнего (четвертого) интерполяционного такта отсутствует сигнал выборки кристалла блока 11 постоянной памяти, то на его выходе в течение трех интерполяционных тактов сформируется группа шаговых приращений ведущей координаты, равная 11111111.

В последнем интерполяционном такте в соответствии с содержимым регистра 5 равным 011 с блока 11 постоянной памяти на выход 25 считывается следующая группа шаговых приращений ведущей координаты 11100000. Карта прошивки блока 11 постоянной памяти приведена в табл. 2. Наличие пяти нулей в приведенной группе приводит к обнулению соответствующих пяти разрядов группы шаговых приращений ведомой координаты, формируемая на выходе 24.

Таким образом, в четвертом интерполяционном такте многоразрядное приращение ведомой координаты становится равным 01000000.

Полученные данные за полный интерполяционный цикл сведены в табл. 3.

На фиг. 6 приведен пример аппроксимации отрезка прямой с БП=27, МП=9, много-разрядными приращениями, приведенными в табл. 3.

В качестве элементной базы интерполятора используются серийно выпускаемые микросхемы серий 155, 555, 531, 589, 176 микросхемы.

Счетчик 4 может быть реализован различными способами, в частности в виде счетчика 35, который реализуется на микросхемах ИЕ7, и многоходового элемента ИЛИ 34, который реализуется на микросхеме ЛЕ6, ЛП4, ЛЛ11. Информационный выход счетчика 35 соединен с входами элемента ИЛИ 34. Импульс отрицательной полярности сигнала переноса на входе элемента ИЛИ 34 возникает с появлением переднего фронта импульса на вычитающем входе счетчика, по которому содержимое счетчика становится равным нулю.

Регистры 3, 5 и 9 реализованы на микросхемах ТМ8, ИР2, ИР13.

В качестве дешифратора 7 может быть использован многоходовый элемент ИЛИ, который реализуется на микросхемах ЛЕ6, ЛП4, ЛЛ11.

В качестве блоков 2 и 11 постоянной памяти могут быть использованы микросхемы РЕ-3; в качестве блока вентиля — микросхемы ЛИ1, ЛИ5; в качестве триггеров 10, 30-32 — микросхемы ТМ2, ТМ1 и т.д.; в качестве элементов 8, 28, 29, 33И — микросхемы ЛИ1, ЛИ5, ЛАЗ и т.д.; в качестве генератора импульсов — микросхемы 531АГ1, в качестве двоичного умножителя — микросхема К 155 ИЭ8.

Предлагаемый линейный интерполятор обеспечивает более высокую точность аппроксимации по сравнению с устройством-прототипом. В устройстве-прототипе интерполятор включает два двоичных умножителя, каждый из которых вносит свою погрешность аппроксимации. В предлагаемом устройстве используется только один двоичный умножитель, образованный отрезок прямой задается параметрически: БП = К; МП = К(t).

Следовательно, по большей координате обрабатывается функциональная зависимость с погрешностью равной 0, а погрешность аппроксимации вносит только двоичный умножитель, формирующий импульсы по ведомой координате. Кроме того, в устройстве-прототипе импульсы по ведущей и ведомой координатам формируются не в каждом интерполяционном такте, что приводит к наличию 4 возможных сочетаний

шаговых приращений: наличие шаговых приращений по ведущей и ведомой координате; отсутствие шаговых приращений по ведущей и ведомой координатам; наличие шагового приращения по ведущей координате и отсутствие шагового приращения по ведомой координате; наличие шагового приращения по ведомой координате и отсутствие шагового приращения по ведущей координате.

В предлагаемом линейном интерполяторе импульсы по ведущей координате формируются в каждом такте, что приводит только к двум возможным сочетаниям шаговых приращений по ведомой и ведущей координатам. За счет этого сформированный отрезок прямой носит более сглаженный характер, при этом значительно улучшается точность аппроксимации.

Предлагаемый линейный интерполятор также обладает более высоким быстродействием в цикле интерполяции. В устройстве-прототипе формируемые многоразрядные приращения по ведущей и ведомой координатам содержат нулевые разряды. Это не позволяет достичь максимального быстродействия. Цикл интерполяции таких интерполяторов для всех отрезков, независимо от их длины составляет $2^B/2^R$, где 2^B — разрядность интерполятора, 2^R — разрядность формируемых многоразрядных приращений. В предлагаемом устройстве цикл интерполяции состоит в общем случае из $БП/2^R$ интерполяционных тактов. Указанное позволяет значительно повысить быстродействие интерполятора.

Ф о р м у л а и з о б р е т е н и я

1. Цифровой линейный интерполятор, содержащий блок управления, блок постоянной памяти управляющего кода, первый триггер, регистр большего приращения, двоичный умножитель, выход которого соединен с информационным D-входом первого триггера, управляющий С-вход которого соединен с управляющим входом двоичного умножителя и с выходом задания режима блока управления, вход пуска которого соединен с входом пуска интерполятора, стробирующий выход которого соединен с стробирующим выходом блока управления, выход строба соединен с установочным входом двоичного умножителя m -n старших разрядов информационного m -разрядного входа устройства соединены с адресными входами блока постоянной памяти, управляющего кода, где m — максимальная разрядность большего приращения, выходы блока постоянной памяти управляющего кода соединены с информационными входами ре-

гистра большего приращения, выход конца интерполяции интерполятора соединен с первым выходом блока управления, отличающийся тем, что, с целью повышения быстродействия и точности аппроксимации интерполятора, в него введены n -разрядный регистр и регистр для приема и хранения остатка, счетчик, дешифратор, первый элемент И, блок постоянной памяти приращения ведущей координаты, блок вентиля, управляющие входы которого соединены с выходами блока постоянной памяти приращения ведущей координаты, выходы которого соединены с 2^{m-n} -разрядным выходом ведущей координаты интерполятора, 2^{m-n} -разрядный выход ведомой координаты интерполятора соединен с выходами блока вентиля, 2^{m-n} -й разряд информационного входа блока вентиля соединен с выходом первого триггера, а $2^{m-n}-1$ разрядов информационного входа блока вентиля соединены с выходами регистра большего приращения, управляющий вход которого соединен с входом записи управляющего кода интерполятора, вторым входом первого элемента И, входом записи управляющего кода блока управления и управляющим входом n -разрядного регистра, выходы которого соединены с информационными входами двоичного множителя, а информационные входы соединены с n -младшими разрядами информационного m -разрядного входа интерполятора, вход записи большего приращения которого соединен с входом записи счетчика и управляющим входом регистра для приема и хранения остатка, информационные входы которого соединены с n -старшими разрядами информационного m -разрядного входа интерполятора, информационные входы счетчика соединены с n -младшими разрядами информационного m -разрядного входа интерполятора, выходы регистра для приема и хранения остатка соединены с адрес-

ными входами блока постоянной памяти приращения ведущей координаты и с информационными входами дешифратора, выход которого соединен с первым входом первого элемента И, выход которого соединен с суммирующим входом счетчика, вычитающий вход которого соединен с четвертым выходом блока управления, второй вход которого соединен с входом начальной установки интерполятора, выход переноса счетчиков соединен с четвертым входом блока управления и входом выборки кристалла блока постоянной памяти приращения ведущей координаты.

2. Интерполятор по п. 1, отличающийся тем, что блок управления содержит второй, третий и четвертый элемент И, второй, третий и четвертый D-триггеры, генератор импульсов, прямой выход которого соединен с управляющим С-входом второго D-триггера и первым входом второго элемента И, второй вход которого соединен с вторым входом второго элемента И и выходом второго D-триггера, информационный D-вход которого соединен с выходом третьего D-триггера, управляющий С-вход которого соединен с третьим входом блока управления, первый выход которого соединен с выходом второго триггера, установочный R-вход которого соединен с установочным R-входом третьего D-триггера и выходом четвертого элемента И, первый вход которого соединен с вторым входом блока управления, третий выход которого соединен с выходом четвертого элемента И, второй вход которого соединен с выходом четвертого D-триггера, установочный R-вход которого соединен с первым входом блока управления, четвертый вход которого соединен с управляющим С-входом четвертого D-триггера, информационный D-вход которого заземлен, инверсный выход генератора импульсов соединен с первым входом третьего элемента И, выход которого соединен с вторым выходом блока управления, четвертый выход которого соединен с выходом второго элемента И.

45

Карта

Таблица 1

прошивки блока 2 постоянной памяти

Адрес БПП 2 (старшие разряды УК)	Содержимое БПП 2
000	0000000
001	0001000
010	0100010
011	0101010
100	1010101
101	1011101
110	1110111
111	1111111

Карта
прошивки блока 11 постоянной памяти

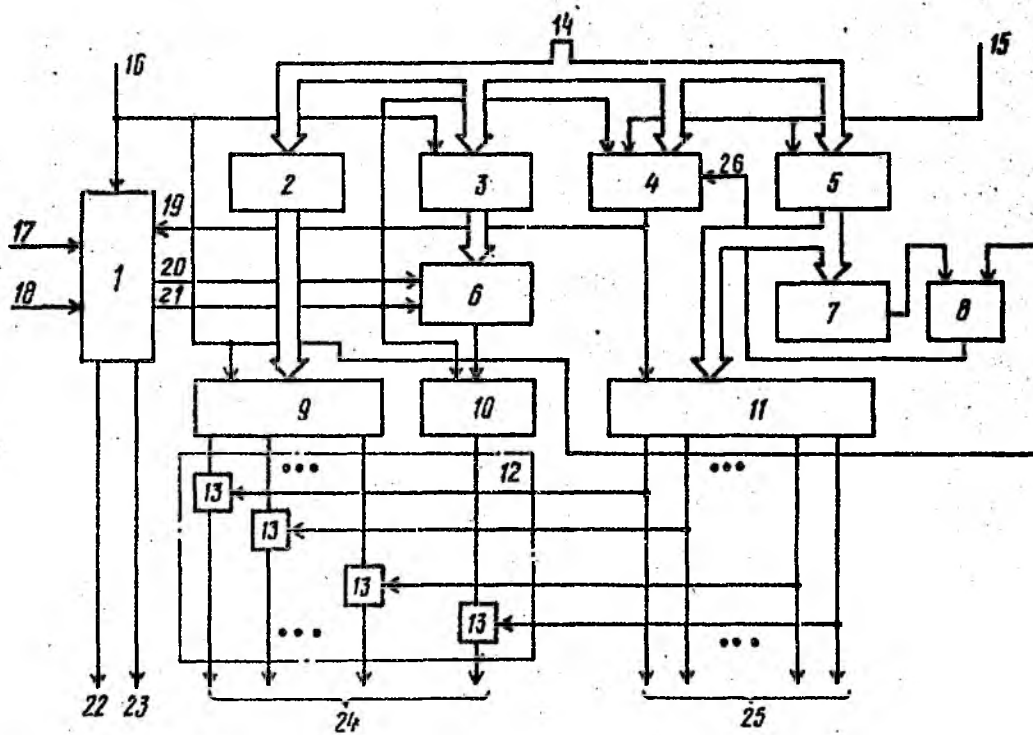
Т а б л и ц а 2

Адрес БП 2 (Младшие разряды БП)	Значение на входе выборки кристалла	Содержимое БП 11
-	"1"	11111111
000	"0"	00000000
001	"-"	10000000
010	"-"	11000000
011	"-"	11100000
100	"-"	11110000
101	"-"	11111000
110	"-"	11111100
111	"-"	11111110

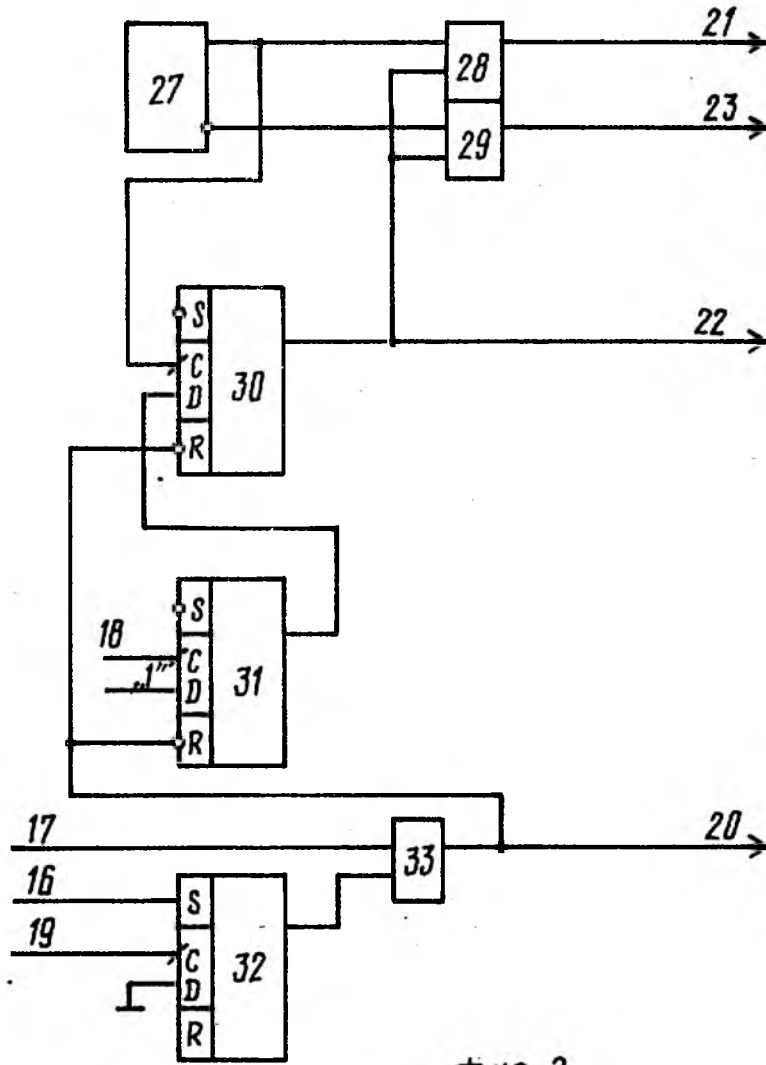
Содержимое выходов 24 и 25
за полный интерполяционный цикл

Т а б л и ц а 3

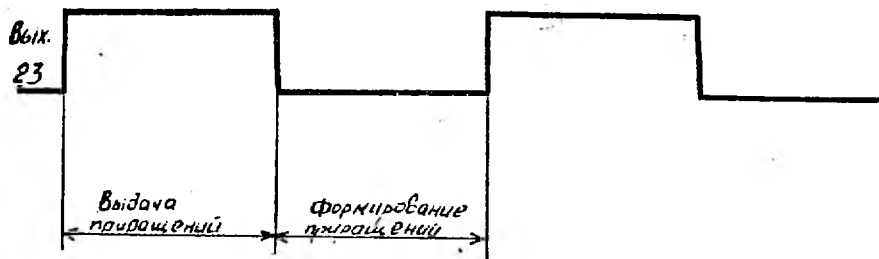
Интерполяцион- ный такт	1-й	2-й	3-й	4-й
Ведущая коор- дината (вых.25)	11111111	11111111	11111111	11100000
Ведомая коор- дината (вых. 24)	01000101	01000100	01000101	01000000



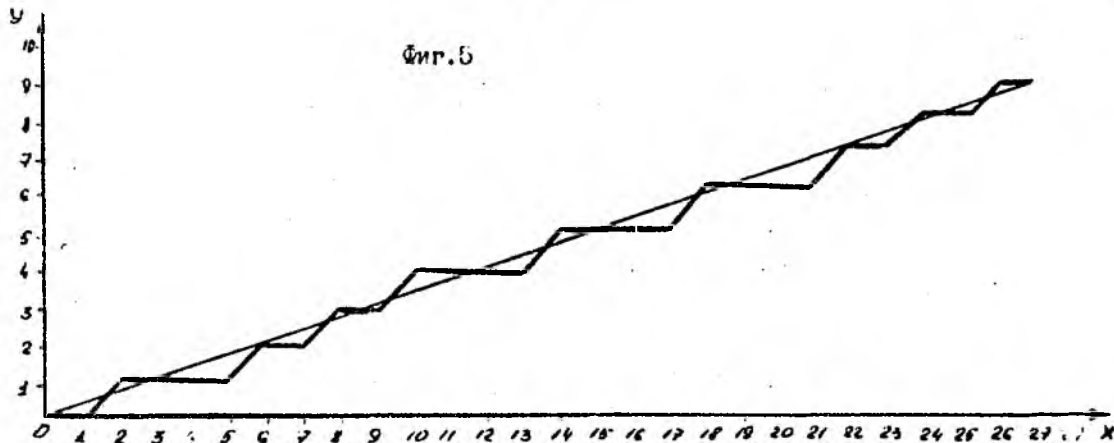
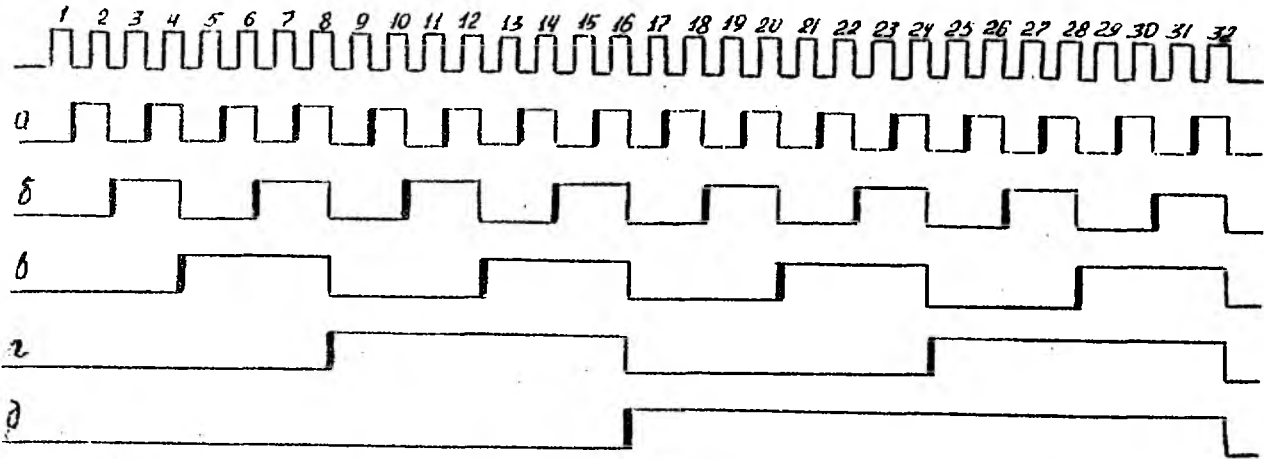
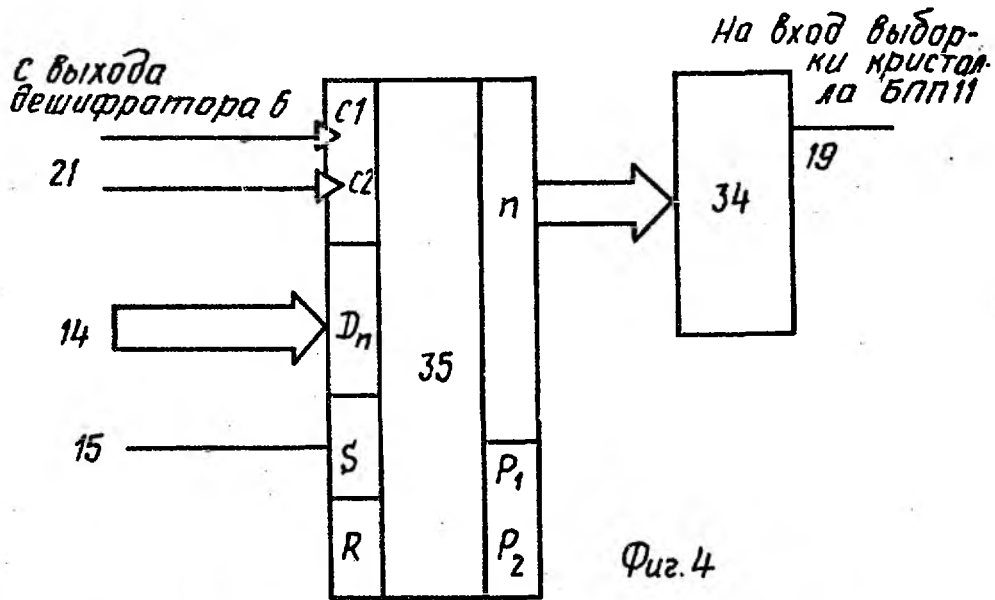
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 6

Составитель И. Швец
 Техред М.Моргентал

Редактор Л. Пчолинская

Корректор М. Демчик

Заказ 546

Тираж 475

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101