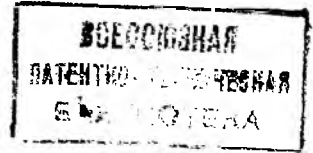




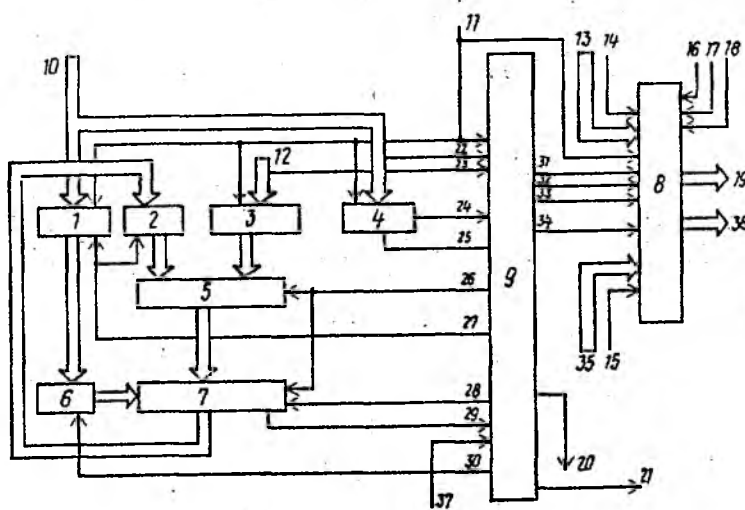
ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4486938/24
 (22) 26.09.88
 (46) 23.02.91. Бюл. № 7
 (71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
 (72) А.П.Стахов, А.Н.Романюк, В.С.Сенчик и Н.В.Николаева
 (53) 621.503.55(088.8)
 (56) Авторское свидетельство СССР № 920636, кл. G 05 B 19/18, 1981.
 Авторское свидетельство СССР № 1413603, кл. G 05 B 19/415, G 06 F 15/353, 1986.
 (54) Цифровой линейный интерполятор
 (57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в системах отображения графической информации и в системах с числовым программным управлением. Цель изобретения - повы-

шение быстродействия интерполятора за счет формирования в каждом интерполяционном такте координат сразу двух точек шаговой траектории. В интерполяторе использовано свойство одновариантности выполнения элементарных шагов при формировании шаговой траектории с максимальной точностью аппроксимации. В интерполяторе реализован алгоритм оценочной функции, значение которой определяется в накапливающем сумматоре 7 по значениям операндов M-N, N, хранящихся соответственно в блоках 2, 3, где M и N - большее и меньшее приращения исходного отрезка прямой соответственно. Начальное значение оценочной функции, равной $\lfloor M/2 \rfloor$, хранится в блоке 1. Шаговая траектория в интерполяторе формируется за $\lfloor M/2 \rfloor$ тактов. 2 з.п. ф-лы, 11 ил., 2 табл.



Илл. 1

Изобретение относится к автоматике и вычислительной технике и предназначено для использования в системах отображения графической информации, а также в системах числового программного управления.

Цель изобретения - повышение быстродействия интерполятора.

На фиг.1 изображена структурная схема интерполятора; на фиг.2 - функциональная схема блока управления; на фиг.3 - функциональная схема блока выходных координат; на фиг.4 - пример аппроксимации отрезка прямой; на фиг.5 - примеры шаговых траекторий для различных вариантов четности M и N; на фиг.6 - режимы счета пар координатных счетчиков; на фиг.7 - граф-схема алгоритма работы интерполятора; на фиг.8 - распределение управляющих воздействий к фронтам и потенциалам опорной импульсной последовательности; на фиг.9 - временная диаграмма работы блока управления в цикле подготовки; на фиг.10 - временные диаграммы работы блока управления при M = 9, N = 5; на фиг.11 - временные диаграммы работы блока управления при M = 10, N = 3.

Цифровой линейный интерполятор (фиг.1) содержит сдвиговый регистр 1 координатного приращения, регистр 2 разности координатных приращений, регистр 3 координатного приращения; счетчик 4, коммутатор 5, блок 6 ключей, накапливающий сумматор 7, блок 8 выходных координат, блок 9 управления. Интерполятор имеет входы 10-18, выходы 19-21, а также входы 22-24, выходы 25-28, вход 29 и выходы 30-34, под позицией 35 обозначена группа входов интерполятора, 36 - группа выходов, 37 - вход начальной установки.

Блок 9 управления (фиг.2) содержит вход 38, узел 39 постоянной памяти, D-триггер 40, элемент И 41, D-триггеры 42-44, формирователь 45 импульсов, первый 46 и второй 47 регистры, элементы И 48-50, элементы ИЛИ 51, элементы ИЛИ-НЕ 52, элементы И 53-54, элементы НЕ 55, элементы ИЛИ 56, элемент И 57, элемент НЕ 58, D-триггер 59, элемент ИЛИ 60, элементы И 61, 62, позициями 63-68 обозначены связи внутри блока.

Блок 8 выходных координат содержит D-триггер 69, элемент ИЛИ 70, D-триггер 71, элементы И-ИЛИ 72, 73,

триггер 74, координатные счетчики 75-78.

Сдвиговый регистр 1 координатного приращения служит для хранения большего приращения (M), которое поступает от внешнего устройства по входу 10. Запись в регистр 1 осуществляется передним фронтом сигнала записи, поступающего на второй вход 11 интерполятора. Информационный вход сдвигового регистра 1 соединен с информационным входом счетчика 4, а выход - с информационным входом ключа 6. Первый управляющий вход сдвигового регистра 1 подключен к второму входу 11 интерполятора, управляемому входу регистра 3 координатного приращения, к первому управляемому входу счетчика 4 и первому входу блока 9 управления. Сдвиг информации осуществляется передним фронтом сигнала, поступающему с выхода блока 9 управления.

Регистр 2 разности координатных приращений 5 служит для хранения разности большего M и меньшего N приращений. Указанная разность поступает с накапливающего сумматора 7 и записывается в регистр 2 передним фронтом сигнала, поступающего с выхода блока 9 управления.

Регистр 3 координатного приращения служит для хранения меньшего приращения N задающего отрезка аппроксимируемой прямой. Запись в регистр 3 осуществляется передним фронтом сигнала, поступающего на второй вход 11 интерполятора.

Счетчик 4 предназначен для определения окончания процесса интерполяции. При задании отрезка прямой в него записывается значение половины большего приращения, поступающего на первый вход 10 интерполятора. Получение половины большего приращения достигают монтажной коммутацией информационного входа счетчика 4. Для этого каждый i-й разряд информационного входа счетчика 4 подключают к (i+1)-му разряду информационного входа 10, причем $i = 1, n-1$, где n - разрядность задания большего приращения. Запись в счетчик 4 обеспечивается активным уровнем сигнала, поступающего на его первый управляющий вход, с второго входа 11 интерполятора. Управляющий вход счетчика 4 соединен с выходом 25 блока 9 управления. На указанном вы-

ходе блока 9 формируется опорная импульсная последовательность, с каждым импульсом которой счетчик 4 уменьшает свое состояние на единицу. Выход счетчика 4 соединен с третьим входом 24 блока управления. На указанном выходе счетчика формируется сигнал переполнения, возникающий при обнулении счетчика. Активный уровень сигнала переполнения удерживается в течении одного такта импульсной последовательности, формируемой на выходе 25 блока 9 управления.

Мультиплексор 5 обеспечивает передачу на свой второй выход инверсного значения меньшего приращения, поступающего от регистра 3 координатного приращения при значении логической единицы на его управляющем входе, соединенном с входом переноса сумматора 7. При значении логического нуля на управляющем входе мультиплексора 5 последний осуществляет передачу значения $M-N$, поступающего от регистра 2, на первый вход сумматора 7.

Ключ 6 при значении логической единицы на его управляющем входе, соединенном с выходом 30 блока 9 управления, обеспечивает передачу значения со своего информационного входа на выход. Вход блока 6 совпадения подключен к парафазным выходам сдвигового регистра 1 координатного приращения, а выход - к установочным входам сумматора 7.

Сумматор 7 представляет собой накопительный сумматор и осуществляет суммирование значения с его информационного входа со значением, хранящимся в его внутреннем регистре. Сигнал с выхода знакового разряда сумматора поступает на вход 29 блока 9 управления. Сигнал записи суммы во внутренний регистр сумматора 7 осуществляется передним фронтом сигнала, поступающего с выхода 28 блока 9 управления. Суммирование осуществляется за время действия нулевого уровня сигнала на выходе 28 блока 9 управления.

Блок 8 выходных координат предназначен для формирования координат сразу двух точек шаговой траектории. Выход 19 блока 8 соединен с выходом 19 интерполятора. На указанном выходе первые n разрядов задают координату X_1 первой из точек шаговой

траектории, а вторые n разрядов - координату Y_1 первой из точек шаговой траектории, формируемой в данный момент времени. Выход блока 8 подключен к выходу 36 интерполятора. Первые n разрядов указанного выхода определяют координату X_2 , а вторые n разрядов - координату Y_2 второй из точек шаговой траектории, формируемой в данный момент времени.

Первый управляющий и первый информационный выходы блока 8 предназначены для выполнения операции "позиционирования" начальной точки вектора, т.е. занесения в блок 8 координат X_n, Y_n начальной точки вектора. Первый управляющий и первый информационный входы блока 8 соединены соответственно с входами 14 и 13 интерполятора. Управляющие входы блока 8 соединены соответственно с выходами 31-34 блока 9 управления. Второй информационный и седьмой управляющий входы блока 8 соединены соответственно с 35 и 15 входами интерполятора.

Указанные входы предназначены для запоминания в блоке 8 координат X_k и Y_k конечной точки вектора. На третий вход 16 интерполятора от внешнего устройства поступает информация о знаке приращения ΔX . При $\Delta X \geq 0$ значение сигнала на входе 16 интерполятора, соединенном с входом блока 8 выходных координат, равно 1, а при $\Delta X < 0$ - нулю. Совершенно аналогично определяется и знак приращения ΔY . При $\Delta Y \geq 0$ на четвертый вход интерполятора, соединенный с девятым входом блока 8 выходных координат, выставляется значение логической единицы, в противном случае - значение логического нуля.

Пятый вход 18 интерполятора соединен с десятым входом блока 8 координатных приращений. Сигнал на указанном входе определяет преобладание над другим. При $\Delta X \geq \Delta Y$ на выход 16 интерполятора выставляется значение логической единицы, в противном случае - значение логического нуля.

Запись признаков, поступающих на входы 16-18, происходит сигналом, поступающим от внешнего устройства на вход 11 интерполятора. Указанный вход подключен к входу 11 блока 8 выходных координат.

Сигналы, формируемые на 33, 34 выходах блока 9 управления, предназначены для управления выдачей координатных точек шаговой траектории. На седьмом входе 32 формируется опорная импульсная последовательность, под воздействием которой осуществляется выдача координат шаговой траектории по ведущей координате, а на выходе 31 блока 9 управления формируется последовательность импульсов, предназначенных для выдачи координат шаговой траектории по ведомой координате.

Блок 9 управления осуществляет управление операционными узлами интерполятора в соответствии с алгоритмом работы. По второму входу 11 интерполятора происходит запуск интерполятора передним фронтом. Второй вход 11 интерполятора подключен к первому входу блока 9 управления. Единичное значение младшего разряда шины 10 указывает о нечетном значении большого приращения M , а единичное значение младшего разряда шины 12 — о нечетном значении меньшего приращения N . Младший разряд входа 10 интерполятора подключен к входу 22 блока 9 управления. Младший разряд входа 12 интерполятора подключен к входу 23 блока 9 управления. Вход 37 интерполятора подключен к шестому входу блока 8 управления. По шестому входу происходит начальная установка интерполятора.

На выходе 20 интерполятора формируется сигнал "Конец интерполирования". Значение логического нуля на выходе 20 сигнализирует об интерполяции отрезка в заданный момент времени, т.е. об занятости интерполятора. При значении логической единицы на выходе 20 интерполятор готов к принятию исходного задания отрезка прямой.

Под воздействием сигнала, формируемого на выходе 21 интерполятора, осуществляется запись выходных координат формируемых на выходах 19, 36, во внешнюю память. Запись происходит задним фронтом сигнала.

Состояние седьмого D-триггера 69 определяет соотношение приращений координат ΔX , ΔY , задающих исходный отрезок прямой, информационный D-вход триггера 69 соединен с пятым входом 18 интерполятора. Запись в триггер

69 осуществляется передним фронтом сигнала, поступающего на второй вход интерполятора.

При $\Delta X \geq \Delta Y$ на вход 18 интерполятора выставляется значение логической единицы, в противном случае — значение логического нуля. Прямой выход триггера соединен с четвертым входом первого 72 и вторым входом второго 73 элементов И-ИЛИ.

Инверсный выход седьмого триггера 69 подключен к второму входу первого 72 и четвертому входу второго 73 элементов И-ИЛИ. Восьмой триггер 71 служит для хранения знака приращения ΔX . При $\Delta X < 0$ на третий вход 16 интерполятора, соединенный с восьмым входом блока 8 и информационным входом девятого триггера, поступает значение логического нуля, а при $\Delta X \geq 0$ — значение логической единицы.

Запись в триггер 71 осуществляется передним фронтом сигнала, поступающего на второй вход блока 8. Указанный вход соединен с управляющим C-входом триггера 80. Прямой вход триггера 71 подключен к третьему управляющему входу первого координатного счетчика 75. Инверсный выход триггера 71 подключен к третьему управляющему входу третьего координатного счетчика 77.

Десятый триггер 74 служит для хранения знака приращения ΔY . Информационный D-вход указанного триггера соединен с девятым входом блока 8. Указанный вход, в свою очередь, соединен с четвертым входом 17 интерполятора. При $\Delta Y \leq 0$ на D-вход триггера 74 выставляется уровень логического нуля, а при $\Delta Y > 0$ — уровень логической единицы. Запись в триггер 74 осуществляется передним уровнем сигнала, поступающего на второй вход блока 8 управления. Прямой и инверсный выходы триггера 74 подключены соответственно к третьему входу второго 76 и третьему входу четвертого 78 координатных счетчиков.

Первый 72 и второй 73 элементы И-ИЛИ предназначены для формирования импульсных последовательностей координатных счетчиков 75–78. При $\Delta X \geq \Delta Y$ на выходе элемента 72 формируются шаговые приращения по ведущей (большой), а на выходе элемента 73 — по

ведомой координате. При $\Delta Y > \Delta X$ имеем обратную ситуацию.

Первый 75 и второй 76 координатные счетчики формируют координаты шаговой траектории с начальной точки вектора, причем счетчик 75 определяет абсциссу, а счетчик 76 — ординату точки отрезка прямой. Координатные счетчики 77 и 78 формируют координаты точек шаговой траектории с конечной точки вектора, причем третий координатный счетчик 77 определяет координату X, а четвертый координатный счетчик 78 — координату Y. Информационный вход первого 75 и второго 76 координатных счетчиков образуют первый информационный вход блока 8 и восьмой вход 13 устройства. Информационные входы третьего 77 и четвертого 78 координатных счетчиков образуют второй информационный вход блока 8 и одиннадцатый вход 35 интерполятора.

Начальная установка счетчиков 75 и 76 осуществляется сигналом, поступающим на первый вход блока 8. Указанный вход соединен с первыми управляющими входами (SF) координатных счетчиков 75 и 76 и девятым входом 14 интерполятора.

Начальная установка счетчиков 77 и 78 осуществляется единичным уровнем сигнала, поступающего на десятый вход 15 интерполятора. Десятый вход 15 интерполятора соединен с седьмым входом блока 8 и первыми управляющими входами координатных счетчиков 77 и 78. При значении логической единицы на четвертом управляющем входе координатных счетчиков 75-78 приостанавливается их счет, т.е. последние переходят в режим хранения информации.

Четвертые управляющие входы счетчиков 75 и 76 подключены к пятому входу блока 8. Четвертые управляющие входы третьего 77 и четвертого 78 счетчиков соединены с выходом четвертого элемента ИЛИ 70.

Третий управляющий вход счетчиков 75-78 определяет их режим счета. При разрешении счета единичный уровень сигнала на указанном входе определяет счет в прямом направлении, т.е. в режиме сложения, а при значении логического нуля — в обратном направлении, т.е. в режиме вычитания.

Второй управляющий вход счетчиков 75-78 является их входом счета. При поступлении переднего фронта сигнала на указанном входе происходит инкрементное изменение содержимого счетчика. Вторые управляющие входы первого 75 и третьего 77 координатных счетчиков соединены с выходом первого элемента И-ИЛИ 72. Вторые управляющие входы второго 76 и четвертого 78 координатных счетчиков подключены к выходу второго элемента И-ИЛИ 73.

Выходы первого 75 и второго 76 координатных счетчиков образуют первый информационный выход 19 блока 8 выходных координат, а выходы третьего 77 и четвертого 78 координатных счетчиков — второй информационный выход блока 8 выходных координат.

Первый вход четвертого элемента 70 подключен к пятому входу блока 8, а второй вход — к шестому входу блока 8.

Узел 39 постоянной памяти предназначен для хранения микрокоманд, определяющих выполнение требуемых операций. Первый, второй и третий входы узла 39 памяти подключены к выходам второго регистра, а четвертый вход — к второму входу блока управления. Первый-четвертый входы узла 39 памяти определяют адрес микрокоманды. Первые пять выходов узла 39 памяти соединены с информационным входом первого регистра 50, предназначенного для хранения микрокоманды, поступающей с блока 39. Сигналы на шестом, седьмом, восьмом выходах узла 39 памяти совместно с значением сигнала переполнения сумматора 7 образуют адрес микрокоманды, которая будет выполняться в следующем такте. Шестой — восьмой выходы узлов 39 памяти соединены соответственно с первым — третьим входами второго регистра 47. Первый-третий выходы первого регистра 46 подключены соответственно к пятому 30, третьему 26 и первому 27 выходам блока управления. Четвертый выход 66 регистра 46 подключен к первым входам элементов 53, 55, 56. Пятый выход 67 регистра 46 соединен с первым входом элемента 54.

Управляющие R-входы регистров 46 и 47 подключены к выходу первого элемента И 41 и R-входам первого 40

и четвертого 44 D-триггеров. На выходе элемента 41 формируется сигнал установки в начальное состояние регистров 46 и 47 и триггеров 40 и 44. Управляющие С-входы первого 46 и второго 47 регистров подключены соответственно к выходам второго 48 и третьего 49 элементов И. Триггера 40 и 44 предназначены для синхронизированного начала работы интерполятора с первым импульсом, вырабатываемым формирователем 45 импульсов после поступления сигнала "Пуск" на первый вход блока 9 управления. Информационный D-вход триггера 40 соединен с выходом логической единицы, а управляющий С-вход - с входом 11 блока 9 управления, С-входами 42 и 43 D-триггеров и входом элемента И 50.

Выход триггера 40 подключен к информационному D-входу триггера 44, управляющий С-вход которого соединен с прямым выходом формирователя 45 импульсов, вторым входом второго элемента 48 и вторыми входами элементов ИЛИ 51, 56, 60.

Выход триггера 44 подключен к первому входу первого 48 и второго 49 элементов И. Инверсный выход формирователя 45 импульсов подключен к входам элементов И 49, 53 и 54 и входу элемента И-НЕ 55.

Выход шестого элемента И 54 соединен с четвертым выходом 28 блока 9 управления.

Работа линейного интерполятора осуществляется следующим образом.

Необходимо доказать, что последовательность шаговых приращений по ведомой координате при аппроксимации отрезка прямой с максимальной точностью симметрична относительно своего центра за исключением не более двух ближайших к нему значений приращений.

Пусть аппроксимируемый отрезок прямой задан меньшим N и большим M приращениями, причем $M \geq 2N$.

Отклонение идеальной прямой $Y = NX/M$ от ближайшего ординатного уровня решетки в точке $X = D$ равно

$$\delta(D) = \left[\frac{N}{M} D + 0,5 \right] - \frac{N}{M} D,$$

где $[\delta]$ - оператор выделения целой части числа.

В точке $X = M - D$

$$\begin{aligned} \delta(M - D) &= \left[(M-D) \frac{N}{M} + 0,5 \right] - \\ &- (M-D) = - \left[\frac{N}{M} + 0,5 \right] + \\ &+ \frac{N}{M} D. \end{aligned}$$

Отсюда следует, что

$$\delta(D) = -\delta(M-D).$$

Поскольку отклонения идеальной прямой от ближайших точек решетки совпадают по модулю при значениях абсцисс,

равных D, $(M-D)$ ($D < \left[\frac{M}{2} \right]$), то ввиду

одновариантности выполнения элементарных шагов при аппроксимации вектора с максимальной точностью можно заключить, что последовательность шаговых приращений по ведомой координате симметрична относительно своего центра.

Можно определить, что значения шаговых приращений по ведомой координате, являются ближайшими к центру последовательности, поскольку их значения могут отличаться ввиду различного числа единичных приращений за первый и второй полуциклы.

Если M и N четные, то точка $(N/2, M/2)$ идеальной прямой совпадает с точкой решетки, а числа единичных шаговых приращений по ведомой координате за первый и второй полуциклы совпадают. Отсюда следует, что при четном M и N свойство симметричности шаговых приращений по ведомой координате выполняется для всех $D = 1, M/2$.

Для обозначения четности и нечетности N и M вводят вспомогательные параметры $\alpha_1 = [N/2]$ и $Z = [M/2]$.

При четном M и нечетном N

$$\begin{aligned} \delta(M/2) &= \left\{ \frac{N}{M} \frac{M}{2} \right\} = \left\{ \frac{2\alpha_1 + 1}{2Z_1} \times \right. \\ &\left. \times Z_1 \right\} = 0,5. \end{aligned}$$

В данном случае в M/2-такте по ведомой координате можно выполнять как нулевой, так и единичный элементарный шаг, поскольку точность аппроксимации в обоих случаях не пре-

вышает половины шага дискретизации. Для первого полуоктанта наличие двух единичных шаговых приращений по ведомой координате в смежные тактовые моменты времени невозможно. Отсюда следует, что если при четном M и нечетном N в $M/2$ -такте выполняется единичное шаговое приращение по ведомой координате, то в $(M/2+1)$ -такте значение шагового приращения по ведомой координате нулевое и наоборот.

При нечетном M и четном N ордината идеальной прямой в точке $M/2$ равна α_1 . Отклонение точки (Z_1, α_1) решетки от указанного ординатного уровня равно

$$\alpha_1 - \frac{2\alpha_1}{2Z_1 + 1} \cdot Z_1 = \frac{\alpha_1}{2Z_1 + 1},$$

а точки $(Z_1 + 1, \alpha_1) - \alpha_1(2Z_1 + 1)$. Учитывая, что указанные отклонения меньше по модулю 0,5, а также их знаки, заключаем, что в такте $(Z_1 + 1)$ по ведомой координате шаговое приращение не формируют, т.е. в указанном такте выполняют горизонтальное перемещение.

Совершенно аналогично можно показать, что при нечетном значении M и N в такте $(Z_1 + 1)$ по ведомой координате выполняют единичное шаговое приращение.

Таким образом, последовательность шаговых приращений по ведомой координате симметрична относительно своего центра. Исключения составляют не более двух значений шаговых приращений, непосредственно прилегаемых к центру и определяемых четностью или нечетностью M и N .

Используя известное свойство двойственности шаговых приращений, распространим полученные результаты на второй полуоктант (свойство двойственности: аппроксимацию отрезка прямой с приращениями M и N , принадлежащего второму полуоктанту, можно свести к интерполяции отрезка с приращениями $M, M-N$, принадлежащего первому полуоктанту, путем инвертирования его шаговых приращений по ведомой координате).

Значения шаговых приращений по ведомой координате в центре последовательности приведены в табл.1.

Важно заметить, что при определении разницы $M-N$ (в случае применения свойства двойственности): четность последней зависит от четности M и N , например при нечетном M и N разность $M-N$ четная.

Из приведенных теоретических выкладок следует, что при аппроксимации отрезка прямой в дискретном координатном пространстве с максимальной точностью аппроксимации ввиду одновариантности выполнения элементарных шагов возможна процедура определения координат сразу двух точек шаговой траектории, что и положено в основу работы интерполятора.

На фиг.4 приведен пример аппроксимации отрезка прямой. Он задан координатами X_H, Y_H начальной точки вектора, приращениями координат $\Delta X, \Delta Y$ и координатами X_K, Y_K конечной точки.

Очевидно, что координаты второй точки a вектора можно определить, зная X_0, Y_0 и значения шагового приращения в первом интерполяционном такте. Поскольку шаговые приращения по ведомой координате в первом и последнем такте совпадают, то, зная координаты конечной точки Y_{12}, X_{12} и значение шагового приращения в первом интерполяционном такте, можно найти координаты точки a_{12} шаговой траектории. Здесь важно отметить, что при определении координат точек a_1 и a_{12} шаговые приращения учитываются различным образом, поскольку в первом случае интерполирование производится с начала вектора, а во втором случае - с его конца.

Расчет координат точек шаговой траектории при $N = 4, M = 11$ (фиг.4) приведен в табл.2.

Из приведенных выкладок следует, что при встречной интерполяции с начальной и конечной точки вектора только при четном M и нечетном N шаговые приращения в центре последовательности в соседних тактах отличаются. Это составляет особый случай интерполяции, который требует особой реализации (в дальнейшем он будет учтен при синтезе блока 9 управления).

В качестве метода линейной интерполяции для предлагаемого цифрового интерполятора используется метод оценочной функции, начальное зна-

чение которой принимают равным половине большего приращения M . Метод обеспечивает максимальную точность аппроксимации при гарантированном попадании в конечную точку вектора. Значение оценочной функции Φ определяется согласно следующим выражениям:

$$\Phi_i = \lfloor M/2 \rfloor;$$

$$\Phi_{i+1} = \Phi_i + (M - N)$$

$$\text{при } \Phi_i < 0;$$

$$\Phi_i = \Phi_i - N \quad \text{при } \Phi_i \geq 0$$

При $\Phi_i < 0$ выполняется комбинированный диагональный шаг, т.е. одновременные шаги по ведущей и ведомой координате. При $\Phi_i \geq 0$ выполняется шаг по ведущей координате.

При интерполяции отрезка прямой от внешнего устройства поступают исходные операнды, определяющие заданный отрезок прямой и его направление в дискретном координатном пространстве.

Первоначально в координатные счетчики 75 и 76 блока 8 выходных приращений записываются значения координат X_n , Y_n начальной точки вектора, которые выставляются на восьмой информационный вход 13 интерполятора. Запись производится сигналом, поступающим на девятый вход 14 интерполятора. В координатных счетчиках 77 и 78 под воздействием сигнала на десятом входе 15 интерполятора запоминаются координаты X_k , Y_k конечной точки вектора.

После этого на информационную шину 10 выставляется значение большего приращения M , которое записывается в сдвиговый регистр 1. В счетчике 4 запоминается значение $\lfloor M/2 \rfloor$, полученное монтажной коммутацией. Для этого каждый $i+1$ -й разряд информационной шины 10 соединен с i -м разрядом информационного входа счетчика 4. Значение $\lfloor M/2 \rfloor$, записанное в счетчик 4, определяет число интерполяционных тактов. В регистр 3 координатного приращения записывается значение меньшего приращения, выставляемое на седьмой информационный вход 12 интерполятора. Поскольку выход регистра 3 координатного приращения

образован известными выходами его триггеров, то регистр 3 координатного приращения обеспечивает хранение значения меньшего приращения и его инвертирования, т.е. получение обратного кода меньшего приращения.

В блоке 9 управления запоминаются значения младших разрядов M и N , выставляемые соответственно на входы 10 и 12 интерполятора. Значения младших разрядов M и N определяют их четность (единичное значение младшего разряда операнда указывает о его нечетности). Кроме того, в блоке 8 запоминается ряд признаков, определяющих ориентацию отрезка прямой по отношению к координатным осям. Это знаки исходных приращений, а также признак, определяющий их межориентарность.

На третий вход 16 интерполятора поступает значение логической единицы при $\Delta X \geq 0$, где ΔX - значение приращения исходного отрезка прямой по оси абсцисс, и логического нуля при $\Delta X < 0$.

Логическая единица на четвертом входе 17 определяет положительный знак приращения ΔY , где ΔY - значение приращения исходного отрезка прямой по оси ординат. При $\Delta X < 0$ на четвертом входе 17 интерполятора выставляется значение логического нуля.

При $\Delta X \geq \Delta Y$ на пятый вход 18 интерполятора выставляется уровень логической единицы, а при $\Delta X < \Delta Y$ - уровень логического нуля.

Запись исходных приращений, а также всех перечисленных признаков производится сигналом, поступающим на второй вход 11 интерполятора. Передний фронт указанного сигнала является сигналом запуска интерполятора.

В первом такте цикла подготовки на выходе 30 блока 9 управления устанавливается значение логической единицы, что позволяет осуществить передачу парафазного кода большего приращения на выход блока 6 ключей. Под воздействием сигналов с выхода ключа 6 накапливающий сумматор 7 принимает значение большего приращения.

Во втором такте цикла подготовки на третьем выходе 26 блока 9 управления формируется уровень логической единицы, который разрешает передачу инверсного кода меньшего приращения

от регистра 3 на первый вход накапливающего сумматора. В последнем определяется разность большего и меньшего приращений.

В следующий тактовый момент времени разность большего и меньшего приращений переписывается с накапливающего сумматора 7 в регистр 2 разности координатных приращений. Одновременно с этим в сдвиговом регистре 1 производится сдвиг на один разряд большего приращения в сторону младших разрядов, т.е. определяется значение $\lfloor M/2 \rfloor$.

В четвертом такте цикла подготовки значение половины большего приращения через блок 6 переносится в накапливающий сумматор 7. Указанное содержимое сумматора 7 образует начальное значение оценочной функции.

Указанные действия предшествуют процессу интерполяции и образуют цикл подготовки. Причем в регистре 3 координатного приращения хранится значение меньшего приращения N , в счетчике 4 - значение половины большего приращения, т.е. $\lfloor M/2 \rfloor$, в регистре 2 разности координатных приращений - значение $M-N$, а в накапливающем сумматоре 7 - значение $\lfloor M/2 \rfloor$.

В цикле интерполяции в каждый тактовый момент времени в накапливающем сумматоре 7 определяется значение оценочной функции согласно приведенных выражений. Поскольку $0 \leq \Phi_0 \leq 0$, то в первый тактовый момент времени из содержимого сумматора 7 вычитается значение меньшего приращения, т.е. обеспечивается передача инверсного значения меньшего приращения через мультиплексор 5 на информационный вход сумматора 7, и на его вход переноса выставляется значение логической единицы. Следует отметить, что поскольку по алгоритму работы предлагаемого линейного интерполятора при вычислении значений оценочной функции используется операция вычитания только значения меньшего приращения, то сигнал переноса для накопительного сумматора 7 формируется при формировании для коммутатора 5 сигнала передачи на его выход значения меньшего приращения.

При отрицательном значении оценочной функции, хранящейся в сумматоре 7, к содержимому последнего прибавляется значение $M-N$, хранящееся в регистре 2. Передача значения $M-N$ на ин-

формационный вход сумматора 7 достигается подачей на управляющий вход мультиплексора логического нуля.

При положительном значении оценочной функции, хранящейся в сумматоре 7, от содержимого последнего вычитается значение $\lfloor M/2 \rfloor$.

В зависимости от знака оценочной функции, знаков исходных приращений и их мажоритарности в блоке 8 выходных координат на выходах элементов И-ИЛИ 72 и 73 формируются шаговые приращения по ведомой и ведущим координатам, причем шаговые приращения по ведущей координате формируются в каждом интерполяционном такте.

С каждым интерполяционным тактом происходит изменение содержимых координатных счетчиков 75 и 76, определяющих координаты интерполируемой прямой в направлении от начальной к конечной точке. Монтажной коммутацией обеспечено изменение содержимых координатных счетчиков 77 и 78 таким образом, чтобы последние интерполировали отрезок прямой от конечной точки к начальной, т.е. в обратном направлении (по отношению к счетчикам 75 и 76).

Поскольку пары координатных счетчиков 75, 76 и 77, 78 учитывают одни и те же шаговые приращения и работают в противоположных режимах счета, то обеспечивается выдача в каждом интерполяционном такте координат сразу двух точек шаговой траектории, которые симметричны относительно центра прямой. На фиг.6 показаны режимы счета координатных счетчиков для конкретных направлений отрезков. Из приведенных примеров видно, что если счетчик 75 работает в режиме сложения, то счетчик 78 - в режиме вычитания (поскольку производится встречная интерполяция отрезка прямой с начальной и конечной точки. Аналогичная картина характерна и для координатных счетчиков 76 и 77.

На фиг.5 показаны примеры аппроксимации отрезков прямой в зависимости от четности и нечетности большего M и меньшего N приращений при $M \geq 2N$, причем точки a шаговой траектории получают координатными счетчиками 75 и 78, а точки b_i - координатными счетчиками 77 и 78.

Из фиг. 5а следует, что в последнем (седьмом) интерполяционном такте пары координатных счетчиков 75, 76 и 77, 78 формируют координаты одной и той же точки.

При четном M и нечетном N (фиг. 5б) сочетание шаговых приращений по ведомой координате в центре отрезка должно быть равным 01. В предлагаемом линейном интерполяторе указанное реализуется следующим образом. Координатные счетчики 75, 76 и 77, 78 формируют совместно шаговую траекторию из шести тактов, т.е. от точки a_0 до точки a_6 (счетчики 75 и 76), от точки b_0 до точки b_6 (счетчики 77 и 78). В седьмом интерполяционном такте запрещается счет координатным счетчикам 77 и 78, т.е. они сохраняют координату точки b_6 . При этом координатные счетчики продолжают воспринимать шаговые приращения еще одного интерполяционного такта, что обеспечивает воспроизведение точки a_7 шаговой траектории.

При нечетном M и четном N пары координатных счетчиков работают совместно в течение семи тактов. При этом счетчики 75 и 76 отработают траекторию от точки a_0 до точки a_7 , а счетчики 77 и 78 - от точки b_0 до точки b_7 . Таким образом, формирование горизонтального приращения (a_7 , b_7) в центре последовательности получают автоматически.

Аналогичная ситуация, т.е. воспроизведение диагонального перемещения в результате совместной потактовой работы двух пар координатных счетчиков, имеет место и при нечетных M и N .

Совершенно очевидно, что аналогичные ситуации характерны и при $M < 2N$. Особый случай, как и при $M \geq 2N$, имеет место при четном M и нечетном N .

Граф-схема алгоритма работы интерполятора приведена на фиг. 7. Рассмотрим работу блока 9 управления. Для избежания гонок и состязаний при синтезе блока был использован принцип единой временной организации.

В цикле подготовки в триггерах 42 и 43 передним фронтом сигнала на втором входе 11 интерполятора запоминаются соответственно младшие разряды M и N , которые указывают об четности и нечетности исходных приращений. Нулевым уровнем сигнала на втором входе 11 интерполятора устанавливает-

ся в единичное состояние триггер 59, что запрещает в цикле подготовки работу координатных счетчиков 75-78. Последнее исключает возможные ложные срабатывания указанных счетчиков, например, при переходе триггера 67 из нулевого в единичное состояние. Единичное состояние триггера 59 запрещает прохождение синхроимпульсов записи выходных координат во внешнюю память, формируемых на выходе элемента 60.

Нулевой уровень сигнала на втором входе 11 интерполятора переводит триггер 57 в нулевое состояние, что приводит к нулевому уровню сигнала на выходе элемента И 61. Указанный сигнал является сигналом "Конец интерполяции". Передним фронтом сигнала на входе 11 интерполятора (указанным фронтом сигнала разрешается работа интерполятора) устанавливается в единичное состояние триггер 40. При появлении после этого переднего фронта сигнала на выходе формирователя 45 импульсов устанавливается в единичное состояние триггер 44, что разрешает прохождение импульсной последовательности от формирователя 45 на выходы элементов 48 и 49. Указанные действия по запуску интерполятора обеспечивают его синхронизированную работу с передним фронтом импульса от формирователя 45 после поступления сигнала "Пуск" (передний фронт сигнала на входе 11 интерполятора).

В интерполяторе не предусмотрена начальная установка знакового разряда накапливающего сумматора 7. Карта прошивки узла 39, приведенная в табл. 2, составлена таким образом, чтобы обеспечить правильную работу интерполятора до момента обнуления знакового разряда накапливающего сумматора 7.

Поскольку исходное состояние второго регистра 47 нулевое, то с приходом через элемент 48 первого импульса от формирователя 44 в регистре 46 заполнится первая микрокоманда, имеющая адрес 0000 или 1000 в зависимости от значения знакового разряда сумматора 7. Микрокоманды по указанным адресам идентичны и имеют один и тот же адресный переход (содержимое регистра 57) - 001. Во втором такте, следовательно, выполняется микрокоманда с адресом 1001 или 0001, кото-

рые также идентичны и имеют адресный переход 010. Во втором такте цикла подготовки из большего приращения вычитается меньшее, и, следовательно, знаковый разряд сумматора 7 принимает нулевое состояние. Дальнейшие переходы производятся в соответствии с таблицей истинности (фиг.9) узла 39 постоянной памяти.

Временная работа блока 9 управления.

По окончании цикла подготовки (граф-схема алгоритма работы интерполятора, карта прошивки блока 39 и временная диаграмма работы интерполятора в цикле подготовки на фиг.9) на выходах 66 и 67 регистра 46 устанавливается уровень логической единицы, который разрешает прохождение импульсов на счетчик 4 через элемент 53, на накапливающий сумматор 7 через элемент 54.

Единичный уровень сигнала на выходе 66 первого регистра 46 при единичном уровне сигнала на инверсном выходе формирователя 56 импульсов приводит к установке триггера 59 в нулевое состояние. Последнее разрешает прохождение импульсов от формирователя 45 через элемент ИЛИ 60. Под воздействием импульсной последовательности на выходе элемента ИЛИ 60 происходит запись выходных координат во внешнюю память.

Распределение управляющих воздействий по отношению к опорной импульсной последовательности, формируемой элементом 45, приведено на фиг.8.

С каждым импульсом, формируемым на выходе элемента И 53, содержимое счетчика 4 уменьшается на единицу. После поступления на вычитающий вход счетчика $\lfloor M/2 \rfloor$ импульсов на его выходе формируется сигнал переноса, который поступает на третий вход блока 9 управления. При наличии сигнала переноса счетчика (нулевой уровень сигнала) и появлении переднего фронта сигнала на прямом выходе формирователя 45 импульсов триггер 57 устанавливается в состояние логической единицы, что приводит к переводу триггеров 40 и 44 в нулевое состояние, а также обнулению регистров 46 и 47. Нулевое состояние триггера 44 запрещает прохождение импульсов через логические элементы 48 и 49, а нулевое состояние регистра 46 приво-

дит к прекращению передачи импульсных последовательностей через элементы 53-55. Процесс интерполяции отрезка прямой закончен, однако для обеспечения записи последних выходных приращений во внешнюю память предусмотрена установка триггера 59 в единичное состояние только передним фронтом следующего синхримпульса от формирователя 45 импульсов. Процесс интерполяции и запись выходных приращений закончены. Об этом сигнализирует единичный уровень сигнала на выходе элемента И 61, который появляется при установке триггеров 57 и 59 в единичное состояние. В этом случае интерполятор готов к принятию приращений следующего интерполируемого отрезка прямой.

Рассмотрим характерную особенность работы блока 9 управления. Как было показано, при четном M и нечетном N сочетание шаговых приращений в центре отрезка должно быть равным 01 (фиг.5б). Для обеспечения указанного введены два триггера 42 и 43, которые хранят значение признаков, определяющих четность и нечетность M и N . В частности, при четном M и нечетном N , а также при наличии сигнала переноса счетчика 4 на всех входах элемента ИЛИ 52 будут уровни логической единицы, что приведет к появлению логической единицы на выходе элемента ИЛИ 52. Указанным уровнем в последнем интерполяционном такте запрещается счет пары счетчиков 77 и 78. При этом пара счетчиков 75 и 76 работает горизонтальный шаг. Указанные действия приводят к формированию сочетания шаговых приращений по ведомой координате в центре отрезка, равному 01.

Блок 8 выходных координат работает следующим образом. При задании исходного отрезка прямой в триггера 71 и 74 записываются соответственно знаки приращений ΔX , ΔY (положительному знаку соответствует единичное состояние). При этом в триггере 69 запоминается признак, определяющий мажоритарность исходных приращений ΔX и ΔY , причем единичное состояние триггера 69 имеет место при $\Delta X \geq \Delta Y$.

В зависимости от состояния триггера 69, а также от знака оценочной функции на выходах элементов 72 и 73 формируются шаговые приращения, кото-

рые поступают на счетные входы координатных счетчиков 75-78. Режимы счета пар координатных счетчиков 75, 76 и 77, 78 определяют триггера 71 и 74. На выходах пар координатных счетчиков 75, 76 и 77, 78 формируются координаты точек шаговой траектории, которые записываются во внешнюю память задним фронтом сигнала, формируемым на четвертом выходе 21 интерполятора.

Временные диаграммы при аппроксимации отрезков прямых с $M = 9$, $N = 5$ и $M = 10$, $N = 3$ приведены соответственно на фиг. 10 и 11.

Из приведенных диаграмм видно, что первый задний фронт сигнала на выходе 21 формируется до момента выдачи первых шаговых приращений, что позволяет записать во внешнюю память начальные (исходящие) точки вектора. После выдачи всех шаговых приращений и изменения под их воздействием состояний координатных счетчиков формируется задний фронт сигнала записи выходных координат.

В предложенном интерполяторе формируются координаты сразу двух точек шаговой траектории, т.е. в два раза сокращается время формирования битовой карты.

Ф о р м у л а и з о б р е т е н и я

1. Цифровой линейный интерполятор, содержащий сдвиговый регистр координатного приращения, регистр разности координатных приращений, регистр координатного приращения, счетчик, мультиплексор, блок управления, накапливающий сумматор, блок ключей, группа информационных входов которого соединена с группой парафазных выходов сдвигового регистра координатного приращения, группа выходов - с группой установочных входов накапливающего сумматора, а управляющий вход - с установочным выходом блока управления, управляющий вход которого подключен к выходу знакового ряда накапливающего сумматора, группа информационных входов которого соединена с группой выходов мультиплексора, вход переноса подключен к управляющему выходу блока управления и управляющему входу мультиплексора, суммирующий вход - к первому тактовому выходу блока управления, а группа информационных выходов соединена

с группой информационных входов регистра разности координатных приращений, группа выходов которого подключена к первой группе информационных входов мультиплексора, вторая группа информационных входов которого соединена с группой инверсных выходов регистра координатного приращения, а вход записи соединен с управляющим входом сдвига сдвигового регистра координатного приращения и выходом сдвига блока управления, второй тактовый выход которого соединен с вычитающим входом счетчика, выход нуля которого подключен к входу останова блока управления, вход запуска которого соединена с входом "Пуск" интерполятора, входами записи счетчика, регистра координатного приращения и входом записи сдвигового регистра координатного приращения, группа информационных входов которого подключена к первой группе информационных входов интерполятора, вторая группа информационных входов которого подключена к группе информационных входов регистра координатного приращения, вход начальной установки блока управления является входом начальной установки интерполятора, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, в него дополнительно введен блок формирования выходных координат, первый и второй знаковые входы и управляющий вход которого являются соответственно первым, вторым знаковым и управляющим входами интерполятора, первая и вторая группы информационных выходов блока формирования выходных координат являются первой и второй группами информационных выходов интерполятора, первый и второй тактовые входы которого соединены соответственно с третьим и четвертым тактовыми выходами блока управления, первый и второй входы запрета соединены соответственно с первым и вторым выходами запрета блока управления, выход "Конец интерполирования" и выход записи которого являются соответственно выходами "Конец интерполирования" и стробирующим выходами интерполятора, третья и четвертая группы информационных входов интерполятора подключены соответственно к первой и второй группам информационных входов блока формирования выходных координат, первый и второй

установочные входы которого являются соответственно первым и вторым установочными входами интерполятора, а вход записи соединен с входом "Пуск" интерполятора, первый и второй информационные входы блока управления подключены соответственно к младшим разрядам первой и второй групп информационных входов интерполятора, при этом i -й разряд ($i = 1, n = 1$) группы информационных входов счетчика соединен с $(i+1)$ -м разрядом первой группы информационных входов интерполятора, где n - разрядность этой группы.

2. Интерполятор по п.1, отличающийся тем, что блок управления содержит с первого по шестой D-триггеры, первый и второй регистры, с первого по восьмой элементы И, первый, второй, третий элементы ИЛИ, элемент ИЛИ-НЕ, элемент И-НЕ, инвертор, блок памяти, формирователь импульсов, прямой выход которого соединен с входом синхронизации четвертого D-триггера, первыми входами первого, второго и третьего элементов ИЛИ, первым входом второго элемента И, выход которого подключен к тактовому входу первого регистра, а второй вход - к первому входу третьего элемента И и прямому выходу четвертого D-триггера, информационный вход которого соединен с выходом логической единицы, а вход синхронизации - с входами синхронизации второго и третьего D-триггеров, входом запуска блока и первым входом четвертого элемента И, выход которого подключен к установочному R-входу пятого D-триггера и к установочному R-входу шестого D-триггера, а второй вход - к входу начальной установки блока и первому входу первого элемента И, второй вход которого соединен с инверсным выходом пятого D-триггера, а выход - с установочными R-входами первого и второго регистров и с установочными R-входами первого и четвертого D-триггеров, инверсный выход формирователя импульсов подключен к первым входам пятого, шестого элементов И, второму входу третьего элемента И и первому входу элемента И-НЕ, выход которого соединен с установочным R-входом шестого D-триггера, ин-

формационный вход которого соединен с выходом логической единицы, вход синхронизации шестого D-триггера соединен с выходом второго элемента ИЛИ, выход шестого элемента И соединен с первым тактовым выходом блока, второй тактовый выход которого подключен к выходу пятого элемента И и входу инвертора, выход которого подключен к четвертому тактовому выходу блока управления и первому входу восьмого элемента И, выход которого соединен с третьим тактовым выходом блока управления, с первого по третий адресные входы блока памяти соединены соответственно с первого по третий выходы второго регистра, тактовый вход которого подключен к выходу восьмого элемента И, второй вход восьмого элемента И подключен к управляющему входу блока управления и четвертому адресному входу блока памяти, с первого по пятый информационные выходы которого соединены соответственно с первого по пятый информационными входами первого регистра, а шестой, седьмой и восьмой информационные выходы - соответственно с первым, вторым и третьим информационными входами второго регистра, с первого по третий выходы первого регистра подключены соответственно к установочному, управляющему выходам и выходу сдвига блока управления, четвертый выход первого регистра соединен с вторыми входами второго элемента ИЛИ, пятого элемента И и элемента И-НЕ, пятый выход первого регистра подключен к второму входу шестого элемента И, информационные входы второго и третьего D-триггеров подключены соответственно к первому и второму информационным входам блока управления, прямой выход второго D-триггера подключен к первому входу элемента ИЛИ-НЕ, второй вход которого соединен с инверсным выходом третьего D-триггера, третий вход - с вторым входом первого элемента ИЛИ и входом останова блока управления, а выход - с вторым выходом запрета блока управления, информационный вход пятого D-триггера подключен к выходу логической единицы, вход синхронизации - к выходу первого элемента ИЛИ, а прямой выход - к первому входу седьмого элемента И, выход которого является

выходом "Конец интерполирования" блока управления, а второй вход соединен с выходом шестого D-триггера, первым выходом запрета блока управления и вторым входом третьего элемента ИЛИ, выход которого подключен к выходу записи блока управления.

3. Интерполятор по п.1, отличается тем, что блок формирования выходных координат содержит с первого по третий D-триггеры, первый и второй элементы И-ИЛИ; с первого по четвертый координатные счетчики, первый элемент ИЛИ, первый вход которого подключен к второму входу запрета блока выходных координат, первый вход запрета которого соединен с входами запрета первого и второго координатных счетчиков и вторым входом элемента ИЛИ, выход которого подключен к входам запрета третьего и четвертого координатных счетчиков, вход синхронизации первого D-триггера соединен с входом записи блока выходных координат и с входами синхронизации второго и третьего D-триггеров, первые входы первого и второго элементов И-ИЛИ соединены между собой и подключены к первому тактовому входу блока выходных координат, второй тактовый вход которого соединен с вторыми входами первого и второго элементов И-ИЛИ, третьи входы которых подключены к инверсному выходу первого D-триггера, информационный вход первого D-триггера соединен с управляющим входом блока выходных координат, а прямой выход - с четвертыми входами

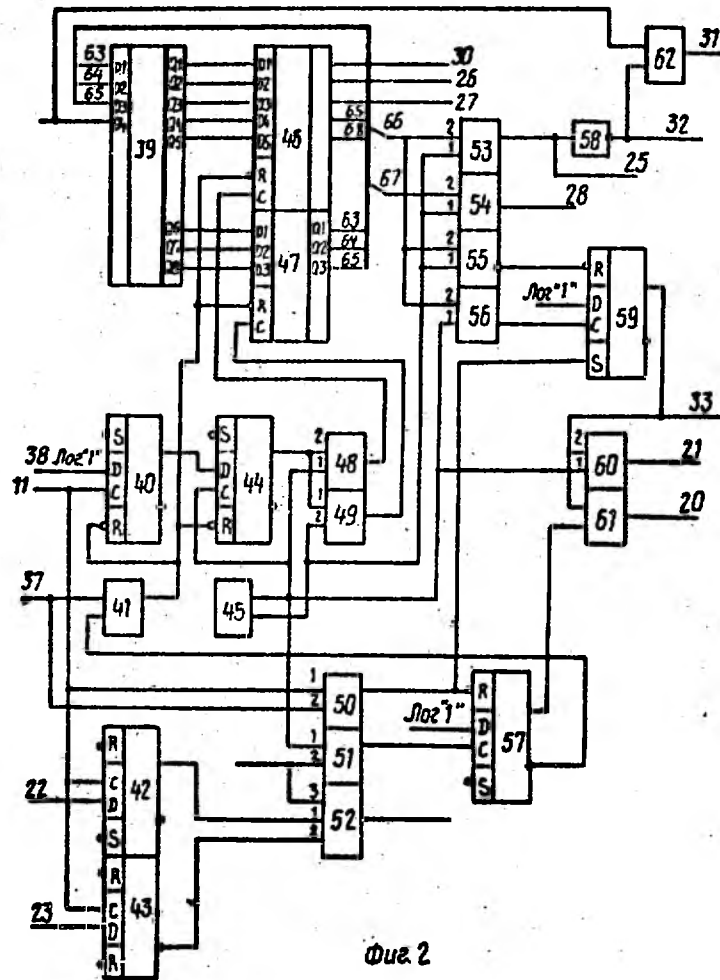
элементов И-ИЛИ, выход первого элемента И-ИЛИ соединен со счетными входами первого и третьего координатных счетчиков, выход второго элемента И-ИЛИ соединен со счетными входами второго и четвертого координатных счетчиков, первый знаковый вход блока выходных координат подключен к информационному входу второго D-триггера, прямой выход которого соединен с входом направления счета первого координатного счетчика, а инверсный выход - с входом направления счета третьего координатного счетчика, второй знаковый вход блока выходных координат подключен к информационному входу третьего D-триггера, прямой выход которого соединен с входом направления счета второго координатного счетчика, а инверсный выход - с входом направления счета четвертого координатного счетчика, при этом первый установочный вход блока выходных координат подключен к входам записи первого и второго координатных счетчиков, информационные входы которых подключены к первой группе информационных входов блока выходных координат, а выходы - к первой группе информационных выходов блока выходных координат, второй установочный вход которого подключен к входам записи третьего и четвертого координатных счетчиков, информационные входы которых подключены к второй группе информационных входов блока выходных координат, а выходы - к второй группе информационных выходов блока выходных координат.

Т а б л и ц а 1

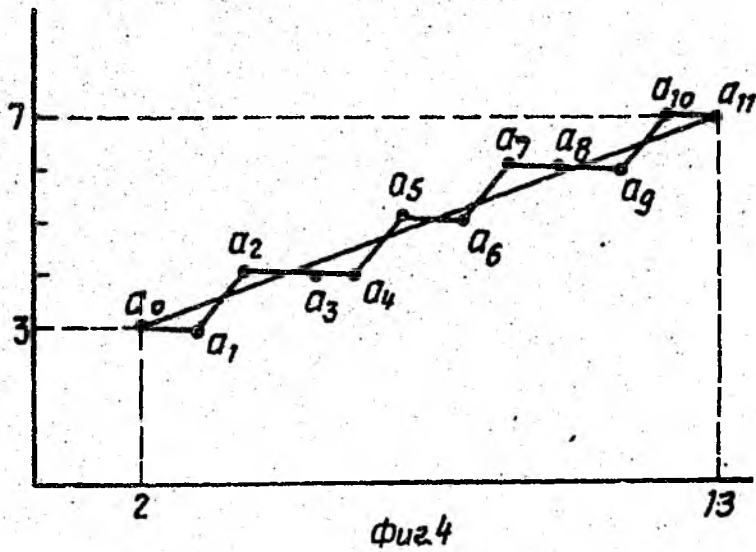
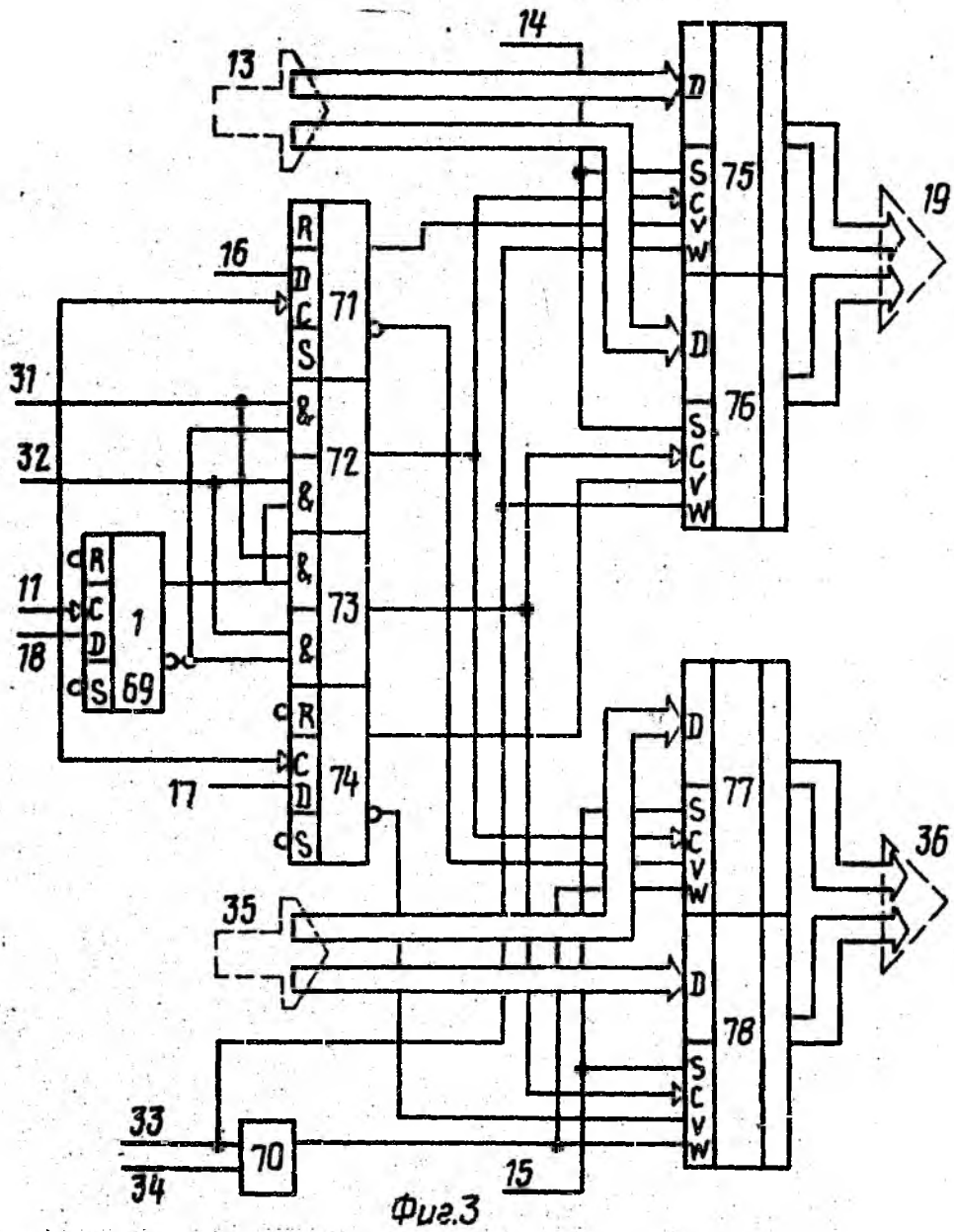
Приращение	Четность		Шаговые приращения в центре последовательности
	M	N	
$M \neq 2$	0	0	00 или 11
	0	1	01
	1	0	0
	1	1	1
$M \leq 2$	0	0	11 или 00
	0	1	10
	1	0	0
	1	1	1

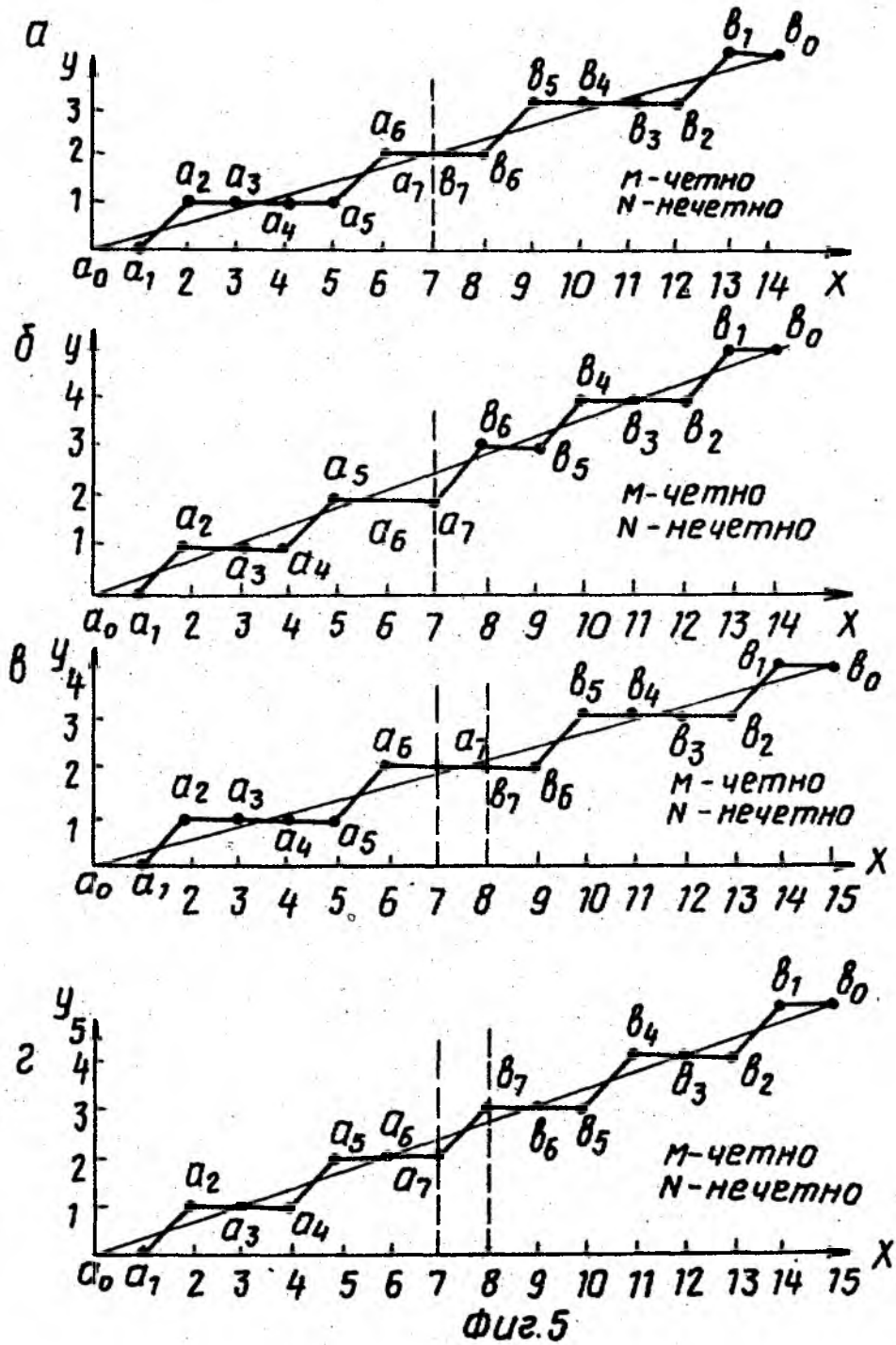
Таблица 2

Интерполяционный такт	Значение шагового приращения по ведомой координате	Точка	Координаты точек	Точка	Координаты точек
0	-	a_0	$X_0 = 2$ $Y_0 = 3$	a_{13}	$X_{12} = 13$ $Y_{12} = 7$
1	0	a_2	$X_1 = 2+1 = 3$ $Y_1 = 3+0 = 3$	a_{12}	$X_{11} = 13-1 = 12$ $Y_{11} = 7-0 = 7$
2	1	a_2	$X_2 = 3+1 = 4$ $Y_2 = 3+1 = 4$	a_{11}	$X_{10} = 12-1 = 11$ $Y_{10} = 7-1 = 6$
3	0	a_3	$X_3 = 4+1 = 5$ $Y_3 = 4+0 = 4$	a_{10}	$X_9 = 11-1 = 10$ $Y_9 = 6-0 = 6$
4	0	a_4	$X_4 = 5+1 = 6$ $Y_4 = 4+0 = 4$	a_9	$X_8 = 10-1 = 9$ $Y_8 = 6-0 = 6$
5	1	a_5	$X_5 = 6+1 = 7$ $Y_5 = 4+1 = 5$	a_8	$X_7 = 9-1 = 8$ $Y_7 = 6-1 = 5$

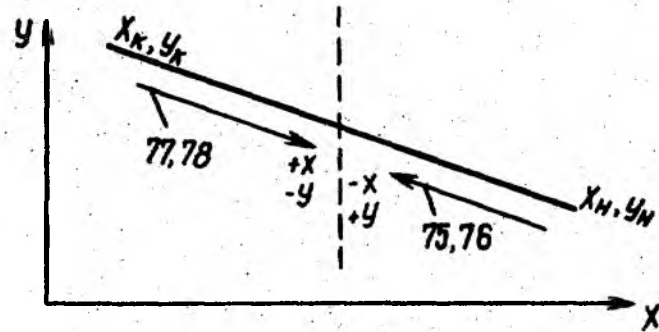
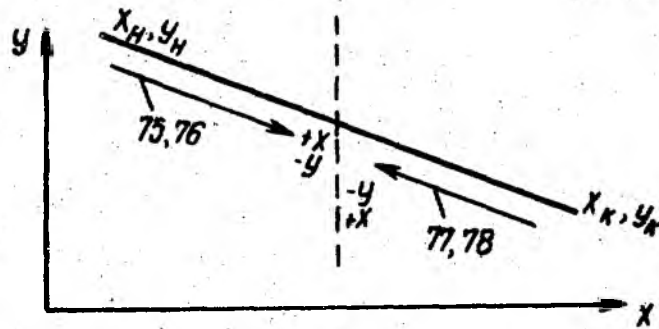
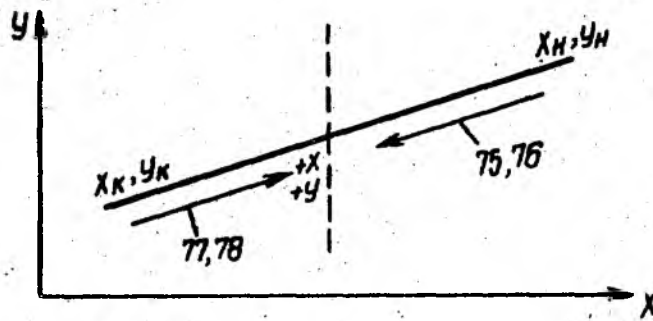
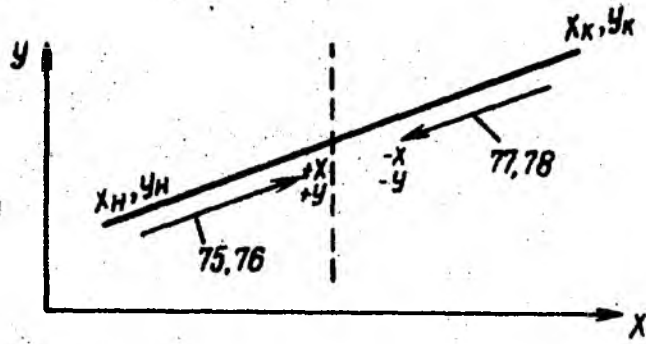


Фиг. 2

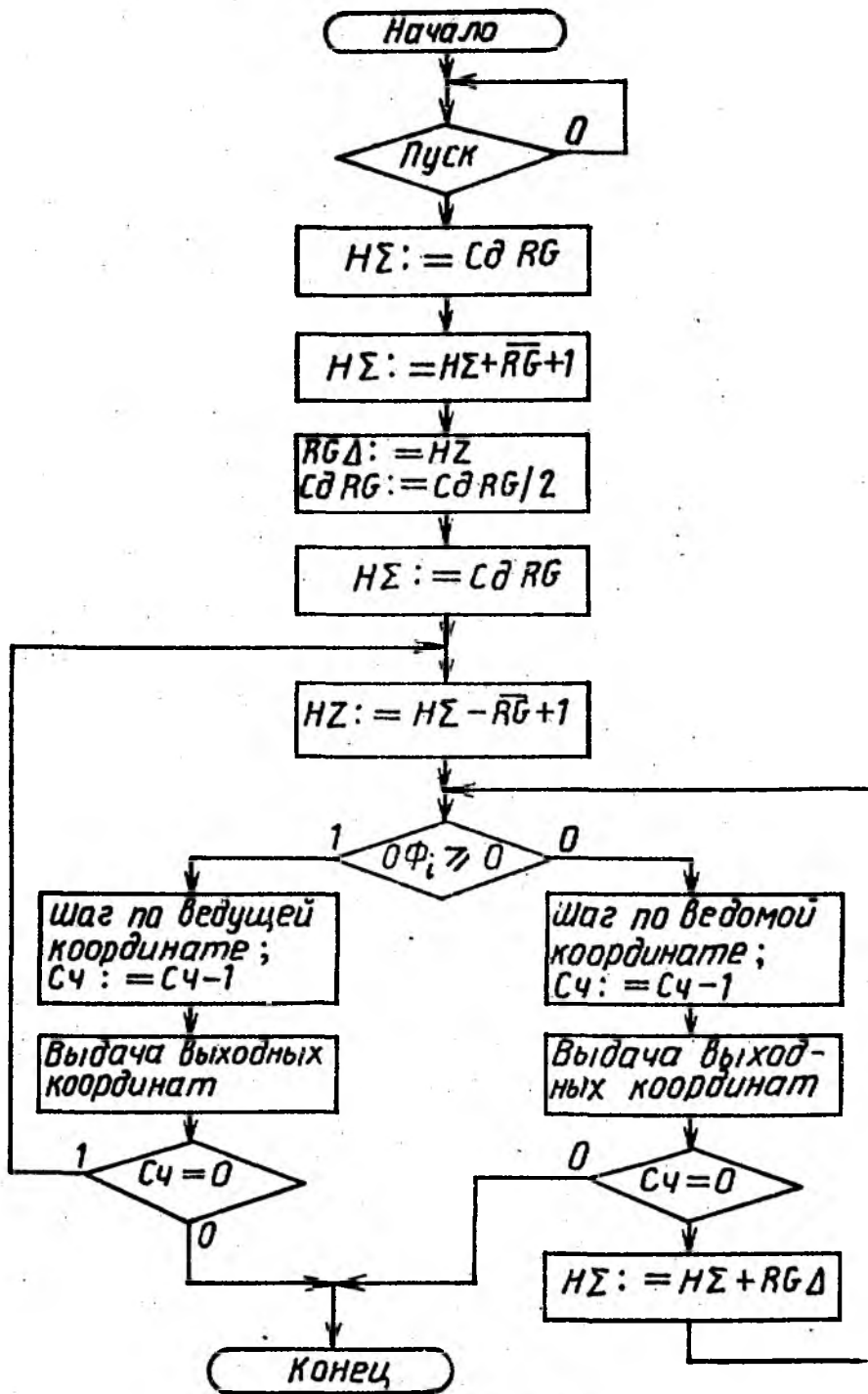




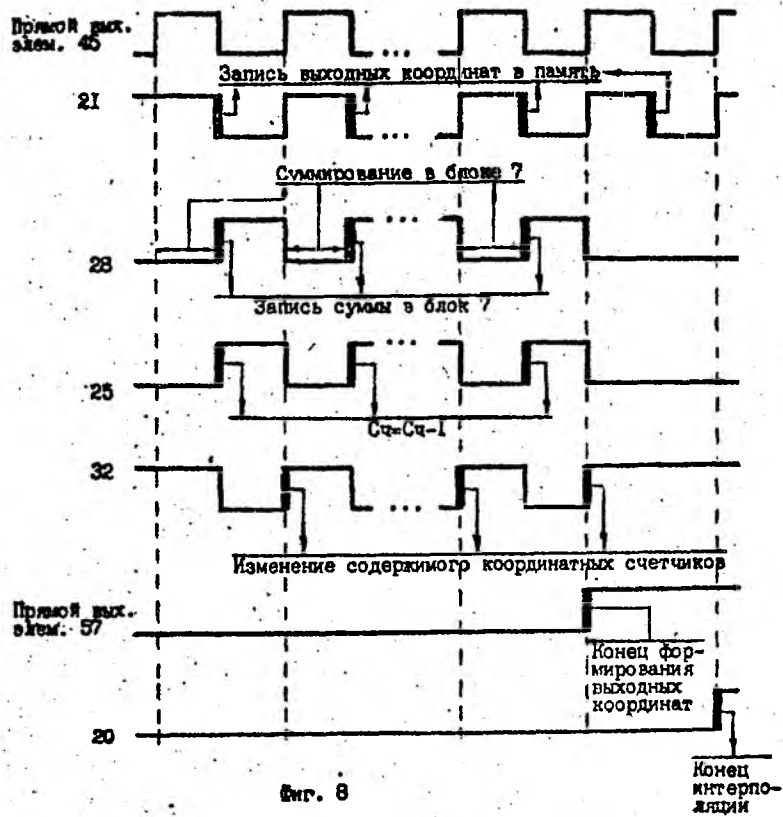
Фиг.5



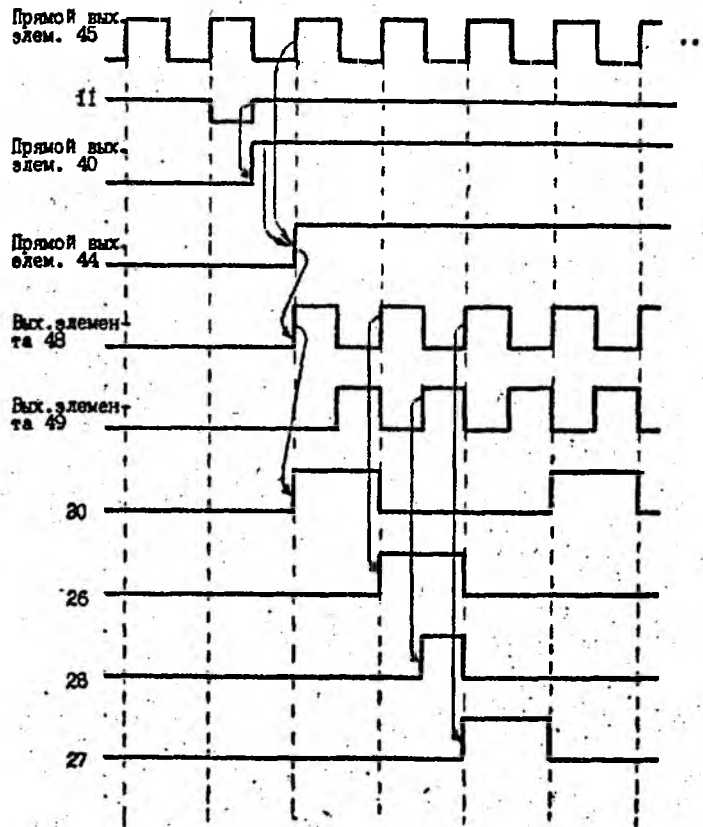
Фиг. 6



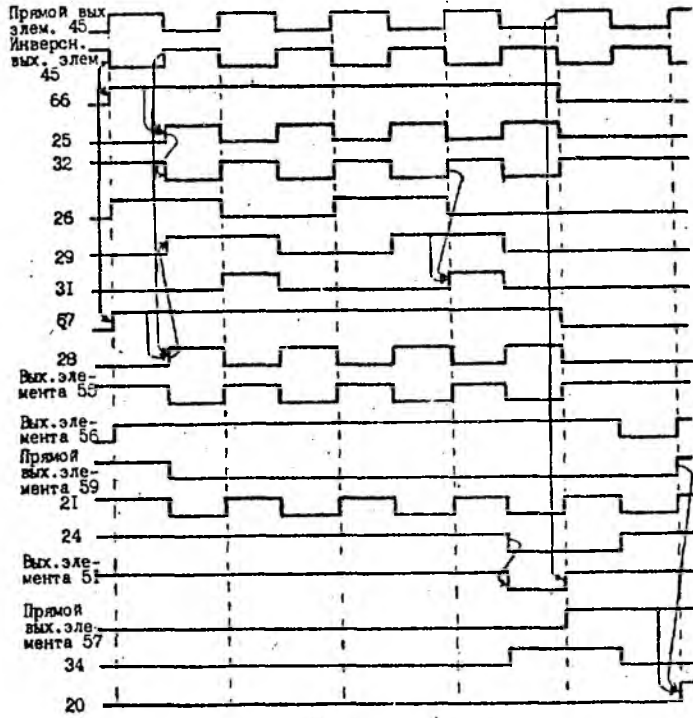
Фиг.7



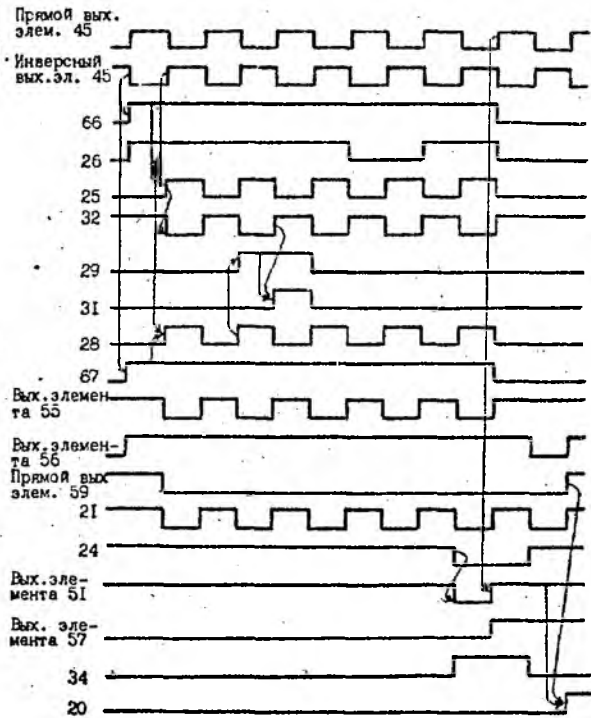
Фиг. 8



Фиг. 9



Фиг. 10



Фиг. II

Составитель А.Аникин
 Редактор В.Данко Техред Л.Олейник Корректор В.Гирняк

Заказ 439 Тираж 482 Подписное
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101