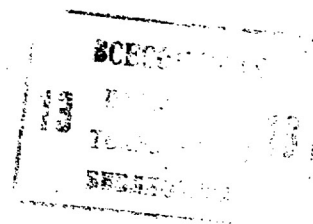




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

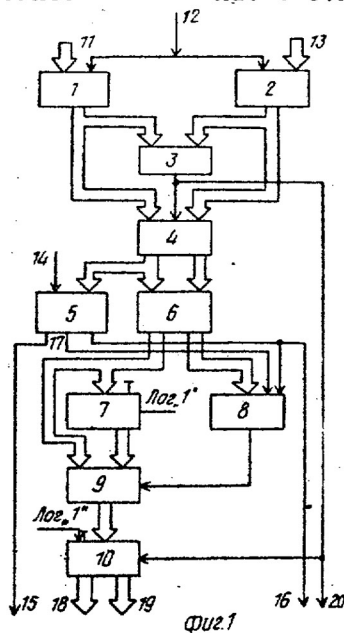
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4011246/24-24
- (22) 15.01.86
- (46) 15.05.87. Бюл. № 18
- (71) Винницкий политехнический институт
- (72) А.М.Петух, Д.Т.Ободник,  
А.Н.Романюк и В.Н.Шапов
- (53) 621.503.55(088.8)
- (56) Авторское свидетельство СССР  
№ 529458, кл. G 05 B 19/18, 1976.  
Хоровиц П., Хилл У. Искусство  
схемотехники. М.: Мир, 1983, т.1,  
с. 588.

- Авторское свидетельство СССР  
№ 579599, кл. G 05 B 19/18, 1977.
- (54) ЦИФРОВОЙ ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР
- (57) Изобретение относится к автома-  
тике и вычислительной технике и мо-  
жет быть использовано в выводных  
графических устройствах с линейны-  
ми и матричными органами регист-

рации, а также в станках с программ-  
ным управлением, в которых использо-  
ваны линейные и матричные испол-  
нительные органы. Целью изобретения  
является повышение быстродействия  
цифрового линейного интерполятора.  
Цифровой линейный интерполятор со-  
держит первый 1 и второй 2 регист-  
ры координатных приращений, блок 3  
сравнения, входной коммутатор 4,  
блок 5 управления, делитель 6 коорди-  
натных приращений, двоичный 7 и на-  
копительный 8 сумматоры, первый 10 и  
второй 9 коммутаторы. Введение в  
цифровой линейный интерполятор второ-  
го коммутатора 9 позволяет увеличить  
его быстродействие за счет сокраще-  
ния времени формирования многозаряд-  
ных приращений по ведущей координате  
в каждом такте интерполяционного цик-  
ла. 1 з.п. ф-лы. 5 ил.



(19) **SU** (11) **1310779** **A1**

Изобретение относится к автоматике и вычислительной технике и может быть использовано в выводных графических устройствах с линейными и матричными органами регистрации, а также в станках с программным управлением, в которых использованы линейные и матричные исполнительные органы.

Цель изобретения - повышение быстродействия интерполятора.

На фиг.1 изображена схема цифрового линейного интерполятора; на фиг.2 - пример воспроизведения интерполятором отрезка прямой линии, заданного приращениями  $\Delta X=15$ ,  $\Delta Y=4$ ; на фиг.3 - функциональная схема реализации блока управления; на фиг.4 - функциональная схема реализации накопительного сумматора; на фиг.5 - временные диаграммы работы интерполятора, соответствующие примеру, приведенному на фиг.2.

Цифровой линейный интерполятор содержит первый 1 и второй 2 регистры координатных приращений, блок 3 сравнения, входной коммутатор 4, блок 5 управления, делитель 6 координатных приращений, двоичный 7 и накопительный 8 сумматоры, второй 9 и первый 10 коммутаторы, первый информационный вход 11, управляющий вход 12, второй информационный вход 13, вход 14 "Пуск", стробирующий выход 15, выход 16 "Конец интерполяции", второй выход 17 блока управления, первый 18 и второй 19 информационные выходы интерполятора и управляющий выход 20.

Блок 5 управления (фиг.3) содержит формирователь 21 импульса по включению питания, первый элемент И 22, генератор 23 импульсов, первый 24 и второй 25 триггеры, второй 26 и третий 27 элементы И, счетчик 28 импульсов.

Накопительный сумматор 8 (фиг.4) содержит комбинационный сумматор 29 и регистр 30.

Цифровой линейный интерполятор работает следующим образом.

В регистры 1 и 2 координатных приращений по сигналу на управляющем входе 12 записываются соответственно приращения  $\Delta X$  и  $\Delta Y$ , задающие отрезок, а блоке 3 сравнения осуществляется сравнение величин  $\Delta X$  и  $\Delta Y$ . При  $\Delta X > \Delta Y$  на выходе блока 3 сравнения появляется уровень логической единицы,

который обеспечивает передачу приращений  $\Delta X$  и  $\Delta Y$ , поступающих с первого 1 и второго 2 регистров координатных приращений, соответственно на второй и первый выход входного коммутатора 4. При  $\Delta X < \Delta Y$  на выходе блока 3 сравнения появляется уровень логического нуля, обеспечивающий передачу значений  $\Delta X$  и  $\Delta Y$  соответственно на первый и второй выход входного коммутатора 4. Таким образом, на информационный вход блока 5 управления и первый вход делителя 6 всегда поступает меньшее из приращений, а на второй вход делителя 6 - большее.

В делителе 6 осуществляется деление большего приращения на меньшее, причем целая часть отношения большего приращения на меньшее выставляется на первом выходе делителя 6, а дробная часть - на втором выходе делителя 6. Значение целой части отношения большего приращения на меньшее поступает на информационный вход двоичного сумматора 7 и складывается со значением логической единицы, поступающей на вход переноса сумматора 7. Поскольку вторые информационные входы двоичного сумматора 7 заземлены, то на его выходе будет сформировано значение  $K+1$ , где  $K$  - целая часть отношения большего приращения на меньшее. Поскольку блоки 4 и 6 - асинхронные, то значение  $K+1$  на выходе двоичного сумматора 7 будет неизменным до момента записи новых значений координатных приращений в регистры 1 и 2 координатных приращений. Нулевой уровень сигнала на входе 14 "Пуск" интерполятора является активным сигналом записи в блок 5 управления значения меньшего приращения, определяющего число тактов в полном цикле работы интерполятора. Единичный уровень на третьем выходе блока 5 управления удерживает накопительный сумматор 8 в нулевом состоянии. Указанные действия предшествуют процессу интерполяции и составляют цикл подготовки.

Интерполирование заданного отрезка прямой начинается с появлением логической единицы на входе 14 "Пуск" интерполятора. При этом на третьем выходе блока 5 управления появляется сигнал логического нуля, не являющийся активным по отношению к сигналу установки в нулевое состояние накопительного сумматора 8. На

втором выходе 17 блока 5 управления формируется серия управляющих импульсов. С появлением переднего фронта каждого из указанных импульсов в накопительном сумматоре 8 выполняется микрооперация суммирования дробной части отношения большего приращения на меньшее со значением дробной части предыдущей суммы. При отсутствии переполнения из сумматора 8 на выход коммутатора 9 передается значение  $K$  с его первого входа.

Указанное значение равно целой части отношения большего приращения на меньшее. При возникновении переполнения из сумматора 8 коммутатор 9 обеспечивает передачу значения  $K+1$ , сформированного на втором входе коммутатора 9, на его выход. В зависимости от значения сигнала на выходе блока 3 сравнения осуществляется передача значений  $K$  или  $K+1$  на второй 18 или третий 19 информационных выходы интерполятора. При  $\Delta X > \Delta Y$  первый выход коммутатора 10 соединен с элементами регистрации горизонтального линейного или матричного органа регистрации, а второй - со счетчиком строк блока управления органом регистрации (не показаны), при  $\Delta X < \Delta Y$  первый выход коммутатора 10 соединен со счетчиком столбцов, а второй - с элементами регистрации вертикального линейного (или матричного) органа регистрации. Стробирование многоразрядных приращений на втором 18 и третьем 19 информационных выходах интерполятора осуществляется сигналом логической единицы на стробирующем выходе 15 интерполятора. Для обеспечения принципа единой временной организации сигналы на стробирующем выходе 15 интерполятора и втором выходе блока 5 управления формируются в противофазе. При этом на одном из выходов первого коммутатора 10, соответствующего ведущей координате, выставляется значение  $K$  или  $K+1$ , а на другом, соответствующем ведомой координате "1".

Значения многоразрядных приращений  $K$  или  $K+1$  поступают на регистрирующие элементы (не показаны), а значение единицы - в счетчик строк или счетчик столбцов, причем последняя отрабатывается после отработки приращений  $K$  или  $K+1$  по ведущей координате.

Число тактов в полном цикле работы интерполятора не зависит от соотношения координатных приращений и равно величине меньшего из них:

$$T_{ц} = \begin{cases} \Delta X, & \text{при } \Delta X < \Delta Y, \\ \Delta Y, & \text{при } \Delta X > \Delta Y. \end{cases}$$

Логическая единица на выходе 16 "Конец интерполирования" сигнализирует об окончании интерполяции строка прямой.

Блок 5 управления работает следующим образом.

По включению питания на выходе блока 21 формируется отрицательный импульс, устанавливающий первый 24 и второй 25 триггеры в нулевое состояние. Длительность указанного импульса определяется времязадающими элементами формирователя 21. На инверсном выходе элемента 25 устанавливается уровень логической единицы, сигнализирующий о запросе интерполятором исходных приращений. После записи приращений, определяющих аппроксимируемый отрезок прямой, в регистры 1 и 2 координатных приращений и окончания цикла подготовки поступает сигнал "Пуск" на вход 14 интерполятора. Передним фронтом указанного сигнала в счетчике 28 фиксируется значение меньшего приращения, поскольку активный уровень записи в счетчик 28 - нулевой. Передним фронтом сигнала "Пуск" интерполятора триггер 24 устанавливается в состояние логической единицы. Передним фронтом импульса, поступающего с прямого выхода генератора 23 импульсов, триггер 25 устанавливается в состояние логической единицы, поскольку на его информационный вход поступает уровень логической единицы с прямого выхода первого триггера 24. Это, в свою очередь, разрешает прохождение импульсов с выхода генератора 23 импульсов на выход элементов 26 и 27.

С каждым импульсом с выхода генератора 23 импульсов при единичном состоянии триггера 25 значение счетчика 28 уменьшается на единицу. При переходе счетчика 28 с нулевого состояния в состояние  $2^n - 1$ , где  $n$  - разрядность счетчика, на его выходе  $P$  формируется сигнал переноса. Указанным сигналом триггер 24 переводится в состояние логичес-

кого нуля. С появлением переднего фронта импульса от генератора 23 триггер 25 также устанавливается в состояние логического нуля, запрещающая прохождение импульсов на выход элементов И 26 и 27. На выходе 16 "Конец интерполяции" устанавливается сигнал логической единицы, сигнализирующий об окончании интерполяции заданного отрезка. Число импульсов, сформированных на выходе элементов И 26 и 27, равно меньшему координатному приращению, причем импульсы с выхода элемента И 26 обеспечивают микрооперацию суммирования в накопительном сумматоре 8, а импульсы с выхода элемента И 27 стробируют выходные многоуровневые приращения.

Формирователь 21 импульса по включению питания выполняется по известной классической схеме на основе логического элемента с времязадающей цепочкой.

В цифровом линейном интерполяторе выражение для многоуровневых приращений в  $i$ -м такте принимает вид

$$K_i = K \wedge \text{sign } P_i \vee (K+1) \wedge \text{sign } P_i,$$

где  $P_i$  - значение переноса из накопительного сумматора 8 на  $i$ -м шаге;

$K$  - значение целой части отношения  $\frac{\Delta X}{\Delta Y}$  при  $\Delta X \geq \Delta Y$  и  $\frac{\Delta Y}{\Delta X}$  при  $\Delta X < \Delta Y$ .

Введение в предлагаемый цифровой линейный интерполятор дополнительного коммутатора, обеспечивающего выдачу одного из двух многоуровневых приращений по ведущей координате, отличающихся на единицу сформированных в цикле подготовки и не изменяющихся в процессе интерполяции, позволяет уменьшить время цикла интерполяции по отношению к известному устройству на время

$$T = T_{\Sigma} (T_{\Sigma} - T_k),$$

где  $T_{\Sigma}$  - число тактов в полном цикле интерполяции;

$T_{\Sigma}$  - время суммирования в двоичном комбинационном сумматоре;

$T_k$  - время коммутации многоуровневых приращений коммутатором.

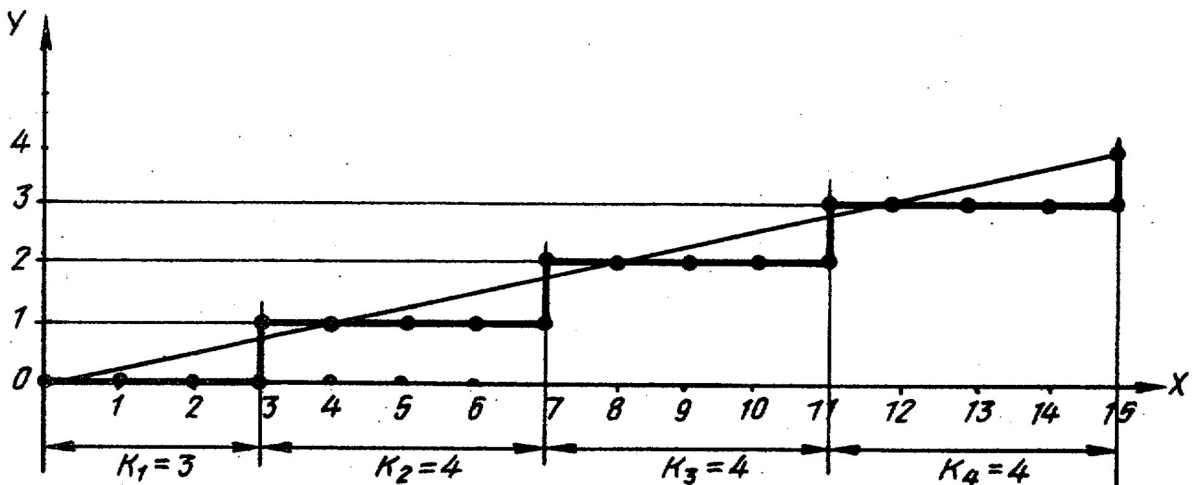
## Ф о р м у л а и з о б р е т е н и я

1. Цифровой линейный интерполятор, содержащий двоичный и накапливающий сумматоры, входной коммутатор, блок сравнения, блок управления, делитель координатных приращений, первый коммутатор, первый и второй регистры координатных приращений, информационные входы которых являются соответственно первым и вторым информационным входом интерполятора, выходы регистров координатных приращений подключены к информационным входам входного коммутатора и входам блока сравнения, выход которого соединен с управляющим входом первого и входного коммутаторов, первый выход входного коммутатора соединен с информационным входом блока управления и с первым входом делителя координатных приращений, а второй выход входного коммутатора подключен к второму входу делителя координатных приращений, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, введен второй коммутатор, первый информационный вход которого подключен к первому выходу делителя координатных приращений и к первому информационному входу двоичного сумматора, второй информационный вход второго коммутатора соединен с выходом двоичного сумматора, а управляющий вход - с выходом переноса накапливающего сумматора, информационный вход которого соединен с вторым выходом делителя координатных приращений, первый и второй управляющие входы накапливающего сумматора подключены соответственно к второму и третьему выходам блока управления, вторые информационные входы двоичного сумматора заземлены, а вход переноса подключен к сигналу логической единицы, выход второго коммутатора соединен с вторым информационным входом первого коммутатора, старшие разряды первого информационного входа которого заземлены, а младший разряд подключен к сигналу логической единицы, первый и третий выходы блока управления являются соответственно стробирующим выходом и выходом "Конец интерполяции" интерполятора, первый и второй выходы первого коммутатора являются соответственно первым и вторым информационными выходами ин-

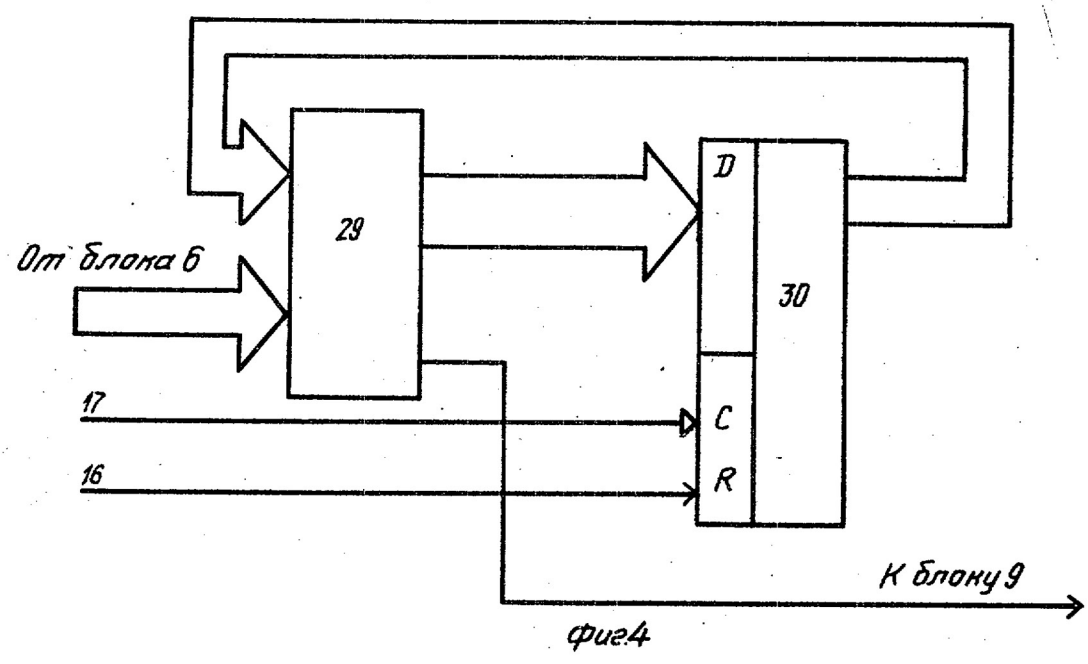
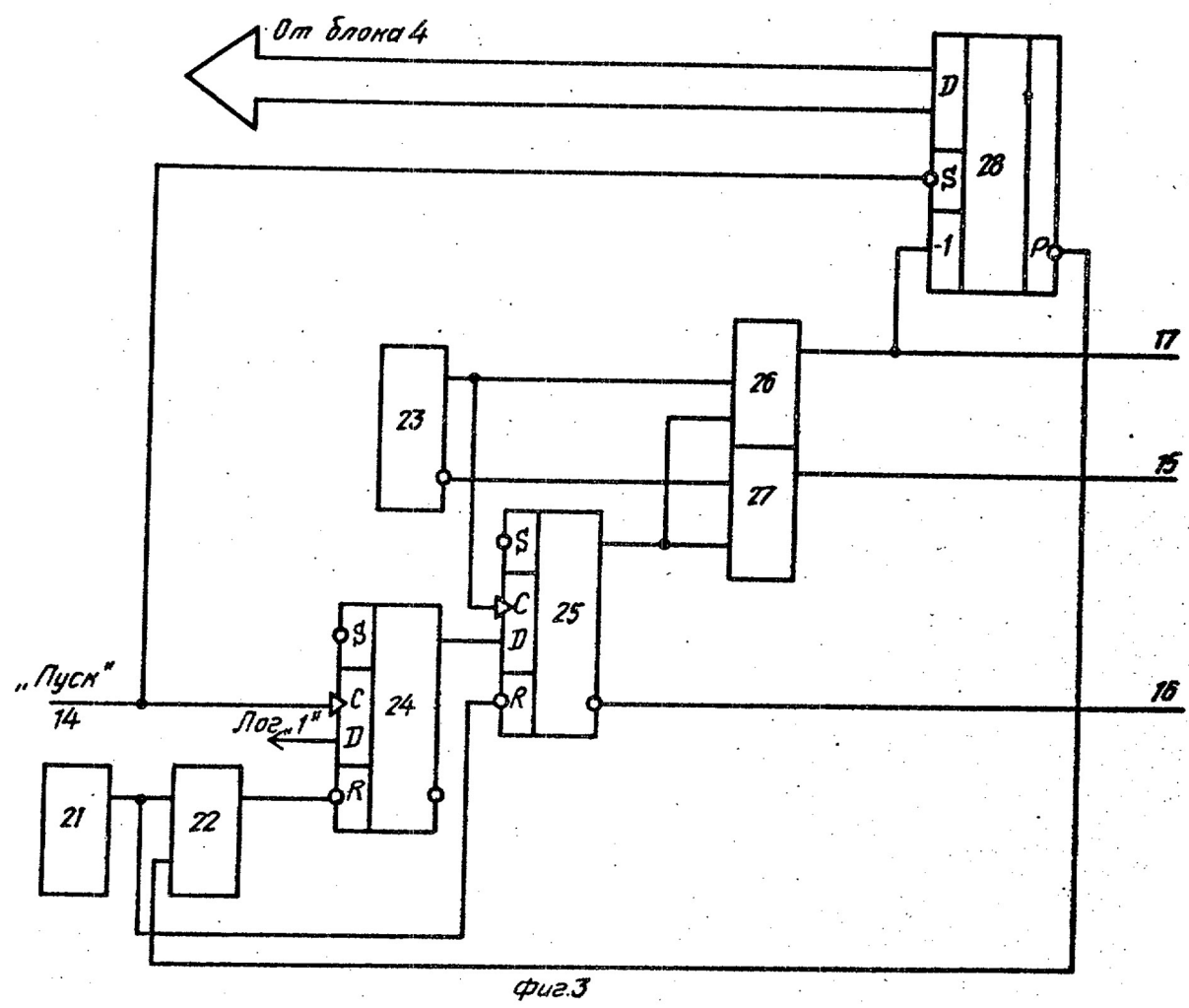
терполятора, выход блока сравнения является управляющим выходом интерполятора, управляющий вход интерполятора подключен к управляющим входам первого и второго регистров координатных приращений, а вход "Пуск" интерполятора соединен с управляющим входом блока управления.

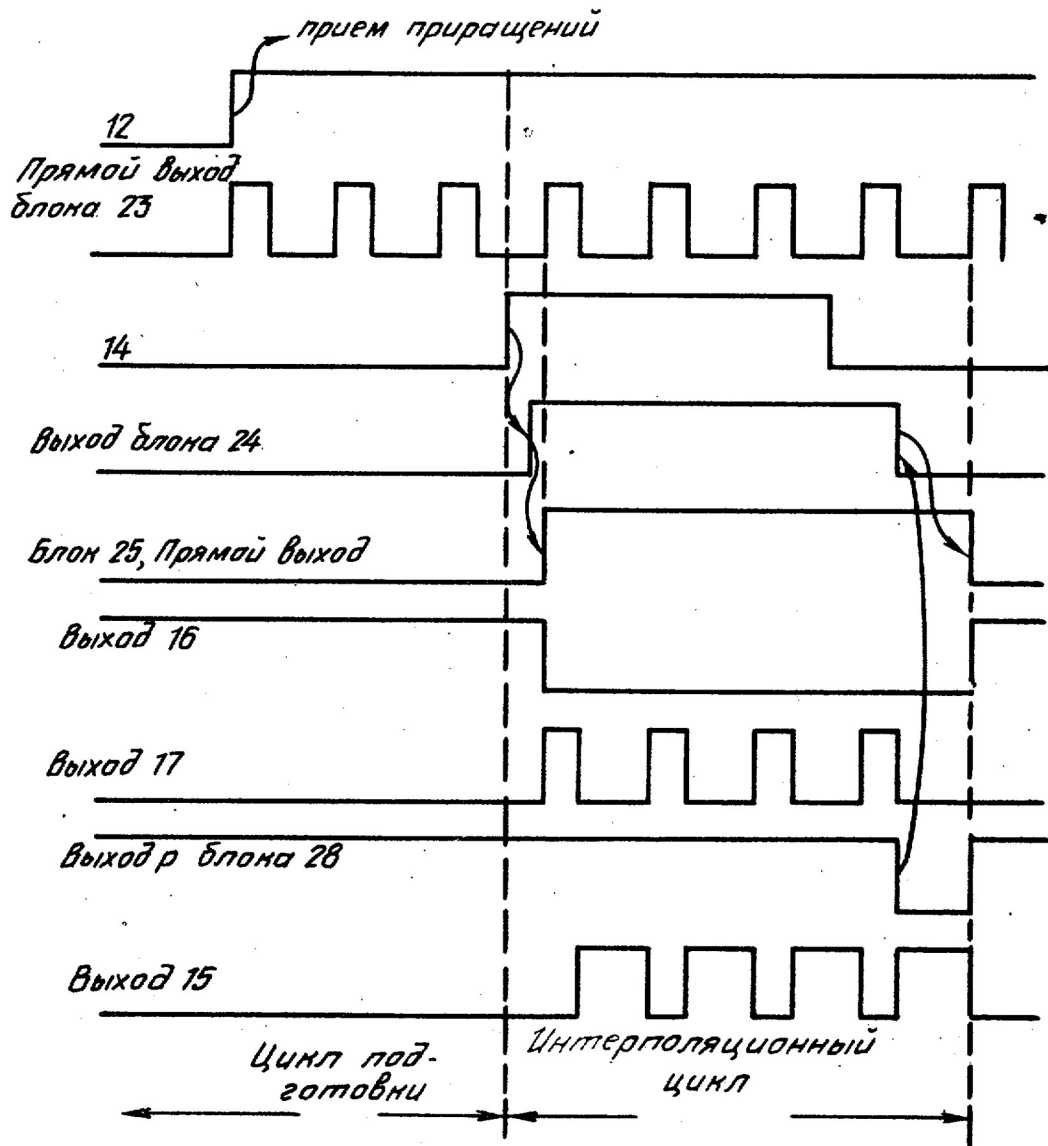
2. Интерполятор по п. 1, отличающийся тем, что блок управления содержит формирователь импульса по включению питания, генератор импульсов, первый и второй D-триггер, первый, второй и третий элементы И, счетчик, информационные входы которого являются информационными входами блока, а первый управляющий вход соединен с управляющим входом первого D-триггера и является управляющим входом интерполятора, второй управляющий вход соединен с выходом второго элемента И, а выход пе-

реноса - с первым входом первого элемента И, второй вход которого соединен с выходом формирователя импульса по включению питания и установочным R-входом второго D-триггера, а выход - с установочным R-входом первого D-триггера, информационный вход которого подключен к сигналу логической единицы, а выход - к информационному входу второго D-триггера, управляющий вход которого соединен с прямым выходом генератора импульса и первым входом второго элемента И, а выход - с вторым входом второго и первым входом третьего элемента И, инверсный выход генератора подключен к второму входу третьего элемента И, выход которого является первым выходом блока, выход второго элемента И и инверсный выход второго D-триггера являются соответственно вторым и третьим выходами блока.



Фиг. 2





Фиг. 5

Редактор Е. Копча                      Составитель И. Швец  
 Техред Л. Сердюкова                      Корректор М. Демчик

Заказ 1889/43                      Тираж 864                      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород ул. Проектная, 4