



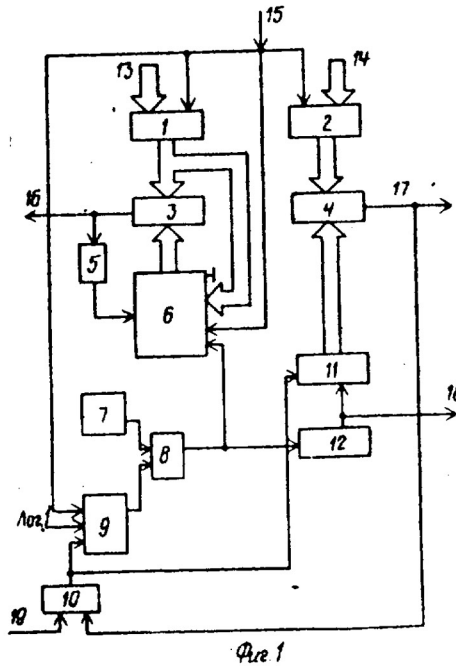
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4024778/24-24
- (22) 19.02.86
- (46) 07.07.87. Бюл. № 25
- (71) Винницкий политехнический институт
- (72) А.П.Стахов, А.Н.Романюк,  
А.М.Петух и Д.Т.Ободник
- (53) 621.503.55(088.8)
- (56) Авторское свидетельство СССР  
№ 525057, кл. G 05 B 19/18, 1976.  
Авторское свидетельство СССР  
№ 875341, кл. G 05 B 19/18, 1981.

- (54) ЦИФРОВОЙ ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР
- (57) Изобретение относится к автоматике и вычислительной технике, в ча-

стности к интерполирующим устройствам преобразования кодов. Цель изобретения - повышение быстродействия интерполятора при сохранении точности. Цифровой линейный интерполятор содержит два входных регистра 1 и 2, два блока 3 и 4 совпадения, генератор 7 импульсов, усилитель 12 частоты, два счетчика 6 и 11 импульсов, в него введены элемент ИЛИ-НЕ 10 и элемент НЕ 5, кроме этого И-НЕ-выходы первого регистра соединены с К-1- входами предварительной загрузки первого счетчика. В данном устройстве вдвое ниже, чем в устройстве-прототипе, время аппроксимации. 2 ил.



Изобретение относится к автоматике и вычислительной технике, в частности к интерполирующим устройствам для преобразования кодового значения, соответствующего приросту функции, в линейно изменяющийся цифровой код, и может быть применено в цифровых регистрирующих приборах с графическим отображением информации.

Цель изобретения - повышение скорости действия интерполятора при сохранении точности.

На фиг. 1 представлена блок-схема предлагаемого линейного интерполятора; на фиг. 2 - временные диаграммы работы интерполятора.

Цифровой линейный интерполятор содержит первый 1 и второй 2 регистры, первый 3 и второй 4 блоки совпадения кодов, элемент НЕ 5, первый счетчик 6, генератор 7 импульсов, элемент И 8, D-триггер 9, элемент ИЛИ-НЕ 10, второй счетчик 11 и делитель 12 частоты. Входы 13-15 являются соответственно первым, вторым, третьим входами интерполятора. Выходы 16-18 являются соответственно первым, вторым и третьим выходами интерполятора, вход 19 - четвертый вход интерполятора.

Регистр 1 служит для приема и хранения величины  $\frac{p \cdot m}{n}$ , где  $m$  - длительность интервала интерполяции;  $n$  - меньшее приращение. Значение  $p$  обычно выбирают равным степени двойки. Увеличение разрядности представления отношения большего приращения на меньшее позволяет достичь высокой точности аппроксимации. По входу 14 в регистр 2 записывается большее приращение  $m$ , определяющее число интерполяционных тактов. Запись в регистры 1 и 2 осуществляется нулевым уровнем импульса, поступающего на третий вход 15 интерполятора.

Блок 3 совпадения кодов обеспечивает сравнение значений, поступающих от регистра 1 и первого счетчика 6. При совпадении кодов на выходе 16 интерполятора, соединенным с входом элемента НЕ 5, формируется сигнал логической единицы. На выходе 16 интерполятора формируются шаговые приращения по ведомой координате. Выход элемента НЕ 5 соединен с установочным в нулевое состояние R-входом счетчика 6.

Блок 4 совпадения кодов осуществляет сравнение значений, поступающих

с выхода второго регистра 2 и выхода второго счетчика 11. В случае совпадения кодов, поступающих на входы блока 4, на его выходе формируется сигнал логической единицы. Указанный сигнал является сигналом "Конец интерполирования", длительность которого определяется временными задержками элементов 10, 11 и 4.

Генератор 7 импульсов соединен своим выходом с первым входом элемента И 8, второй вход которого соединен с выходом D-триггера 9, информационный вход которого соединен с сигналом логической единицы, а управляющий S-вход - с третьим входом 15 интерполятора. Триггер 9 находится в активном состоянии с момента окончания записи исходных операндов в регистры 1 и 2 до момента появления сигнала "Конец интерполирования". Установка триггера 9 в нулевое состояние осуществляется от элемента 10, на первый вход которого, совпадающий с четвертым входом интерполятора, поступает импульс установки в начальное состояние по включению питания (формирователь импульса установки в начальное состояние по включению питания не показан). Второй вход элемента ИЛИ-НЕ 10 соединен с выходом блока 4 совпадения кодов. Выход элемента И 8 соединен со счетным входом первого счетчика 6 и входом делителя 12 частоты с коэффициентом пересчета, равным  $P$ . Выход делителя 12 частоты соединен со счетным входом счетчика 11. Установочный в нулевое состояние R-вход счетчика 11 соединен с выходом элемента ИЛИ-НЕ 10.

Нулевым уровнем сигнала, поступающего на третий вход 15 интерполятора, счетчик 6 устанавливается в состояние, равное половине значения, хранящегося в регистре 1. Запись в счетчик 6 осуществляется сигналом, поступающим на его S-вход. Старший разряд информационной входной шины счетчика 6 заземлен, а  $(K-1)$  младших разрядов соединены с  $(K-1)$  старшими разрядами входной шины регистра 1, где  $K$  - разрядность регистра 1 и счетчика 6. Младший разряд регистра 1 в установке счетчика 6 не участвует. Указанное соединение обеспечивает монтажным путем подачу на информационный вход

счетчика 1 значения  $\frac{p \cdot m}{2n}$ .

Интерполятор работает следующим образом.

На первый вход 13 интерполятора поступает значение  $\frac{P \cdot m}{n}$ , где  $m$  - большее приращение;  $n$  - меньшее приращение, задающее исходный отрезок прямой. На второй вход регистра 2 поступает значение большего приращения.

Стробирование значений  $\frac{P \cdot m}{n}$  и  $m$ , поступающих соответственно на первый и второй регистры, осуществляется нулевым уровнем импульса, поступающего на третий вход 15 интерполятора. Длительность стробирующего импульса выбирается большей переходных процессов, связанных с записью в регистры 1 и 2, и времени записи установившегося значения на выходе регистра 1 в счетчик 6. Монтажным соединением обеспечена подача на информационный вход счетчика 6 значения, равного половине величины  $\frac{P \cdot m}{n}$ , хранящейся в регистре 1. Для этого старший разряд входной информационной шины счетчика 6 заземляют, а старшие  $(K-1)$  разрядов регистра 1 соединяют с младшими  $(K-1)$  разрядами информационного входа счетчика 6, где  $K$  - разрядность регистра 1 и счетчика 6. По переднему фронту стробирующего импульса в счетчике 6 фиксируется значение  $\frac{P \cdot m}{2n}$ , а триггер 9 переходит в состояние логической единицы. Предшествующее нулевое состояние триггера 9 и счетчика 11 при обработке первого отрезка прямой обеспечивается отрицательным импульсом, поступающим на четвертый вход 19 интерполятора по включению питания. По окончании воспроизведения отрезка прямой на выходе блока 4 совпадения кодов формируется уровень логической единицы, устанавливающий триггер 9 и второй счетчик 11 в нулевое состояние.

Переход триггера 9 в единичное состояние под воздействием переднего фронта стробирующего импульса, поступающего на третий вход интерполятора, разрешает прохождение импульсов на выход элемент И 8.

Импульсы с выхода элемента И 8 с частотой  $f_0 = \frac{1}{T_0}$  поступают на счетный вход первого счетчика 6 и через

делитель 12, коэффициент деления которого  $P$  - на счетный вход второго счетчика 11. В момент равенства кодовых значений, записанных в регистр 1 и счетчик 6, срабатывает блок 3 совпадения кодов, устанавливая счетчик 6 в нулевое состояние. Нулевой уровень сигнала установки счетчика 6 в нулевое состояние формируется инвертированием элементом НЕ 5 единичного значения, поступающего с выхода блока 3, при совпадении кодовых значений на его входах.

Период следования импульсов, поступающих с выхода блока 3, равен  $T_1 = \frac{mP \cdot T_0}{n}$ . За счет первоначальной установки счетчика 6 в состояние  $mP/2n$  первый импульс, поступающий на выход 16 интерполятора, задержан относительно момента появления первого импульса на выходе элемента И 8 на интервал времени  $T_1/2$ .

В момент времени, когда совпадают кодовые значения, записанные в регистр 2 и счетчик 11, срабатывает блок 4, устанавливая счетчик 11 и триггер 9 в нулевое состояние. Сформированный на выходе блока 4 импульс сигнализирует об окончании процесса интерполяции. Этот момент отстоит от начала работы интерполятора на интервал времени  $T = mP \cdot T_0$ . За это время на третий выход 18 интерполятора с делителя 12 частоты поступает

$$\frac{T}{T_1} = \frac{mP \cdot T_0}{\frac{mP \cdot T_0}{n}} = n$$

импульсов. Указанные импульсы поступают на выход 16 интерполятора, а импульсы по ведущей координате - на выход 18 интерполятора.

В известном устройстве время преобразования составляет  $T = 2mP \cdot T_0$ .

В предлагаемом линейном интерполяторе время интерполяции отрезка прямой  $T = mP \cdot T_0$ .

Сопоставление двух последних выражений показывает, что в предлагаемом цифровом линейном интерполяторе время аппроксимации вдвое ниже чем в известном устройстве. При этом сохранена точность аппроксимации. Кроме того, линейный интерполятор имеет более низкие аппаратные затраты.

Все блоки, входящие в состав предлагаемого линейного интерполятора,

входят в состав серийно выпускаемых комплектов микросхем, что подтверждает технологичность изготовления предлагаемого линейного интерполятора.

#### Ф о р м у л а и з о б р е т е н и я

Цифровой линейный интерполятор, содержащий триггер, первый и второй регистры, первый и второй счетчики импульсов, делитель частоты, первый и второй блоки совпадения кодов, генератор импульсов, выход первого счетчика импульсов соединен с первым входом первого блока совпадения кодов, второй вход которого соединен с выходом первого регистра, первый вход которого является первым входом цифрового линейного интерполятора, второй вход которого является первым входом второго регистра, выход которого соединен с первым входом второго блока совпадения кодов, второй вход которого соединен с выходом второго счетчика импульсов, счетный вход которого соединен с выходом делителя частоты и первым выходом цифрового линейного интерполятора, отличающийся тем, что, с целью повышения быстродействия цифрового линейного интерполятора, в него введены элемент И, элемент НЕ, элемент ИЛИ-НЕ, первый вход которого подключен к третьему входу цифрового линейного интер-

полятора, второй вход элемента ИЛИ-НЕ соединен с выходом второго блока совпадения кодов и с вторым выходом цифрового линейного интерполятора, выход элемента ИЛИ-НЕ подключен к установочному входу второго счетчика импульсов и к установочному входу триггера, информационный вход которого соединен с источником сигнала логической единицы, управляющий вход триггера соединен с вторыми входами первого и второго регистров, первым входом первого счетчика импульсов и четвертым входом цифрового интерполятора, выход триггера подключен к первому входу элемента И, второй вход которого соединен с выходом генератора импульсов, а выход элемента И соединен с входом делителя частоты и вторым входом первого счетчика импульсов, выход первого блока совпадения кодов соединен с третьим выходом интерполятора и через элемент НЕ с третьим входом первого счетчика импульсов, старший разряд информационных входов параллельной загрузки которого соединен с источником сигнала логического нуля, выходы первого регистра соединены с входами параллельной загрузки с обеспечением соответствия К-му разряду выходов первого регистра (К-1)-го разряда входов параллельной загрузки первого счетчика импульсов.

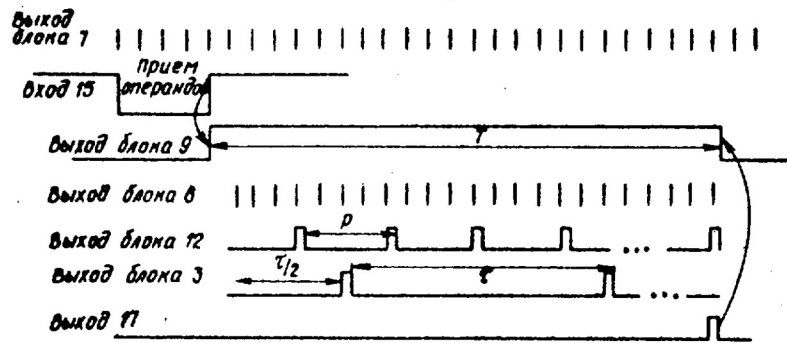


Fig. 2

Редактор О. Головач

Составитель И. Швец

Техред Л. Олийнык

Корректор Г. Решетник

Заказ 2863/43

Тираж 863

Подписное

ВНИИИ Государственного комитета СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4