

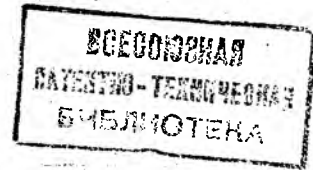


СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК.

(19) **SU** (11) **1756863 A1**

(51)5 G 05 B 19/415

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

2

(21) 4865505/24

(22) 10.09.90

(46) 23.08.92. Бюл. № 31

(71) Винницкий политехнический институт

(72) И.В.Рябовол, А.И.Максименко, А.Н.Романюк, И.Е.Пилипчук и В.С.Сенчик

(56) Авторское свидетельство СССР № 920636, кл. G 05 B 19/18, 1982.

Авторское свидетельство СССР № 1413603, кл. G 05 B 19/415, G 06 F 15/353, 1988.

(54) ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР

(57) Изобретение относится к автоматике и вычислительной технике и повышает надежность линейного интерполирования. Интерполятор содержит сдвиговый регистр 1, регистр 2 разности координатных приращений, регистр 3 координатного приращения, счетчик 4 импульсов, мультиплексор 5, ключ 6, накапливающий сумматор 7, схему 8 сравнения, блок 9 управления, триггер 10 четности

сти большего приращения, сумматор 11, мультиплексор 12, схему 13 сравнения, элемент И 14, триггер 15. На выходе мультиплексора 12 по значению исходных приращений в зависимости от их четности формируется значение оценочной функции, которое в такте, соответствующему центру аппроксимируемой прямой, сравнивается схемой 13 с текущим значением оценочной функции, определяемой в накапливающем сумматоре 7. Результат сравнения определяет наличие сбоя в работе интерполятора. При отсутствии ошибки за первый полуцикл работы интерполятора осуществляется его контроль в последнем интерполяционном такте, для чего сравнивается схемой 8 начальное и конечное значение оценочной функции. 10-12-13-15-14, 1-6-7-8-14, 3-5-7-2-12-13, 3-11-12, 3-5, 4-9-14, 9-7, 9-5, 9-4, 9-2, 9-1. 3 з.п.ф-лы, 7 ил., 4 табл.

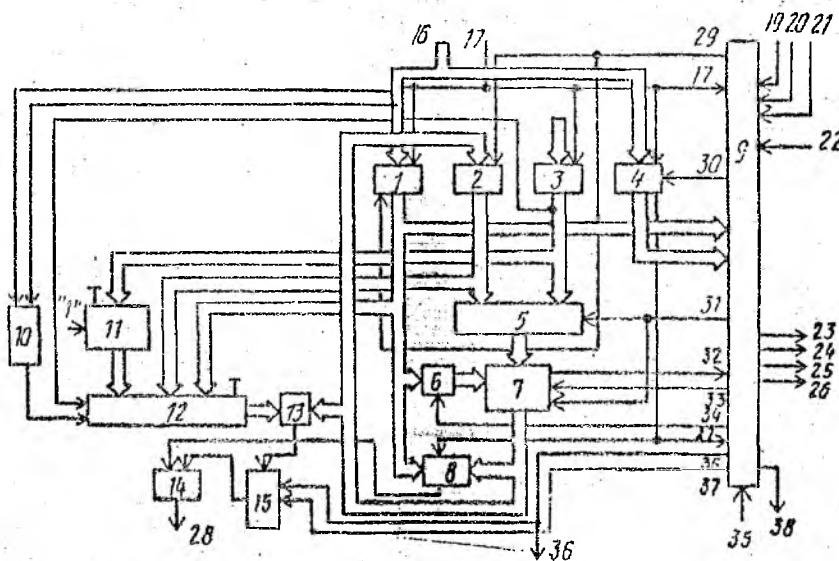


Fig. 1

(19) **SU** (11) **1756863 A1**

Изобретение относится к автоматике и вычислительной технике и предназначено для использования в системах числового программного управления, а также в системах отображения графической информации.

Известен линейный интерполятор, содержащий регистры координатных приращений, соединенные через блоки совпадения со входами сумматора, выход которого через блок анализа знака оценочной функции подключен к управляющим входам блоков совпадения и через регистр разности координатных приращений к блоку анализа знака разности координатных приращений, выходы которого подключены к входам регистров координатных приращений.

Недостаток устройства – низкая надежность из-за отсутствия узлов, выделяющих сбои реализующих элементов за время цикла, а также своевременной остановки работы интерполятора при его неисправности.

Наиболее близким к предлагаемому является линейный интерполятор, содержащий сдвиговые регистры координатного приращения, ключ, накапливающий сумматор, регистр разности координатных приращений, информационный вход которого соединен с информационным выходом накапливающего сумматора, вход начальной установки которого соединен с выходом ключа, информационный вход которого соединен с выходом регистра сдвигового координатного приращения, регистр координатного приращения, счетчик, мультиплексор, схема сравнения, блок управления, информационные входы сдвигового регистра координатного приращения, и счетчика соединены с входом значения большего приращения интерполятора, информационный вход регистра координатного приращения соединен с входом значения меньшего приращения интерполятора, выходы регистра разности координатных приращений и регистра координатного приращения соединены с первым и вторым информационными входами мультиплексора, выход которого соединен с информационным входом накапливающего сумматора, выход которого соединен с первым информационным входом схемы сравнения, второй информационный вход которого соединен с выходом сдвигового регистра координатного приращения, вход запуска интерполятора соединен с входами записи сдвигового регистра координатного приращения, регистра координатного приращения и счетчика и с входами запуска блока управления, первый выход которого соединен с входом записи регистра разности ко-

ординатных приращений и с входом управления сдвигового регистра координатного приращения, второй выход блока управления соединен со счетным входом счетчика, выход признака нулевого состояния которого соединен с выходом признака "конец интерполяции" интерполятора, с первым входом начальной вставки блока управления и входом стробирования схемы сравнения, выход признака равенства которой является выходом признака "отсутствие ошибки" интерполятора, третий выход блока управления соединен с управляющим входом мультиплексора и входом переноса накапливающего сумматора, выход знакового разряда которого соединен с первым входом блока управления, четвертый и пятый выходы которого соединены с входом синхронизации накапливающего сумматора и управляющим входом ключа соответственно, с второго по четвертый входы блока управления являются входами знака приращения первой и второй координат и входом признака координаты с большим приращением интерполятора, выходы координатных приращений которого соединены с шестым по девятый выходы блока управления, второй вход начальной установки которого является входом начальной установки интерполятора.

Недостаток интерполятора состоит в низкой оперативности контроля, поскольку сбои или неисправности интерполятора обнаруживаются только по окончании процесса интерполяции отрезка прямой.

Цель изобретения – повышение оперативности контроля за счет выдачи сигнала ошибки за первый и второй полуциклы интерполяции.

Поставленная цель достигается тем, что в линейный интерполятор, содержащий регистр координатного приращения, ключ, накапливающий сумматор, сдвиговой регистр, счетчик импульсов, первый мультиплексор, первую схему сравнения, блок управления, регистр разности координатных приращений, информационный вход которого соединен с информационным выходом накапливающего сумматора, вход начальной установки которого соединен с выходом ключа, группа информационных входов которого соединена с группой выходов сдвигового регистра координатного приращения, группа информационных входов сдвигового регистра координатного приращения и счетчика импульсов соединены с группой входов значения большего приращения интерполятора, группа информационных входов регистра координатного приращения соединена с группой входов

значения меньшего приращения интерполятора, группа информационных выходов регистра разности координатных приращений и регистра координатного приращения соединены с первой и второй группами информационных входов накапливающего сумматора, группа выходов которой соединена с первой группой информационных входов первой схемы сравнения, вторая группа информационных входов которой соединена с группой выходов сдвигового регистра координатного приращения, вход запуска интерполятора приращения, регистра координатного приращения и счетчика импульсов и с входом записи регистра разности координатных приращений и с входом управления сдвигом сдвигового регистра координатного приращения, второй выход блока управления соединен со счетным входом счетчика импульсов, выход признака нулевого состояния которого соединен с входом стробирования первой схемы сравнения и первым входом блока управления, третий выход которого соединен с управляющим входом первого мультиплексора и входом переноса накапливающего сумматора, четвертый и пятый выходы блока управления соединены с входом синхронизации накапливающего сумматора и управляющим входом ключа соответственно, с второго по четвертый выходы блока управления являются входами знака приращения первой и второй координат и входом признака координаты с большим приращением интерполятора, выходы координатных приращений которого соединены с шестого по девятый выходы блока управления, вход начальной установки которого соединен с пятым входом блока управления, дополнительно введены триггер четности, дополнительно введены триггер четности, дополнительный введены триггер четности, сумматор, второй мультиплексор, вторая схема сравнения, триггер, первый элемент И, выход которого соединен с выходом "Отсутствие ошибки", первый вход первого элемента И подключен к выходу первой схемы сравнения, а второй вход к выходу триггера, информационный Д-вход которого соединен с выходом второй схемы сравнения, первая и вторая группы информационных входов которой подключены к группе выходов второго мультиплексора и группе выходов накапливающего сумматора, выход переноса которого соединен с шестым входом блока управления, десятый выход которого подключен к управляющему выходу интерполятора и управляющему С входу триггера, установочный S-вход которого соединен с одиннадцатым выходом блока управления, выход триггера четности большего при-

ращения соединен с первым управляющим входом второго мультиплексора, а управляющий триггер четности С вход большего приращения и информационный Д-вход которого соединены соответственно к входу запуска интерполятора и младшему разряду входа значения большего приращения, второй управляющий вход второго мультиплексора соединен с младшим разрядом выхода регистра координатного приращения, первый информационный вход второго мультиплексора заземлен, а второй подключен к выходу сдвигового регистра, каждый  $(i+1)$ -й разряд выхода сумматора соединен  $i$ -м разрядом третьего входа второго мультиплексора  $/i=1, n-1/$ , где  $n$  — разрядность задания исходных приращений, каждый  $/i+1/$ -й разряд регистра разности координатных приращений соединен с  $i$ -м разрядом четвертого информационного входа второго мультиплексора, первая и вторая группы информационных входов блока управления соединены соответственно с выходом сдвигового регистра и счетчика импульсов, первый информационный вход сумматора заземлен, второй подключен к выходу регистра координатного приращения, а вход переноса соединен с входом логической единицы интерполятора, седьмой вход блока управления подключен к выходу признака октанта, двенадцатый выход — к выходу "Конец интерполяции".

Блок управления содержит блок постоянной памяти, генератор импульсов, первый и второй регистры, второй, третий, четвертый, пятый триггеры, регистр признаков, со второго по десятый элементы И, элемент неравнозначности, с первого по шестой элементы И НЕ, третью схему сравнения, первая и вторая группы информационных входов которой соединены соответственно с первой и второй группами информационных входов блока управления, а выход с первым входом девятого элемента И, выход которого подключен к шестому выходу блока управления, а второй вход к инверсному выходу генератора импульсов, к первому входу второго и третьего элементов И, выход третьего элемента И подключен к первым входам с первого по четвертый элементов И НЕ, а второй вход к выходу второго Д-триггера информационный Д-вход которого подключен к выходу логической единицы, управляющий С-вход к первому выходу первого регистра, и первому входу четвертого элемента И, установочный Р-вход первого регистра к выходу третьего С триггера, к первым входам пятого и шестого элементов И и к двенадцатому выходу блока управления, девятый, вось-

мой. одиннадцатый и десятый выходы которого соединены соответственно с выходами с первого по четвертый элементов И НЕ, первая группа выходов блока постоянной памяти микрокоманд подключена к группе информационных входов второго регистра, разрядные выходы которого соединены с младшими разрядами информационного входа блока постоянной памяти, старший разряд которого соединен с первым входом блока управления и информационным Д-входом пятого Д-триггера, управляющий С-вход которого подключен к выходу седьмого элемента И и к четвертому выходу блока управления, пятый, второй и первый выходы которого соединены соответственно с выходами четвертого, восьмого и девятого элементов И, вторые входы которых соединены с вторым входом седьмого элемента И, первым входом пятого элемента И, с управляющим С-входом третьего Д-триггера и первым выходом генератора импульсов, первый, второй, третий и четвертый выходы первого регистра подключены соответственно к первому входу восьмого элемента И, к третьему выходу блока управления, к первому входу седьмого элемента И, первому входу девятого элемента И, вход запуска блока управления соединен с установочным входом пятого триггера, с входом записи регистра признаков и первым входом десятого элемента И, второй вход которого соединен с установочными R-входами пятого и третьего триггеров и с выходом начальной установки блока управления, управляющий С-вход пятого Д-триггера соединен с седьмым входом блока управления, а информационных заземлен выход пятого триггера подключен к информационному Д-входу третьего Д-триггера и к установочным R-входам первого и второго регистров, выход десятого элемента И соединен с седьмым выходом блока управления, выходы пятого и второго элементов И подключены соответственно к входам записи первого и второго регистров с первого по четвертый разряд информационного входа регистра признаков соединены соответственно с вторым, третьим, четвертым, шестым входами блока управления, прямой и инверсный выходы первого разряда регистра признаков, соединены соответственно с первыми входами первого и второго элементов И-НЕ, вторые входы которых подключены к выходу пятого элемента И-НЕ, прямой и инверсный выходы второго разряда регистра признаков соединены соответственно с первыми входами третьего и четвертого элементов И-НЕ, вторые входы которых подключены к выходу шестого элемента И-НЕ, вторые входы пятого и

шестого элементов И-НЕ соединены с выходом элемента неравнозначности, первый и второй вход которого подключены соответственно к прямому выходу четвертого разряда регистра признаков и выходу четвертого триггера, первые входы пятого и шестого элементов И-НЕ подключены соответственно к прямому и инверсному выходам третьего разряда регистра признаков.

Накапливающий сумматор содержит комбинированный сумматор и регистр, группа выходов которого подключена к первой группе информационных входов комбинационного сумматора, вторая группа информационных входов которого соединена с группой информационных входов накапливающего сумматора, вход переноса и выход переноса которого подключены соответственно к входу переноса и выходу переноса комбинационного сумматора, вход начальной установки регистра соединения с входом начальной установки накапливающего сумматора, вход синхронизации которого соединен с входом синхронизации регистра, группа выходов которого является выходом накапливающего сумматора.

В известных цифровых линейных интерполяторах контроль работы или отсутствовал или осуществлялся только по окончании цикла интерполяции. В предлагаемом линейном интерполяторе за счет введения второй схемы сравнения мультиплексора, сумматора и триггера обнаруживается факт сбоя работы интерполятора за первый полуцикл его работы, что существенно повышает оперативность контроля.

На фиг.1 изображена структурная схема цифрового линейного интерполятора; на фиг.2 - граф-схема алгоритма работы устройства; на фиг.3 - функциональная схема реализации блока управления; на фиг.4 - временная диаграмма работы блока управления; на фиг.5 - функциональная схема выполнения накапливающего сумматора; на фиг.6 - функциональная схема реализации схемы сравнения; на фиг.7 - схема распределения управляющих воздействий.

Цифровой линейный интерполятор содержит сдвиговой регистр 1 координатного приращения, регистр 2 разности координатных приращений, регистр 3 координатного приращения, счетчик 4 импульсов, первый мультиплексор 5, ключ 6, накапливающий сумматор 7, первую схему 8 сравнения, блок 9 управления, триггер 10 четности большего приращения, сумматор 11, второй мультиплексор 12, вторую схему 13 сравнения, элемент И 14, триггер 15.

Интерполятор имеет входы 16-26, выходы 27 и 28, входы-выходы 29-39 блока управле-

ния. Блок 9 управления содержит блок 40 постоянной памяти команд, генератор 41 импульсов, триггер 42, элемент И 43-45, триггер 46, регистры 47 и 48, элементы И 49-52, триггер 53, регистр 54 признака, триггер 55, элемент И 56, элемент 57 неравнозначности, элементы И-НЕ 58 и 59, схему 60 сравнения, элементы И-НЕ 61-64, элемент И 65.

Сдвиговой регистр 1 координатного приращения служит для хранения большего приращения (БП), задающего исходный отрезок прямой. Значение большего приращения поступает от внешнего устройства по входу 16, а запись в регистр 1 осуществляется задним фронтом сигнала записи, поступающего на вход 17 запуска интерполятора. Значение большего приращения в исходный момент времени записывается также в счетчик 4, выполняющий функцию счетчика конца интерполяции отрезка прямой.

Первые управляющие входы сдвигового регистра 1 координатного приращения и счетчика 4 подключены к входу 17 запуска интерполятора. Сдвиг содержимого регистра 1 осуществляется задним фронтом сигнала, поступающего на вход управления сдвигом блока 1 с выхода 29 блока 9 управления. Микрооперация счета счетчика 4 осуществляется передним фронтом сигнала, формируемого на выходе 30 блока 9 управления.

Регистр 2 разности координатных приращений служит для хранения разности большего и меньшего приращения, задающего отрезок прямой. Указанная разность поступает с выхода накапливающего сумматора 7 и записывается в регистр 2 задним фронтом сигнала, поступающего с первого выхода 29 блока 9 управления.

Регистр 3 координатного приращения служит для хранения меньшего приращения, задающего отрезок аппроксимируемой прямой. Запись в регистр 3 осуществляется задним фронтом сигнала, поступающего с входа 17 запуска интерполятора. Второй информационный вход мультиплексора 5 соединен с инверсными выходами регистра 3, т.е. регистр 3 координатного приращения служит для хранения и инвертирования меньшего приращения (МП) исходного отрезка.

Мультиплексор 5 обеспечивает передачу на свой выход инверсного значения меньшего приращения, поступающего от регистра 3 координатного приращения при значении логической единицы на его управляющем входе, соединенным входом переноса сумматора 7 и выходом 31 блока 9 управления. При значении логического нуля на управляющем входе мультиплексора 5

последний осуществляет передачу значения (БП-МП), поступающего от регистра 2, на первый вход накапливающего сумматора 7.

Ключ 6 при значении логической единицы на его управляющем входе соединенном с пятым выходом 34 блока 9 управления, обеспечивает передачу инверсного значения со своего информационного входа на выход. Вход ключа 6 подключен к парафазным выходам сдвигаемого регистра 1 координатного приращения, а выход к входам начальной установки накапливающего сумматора 7.

Накапливающий сумматор 7 осуществляет суммирование значения с его информационного входа со значением, хранящимся в его внутреннем регистре. Сигнал с выхода переноса разряда сумматора 7 поступает на первый вход 32 блока 9 управления. Сигнал записи суммы во внутренний регистр сумматора 7 осуществляется передним фронтом сигнала, поступающего с четвертого выхода 33 блока 9 управления.

Первая схема 8 сравнения обеспечивает выдачу значения логической единицы на первый вход элемента И 14 при значении логического нуля на ее управляющем входе и при совпадении значения на его первом и втором информационном входах. Последние соединены соответственно с прямыми выходами сдвигового регистра 1 координатного приращения и информационными выходами накапливающего сумматора 7.

При значении логической единицы на входе схемы 8 сравнения на ее выходе формируется уровень логической единицы.

Значение логической единицы на выходе схемы 8 сравнения при наличии нулевого сигнала на выходе 38 интерполятора (сигнал "Конец интерполирования") сигнализирует о правильности обработки отрезка прямой за время интерполяции цикла. В противном случае имеет место или сбой в работе интерполятора или его неисправность.

Нулевой уровень сигнала на выходе 38 конца интерполяции, соединенный с двенадцатым выходом блока 9 управления, сигнализирует об окончании процесса интерполяции.

Блок 9 управления осуществляет управление операционными узлами интерполятора в соответствии с алгоритмом работы. Восьмой 23, десятый 24, десятый 25 и одиннадцатый 26 выходы блока 9 управления подключены к выходам координатных приращений интерполятора. Указанные выходы являются выходами +X, -X, +Y, -Y интерполятора. Сигналом запуска интерполятора является сигнал записи в регистры 1,3 и счетчик 4. Активным фронтом сигнала запуска интерполятора является задний

фронт. На вход 19 интерполятора от внешнего устройства поступает информация о знаке приращения  $\Delta X$ . При  $\Delta X \geq 0$  значение сигнала на входе 19 интерполятора, равно 0, и при  $\Delta X < 0$  единице. Совершенно аналогично определяется и знак приращения  $\Delta Y$ . При  $\Delta Y \geq 0$  на вход 20 интерполятора, соединенный с третьим входом блока 9 управления выставляется значение логического нуля, в противном случае – значение логической единицы.

Вход 21 интерполятора соединен с четвертым входом блока 9 управления. Сигнал на указанном входе определяет преобладание одного приращения над другим. При  $X > Y$  на выход 21 интерполятора выставляется значение логического "0", в противном случае – значение логической "1".

На втором выходе блока 9 управления формируется сигнал для второго управляющего входа (счетного входа) счетчика 4. На первом выходе блока 9 управления формируется сигнал сдвига содержимого регистра 1. А шестой 36 выход блока 9 управления подключен к управляющему С-входу триггера 15. Запись в триггер 15 осуществляется передним фронтом сигнала, формируемым на выходе 36 блока 9 управления. Установка в единичное состояние триггера 15 осуществляется нулевым уровнем сигнала, формируемым на седьмом 37 выходе блока 9 управления. Вход 22 начальной установки блока 9 управления соединен с пятым входом блока 9 управления. Активный уровень сигнала начальной установки нулевой.

На 35 вход блока управления поступает признак, определяющий знак разности операндов БП-2МП. Запись признака осуществляется в соответствующем триггере регистра признаков блока управления активным уровнем сигнала запуска интерполятора. Единичный уровень сигнала на входе 35 определяет принадлежность прямой к второму полуоктанту, а нулевой – к первому.

Триггер 10 четности большего приращения предназначен для хранения младшего разряда большего приращения. Информационный вход триггера 10 соединен с младшим разрядом информационной шины 16. Управляющий вход триггера 10 подключен к входу 17 запуска интерполятора. Сумматор 11 предназначен для формирования значения (МП+1), для чего его первый информационный вход заземлен, а второй соединен с выходом регистра 3 координатного приращения. Вход переноса сумматора 11 соединен с выходом логической единицы.

Второй мультиплексор 12 обеспечивает передачу на свой выход одного из четырех операндов, в зависимости от значений сигналов на его управляющих входах. Значения коммутируемых операндов на выходе блока 12 в зависимости от значений сигналов на его управляющих входах приведено в табл. 1 (первый управляющий вход мультиплексора 12 соединен с выходом триггера 10).

В табл.1 БП, МП,  $\Delta$  соответственно большее приращение, меньшее приращение, разность между большим и меньшим приращением. Знак  $\lfloor \Delta \rfloor$  определяет целую часть числа.

Первый управляющий вход мультиплексора 12 соединен с выходом триггера 10, который хранит признак, определяющий четность большего приращения. Второй управляющий вход мультиплексора 12 соединен с младшим разрядом информационного выхода регистра 3. Следует особо отметить, что, поскольку в регистре 3 хранится обратный код меньшего приращения, то о четности МП можно судить по единичному значению младшего разряда регистра 3. Первый информационный вход мультиплексора 12 заземлен, а второй подключен к выходу регистра 1. Третий информационный вход блока 12 подключен к выходу сумматора 11 следующим образом: каждый  $i$ -й разряд информационного входа 12 соединен с  $(i+1)$ -м разрядом выхода сумматора 11. Такое соединение позволяет получить на третьем входе мультиплексора 12 операнд  $(МП+1) / 2$  по значениям операнд (МП+1), формируемым на выходе сумматора 11. Четвертый информационный вход блока 12 соединен с выходом регистра 2 разности координат. Следует отметить, что на четвертом входе мультиплексора 12 по значению  $\Delta$ , хранящемуся в регистре 2, монтажным путем получают значение  $\lfloor \Delta / 2 \rfloor$ . Для этого каждый  $i$ -й разряд четвертого информационного входа мультиплексора 12 соединяется с  $(i+1)$ -м разрядом регистра 2 ( $i=1, n-1$ ).

Вторая схема 13 сравнения предназначена для сравнения операнда, получаемого на выходе мультиплексора 12, со значением оценочной функции, формируемой на выходе накапливающего сумматора 7. Выход второй схемы 13 сравнения соединен с информационным Д-входом триггера 15.

На выходе 29 устройства формируется признак отсутствия ошибки. При наличии ошибки на выходе 28 будет сформирован уровень логического нуля. Элемент И 14 предназначен для формирования сигнала "Отсутствие ошибки". Первый и второй входы элемента 14 соединены соответственно



с выходом первой схемы 8 сравнения и триггера 15.

Триггера 15 в такте, соответствующем середине аппроксимируемого отрезка прямой, запоминает значение сигнала, формируемого на выходе блока 13. Указанный сигнал определяет наличие ошибки.

На выходе 36 блока управления формируется сигнал, указывающий внешнему устройству о проведенной интерполятором контроля работа за первый полуцикл интерполирования.

Значение логического нуля на двенадцатом выходе 38 блока 9 управления указывает, что интерполирование заданного отрезка прямой закончено и интерполятор готов к приему исходных приращений. При нулевом значении сигнала на выходе 38 интерполятора осуществляется анализ сигнала "Наличие ошибки" на выходе 28 интерполятора.

Блок 40 постоянной памяти служит для хранения микрокоманд, определяющих работу устройства в различные моменты времени. Адресная часть микрокоманды хранится в регистре 48, а операционная – в регистре 47.

Генератор 41 импульсов предназначен для формирования опорных импульсных последовательностей, необходимых для выработки управляющих сигналов.

На выходах элементов И 44 и 45 формируются управляющие сигналы для С-входов регистров 47 и 48. Следует отметить, что запись в регистры 47 и 48 производится в противофазе, что позволяет за время отработки заданной микрокоманды сформировать на входе регистра 48 адрес следующей микрокоманды. Триггеры 42 и 46 предназначены для присинхронизированного начала работы интерполятора к переднему фронту импульсной последовательности, формируемой на прямом выходе генератора 41 импульсов, после появления на входе 17 активного уровня сигнала запуска.

Элементы 49-52 формируют управляющие воздействия для узлов интерполятора. Регистр 54 признаков предназначен для приема признаков определяющих расположение аппроксимируемого отрезка по отношению к координатным осям. Запись в регистр 54 осуществляется задним фронтом сигнала на входе 17 интерполятора.

Единичное состояние триггера 53 определяет промежуток времени, в течение которого на выходах 23-26 формируются шаговые приращения.

Триггер 53 предназначен для запоминания знака оценочной функции, причем нулевое состояние триггера определяет

отрицательный знак оценочной функции, а единичное – положительный.

Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 57 реализует известное правило двойственности и используется в нашем случае как управляемый инвертор. При принадлежности аппроксимируемого отрезка прямой второму полуоктанту на выходе 4 регистра 54 признаков присутствует уровень логической единицы, а следовательно, на выходе элемента 57 будет сформирован уровень, обратный состоянию триггера 55. Это в свою очередь приведет к инвертированию значения шагового приращения по ведомой координате по отношению к тому приращению, которое необходимо было бы сформировать по знаку оценочной функции. При нулевом уровне сигнала на выходе 4 регистра 54 признаков элемент 57 инвертирования не производит.

Схема 60 сравнения предназначена для определения  $[БП+1/2]$  интерполяционного такта. На первый вход схемы 60 сравнения поступает значение операнда с выхода счетчика 4 на второй вход – с выхода блока 1.

Выделение  $[БП+1/2]$  интерполяционного такта осуществляется следующим образом. С каждым интерполяционным тактом содержимое счетчика 4 уменьшается на единицу и сравнивается с содержимым сдвигового регистра 1, где хранится по окончании цикла подготовки операнд равный  $БП/2$ . При совпадении содержимого счетчика 4 и сдвигового регистра 1 на выходе схемы 60 сравнения формируется уровень логической единицы, который удерживается в течение целого интерполяционного такта.

На фиг.4 приведена временная диаграмма работы блока управления при  $БП=4$ . При этом в блоке 1 хранится значение  $[БП/2]=2$ . Первоначально в счетчик 4 заносится значение  $БП=4$ . С первым передним фронтом импульсной последовательности на выходе 30 блока управления содержимое счетчика 4 станет равным 3, а со вторым – 2. Поскольку в этом случае содержимое счетчика 4 и сдвигового регистра 1 равно, то, следовательно, во втором такте  $(БП+1)/2=2$  на выходе схемы 60 сравнения появится уровень логической единицы.

Рассмотрим случай нечетного  $БП$ . Пусть  $БП=5$ . В блоке 1 по окончании цикла интерполяции хранится значение  $[БП/2]=2$ , а в счетчике 4 – значение  $БП$ , т.е. 5. Требуется выделить  $(БП+1)/2=3$  интерполяционный такт.

С первым передним фронтом импульсной последовательности на выходе 30 блока управления содержимое счетчика 4 станет равным 4, второго – 3, третьего – 2, т.е. в

третьем интерполяционном такте содержимое счетчика 4 уравнивается с содержимым блока 1, а следовательно, в третьем интерполяционном такте на выходе схемы 60 сравнения сформируется уровень логической единицы, что и необходимо.

Таким образом, схема 60 сравнения обеспечивает выделение  $[БП+1/2]$  интерполяционного такта. Для исключения возможных переходных процессов, имеющих место на выходе схемы 60 сравнения сразу же после изменения содержимого счетчика 4, введен элемент 65, обеспечивающий выдачу результата сравнения с задержкой на полтакта (фиг.4).

Счетчик 4 предназначен для определения момента окончания процесса интерполирования. Управляющий вход счетчика 4, соединенный с входом 17 интерполятора, предназначен для занесения информации в счетчик 4, поступающий на информационную шину 16. Счетчик 4 является вычитающим. Микрооперация счета в счетчике 4 осуществляется передним фронтом сигнала, формируемого на выходе 30 блока 9 управления.

Элементы 58, 59 и 61-64 образуют блок выходной логики, формирующий по значениям признаков шаговые приращения  $+ \Delta X, - \Delta X, + \Delta Y, - \Delta Y$ .

В предлагаемом линейном интерполяторе осуществляется контроль работы устройства, основанный на анализе значения оценочной функции, причем выдача результата контроля осуществляется раздельно за первый и второй полуциклы его работы.

Контроль, основанный на анализе значения оценочной функции по окончании интерполирования отрезка прямой (реализован в устройстве прототипе) имеет следующее теоретическое обоснование.

Доказано, что при начальном значении оценочной функции, равном целой части половины большего приращения, задающего отрезок прямой, отклонение от идеальной прямой не будет превышать половины шага дискретизации. Поскольку принято начальное значение оценочной функции

$ОФ_0 = \lfloor \frac{БП}{2} \rfloor$ , а сама прямая представляет собой  $ОФ=0$ , то очевидно, что в точках аппроксимирующего отрезка, совпадающих с идеальной прямой, оценочная функция будет принимать значение  $ОФ_i = ОФ_0 = \lfloor \frac{БП}{2} \rfloor$ . В предлагаемом

линейном интерполяторе обеспечивается точное попадание в конечную точку. Следовательно, значение оценочной функции в конечной точке будет равно  $\lfloor БП/2 \rfloor$ , т.е. на-

чальному значению оценочной функции. Последнее свойство и использовано для контроля работы линейного интерполятора по окончании цикла интерполяции. Действительно, если по окончании процесса интерполяции отрезка прямой значение оценочной функции, хранящееся в сумматоре 7, будет равно целой части половины большего приращения, то интерполяция отрезка прямой выполнена верно. В противном случае можно констатировать, что имеет место сбой в работе интерполятора или же последний в данный момент времени неработоспособен.

Контроль, основанный на анализе значения оценочной функции в  $\lfloor (БП+1)/2 \rfloor$  такте, т.е. за первый полуцикл его работы, имеет следующее теоретическое обоснование.

В книге Романюка А.Н. "Системы отображения измерительной информации на основе программно-аппаратных и табличных линейных интерполяторов". Автореферат на соискание ученой степени кандидата технических наук. Винница, 1988, с. 17 показано, что последовательность шаговых приращений по ведомой координате при аппроксимации отрезка прямой с максимальной точностью аппроксимации симметрична относительно своего центра. Исключение составляют не более двух значений шаговых приращений в центре последовательности, определяемых четностью исходных приращений. Учитывая указанное, можно однозначно определить число и тип шаговых приращений за первый полуцикл работы интерполятора.

Учитывая свойство симметрии, заключаем, что число единичных шагов по ведомой координате за первый и второй полуциклы интерполирования отличаются не более, чем на единицу. В табл.2 приведены значения шаговых приращений в  $\lfloor БП/2 \rfloor$  и  $\lfloor БП/2 + 1 \rfloor$  интерполяционных тактах для отрезков прямых первого полуоктанта.

В дальнейшем изложении будем учитывать, что при четном  $\lfloor (БП+1)/2 \rfloor = БП/2$ , а при нечетном БП  $\lfloor (БП+1)/2 \rfloor = БП/2 + 1$ .

Учитывая изложенное, а также значение табл.2 для четного БП и МП заключаем, что за  $\lfloor (БП+1)/2 \rfloor = БП/2$  интерполяционных тактов будет выполнено  $МП/2$  шаговых приращений по ведомой координате. Определим значение оценочной функции в  $\lfloor БП+1/2 \rfloor$  интерполяционном такте

$$\begin{aligned} ОФ \lfloor (БП+1)/2 \rfloor &= ОФ_0 + \Delta \frac{МП}{2} - \\ &- МП \left( \frac{БП}{2} - \frac{МП}{2} \right) = \frac{БП}{2} + \Delta \frac{МП}{2} - \\ &- МП \frac{\Delta}{2} = \frac{БП}{2} \end{aligned}$$



При четном БП и нечетном МП за  $\lfloor (БП+1)/2 \rfloor = БП/2$  интерполяционных тактов будет выполнено  $МП/2$  шаговых приращений по ведомой координате (табл.2), а за следующие  $БП/2$  тактов  $МП/2+1$  шаговых приращений определим значение  $ОФ$  в  $\lfloor (БП+1)/2 \rfloor$  интерполяционном такте  $ОФ$

$$\begin{aligned} ОФ \left[ \frac{БП+1}{2} \right] &= ОФ_0 + \Delta \left[ \frac{МП}{2} \right] - МП \left( \frac{БП}{2} - \left[ \frac{МП}{2} \right] \right) = \\ &= ОФ_0 + \Delta \frac{МП-1}{2} - МП \left( \frac{БП}{2} - \frac{МП-1}{2} \right) = \frac{БП}{2} + \frac{(БП-МП)(МП-1)}{2} - \\ &= \frac{МП(БП-МП+1)}{2} = \frac{БП+БП-МП-БП-МП^2+МП-МП-БП+МП^2-МП}{2} = 0 \end{aligned}$$

В случае нечетного БП и четного МП за  $\lfloor (БП+1)/2 \rfloor = \lfloor БП/2 \rfloor + 1 = (БП+1)/2$  интерполяционных тактов выполняем  $МП/2$  согласно табл. 2, шаговых приращений по ведомой координате, следовательно, значение оценочной функции в  $(БП+1)/2$  также вычисляем следующим образом:

$$\begin{aligned} ОФ \left[ \frac{БП+1}{2} \right] &= ОФ_0 + \Delta \frac{МП}{2} - МП \left( \frac{БП+1}{2} - \frac{МП}{2} \right) = \\ &= \frac{БП-1}{2} + \frac{(БП-МП) \cdot МП}{2} - \frac{МП(БП-МП+1)}{2} = \frac{БП-1}{2} + \\ &+ \frac{МП}{2} (БП-МП-БП+МП-1) = \frac{БП-1}{2} - \frac{МП}{2} = \frac{\Delta-1}{2} = \left[ \frac{\Delta}{2} \right]. \end{aligned}$$

Рассмотрим случай, когда БП и МП нечетно. Будем учитывать, что в этом случае  $\lfloor (БП+1)/2 \rfloor = \lfloor БП/2 \rfloor + 1$ . Из табл.2 следует, что при нечетном БП и МП в  $\lfloor БП/2 \rfloor + 1$  выполняется диагональный шаг. Следовательно, за  $\lfloor (БП+1)/2 \rfloor$  интерполяционных тактов будет выполнено  $\lfloor МП/2 \rfloor + 1$  диагональный шаг. Следует особо отметить, что наличие диагонального шага в  $\lfloor БП+1/2 \rfloor + 1$  такте значения МП. Определив в  $\lfloor БП+1/2 \rfloor$  интерполяционном такте отрицательное значение оценочной функции, значение  $\Delta$  будет добавлено в  $\lfloor (БП+1)/2 \rfloor + 1$  такте.

Исходя из этого находим:

$$\begin{aligned} ОФ \left[ \frac{БП+1}{2} \right] &= ОФ_0 + \Delta \left[ \frac{МП}{2} \right] - МП \left( \frac{БП+1}{2} - \left[ \frac{МП}{2} \right] \right) = \\ &= \frac{БП-1}{2} + \frac{МП-1}{2} (БП-МП) - МП \left( \frac{БП+1}{2} - \frac{МП-1}{2} \right) = \\ &= \frac{МП-1}{2} (БП-МП+МП) + \frac{БП-1}{2} - \frac{БП+1}{2} МП = \frac{МП \cdot БП}{2} - \\ &- \frac{БП}{2} + \frac{БП}{2} - \frac{БП \cdot МП}{2} - \frac{МП}{2} = - (МП+1)/2. \end{aligned}$$

Интерполятор работает следующим образом.

В качестве метода линейной интерполяции для предлагаемого цифрового линейного интерполятора используется метод оценочной функции, согласно которому на-

правление очередного шага определяется по знаку специальной вспомогательной функции  $ОФ$ , вычисляемой в процессе интерполяции. Интерполируемая прямая делит двухмерное координатное пространство, в котором она расположена, на две области, область  $ОФ < 0$  над прямой и область  $ОФ > 0$  под прямой. Самая прямая представляет собой область  $ОФ = 0$ . Интерполяция методом оценочной функции производится по следующему правилу, если промежуточная точка траектории находится в области  $ОФ$ , то следующим делается шаг по оси  $X$  (при  $\Delta X = БП$ ,  $\Delta Y = МП$ ). Если же промежуточная точка траектории находится в область  $ОФ < 0$ , то следующим выполняется комбинированный диагональный шаг.

Значение оценочной функции для предлагаемого интерполятора определяется по следующим соотношениям:  $ОФ_0 = БП/2$ ,  $ОФ_{i+1} = ОФ_i + \Delta$  при  $ОФ_i < 0$ ,  $ОФ_{i+1} = ОФ_i - МП$  при  $ОФ_i \geq 0$ .

При выполнении  $ОФ_i < 0$  выполняется комбинированный диагональный шаг, т.е. одновременные шаги по ведущей и ведомой координате. При  $ОФ_i > 0$  выполняется шаг по ведущей координате.

При интерполяции отрезка прямой, принадлежащего первому полуоктанту, от внешнего устройства поступают исходные операнды, определяющие заданный отрезок прямой и его направление. В сдвиговый регистр 1 координатного приращения и счетчик 4 по шине 16 задним фронтом сигнала записи на входе 17 запуска интерполятора записывается значение большего приращения (БП). Значение большего приращения, записанное в счетчик 4, определяет число интерполяционных тактов. В регистр 3 координатного приращения задним фронтом сигнала на входе 17 записывается значение МП, поступающее на вход 18 интерполятора. Поскольку выход регистра 3 координатного приращения, образован инверсными выходами его триггеров, то регистр 3 координатного приращения обеспечивает хранение значения меньшего приращения и его инвертирование, т.е. получение обратного кода меньшего приращения. В блоке 9 управления задним фронтом сигнала на входе 17 интерполятора запоминаются значения признаков, определяющих ориентацию отрезка в двухмерном координатном пространстве. На вход 19 интерполятора поступает значение логической единицы при  $\Delta X < 0$ , где  $\Delta X$  - значение приращения исходного отрезка прямой по оси абсцисс и логического нуля при  $\Delta X \geq 0$ .

Логический ноль на входе 20 интерполятора определяет положительный знак приращения  $\Delta Y$ , где  $\Delta Y$  — значение приращения исходного отрезка прямой по оси ординат. При  $\Delta Y > 0$  на входе 20 интерполятора выставляется значение логического нуля.

При  $\Delta X < \Delta Y$  на вход 21 интерполятора выставляется уровень логической единицы, а при  $\Delta X \geq \Delta Y$  уровень логического нуля.

На вход 38 интерполятора поступает сигнал, определяющий принадлежность аппроксимируемого отрезка прямой первому или второму полуоктанту. Единичный уровень сигнала на входе 38 определяет принадлежность прямой ко второму полуоктанту. При интерполяции отрезка прямой, принадлежащего второму полуоктанту, задание исходных приращений производится в соответствии с известным правилом двойственности, утверждающим, что интерполирование отрезка прямой с приращением МП и БП и принадлежащем второму полуоктанту можно свести к интерполированию отрезка прямой с приращениями (БП-МП), БП, принадлежащего к первому полуоктанту путем инвертирования шаговых приращений по ведомой координате. Таким образом, при интерполировании отрезка прямой с приращениями БП, МП, принадлежащего второму полуоктанту в отличие от ранее описанной процедуры в регистр 2 от внешнего устройства поступает операнд МП, а (БП-МП), а на вход 35 признака октанта подается уровень логической единицы. В первом такте цикла подготовки на выходе 34 блока управления формируется импульс положительной полярности, под воздействием которого через ключ 6 накапливающий сумматор 7 записывается значение большего приращения. При этом на выходе 31 блока управления формируется уровень логической единицы, который разрешает прохождение через мультиплексор 5 обратного кода меньшего приращения.

На вход переноса сумматора 7 поступает значение логической единицы, поскольку вычитание в сумматоре 7 осуществляется в дополнительном коде. В сумматоре 7 находится значение выражения  $\Delta = \text{БП} - \text{МП} = \text{БП} + \text{МП} + 1$

В следующем интерполяционном такте значение запоминается в регистре накапливающего сумматора, а затем переписывается в регистр 2 разности координатных приращений, уровень сигнала записи в регистр 2 — отрицательный. В указанный тактовый момент времени осуществляется

также сдвиг содержимого сдвигового регистра 1 координатного приращения в сторону младших разрядов. Поскольку до выполнения указанного действия в регистре 1 хранилось значение большего приращения БП, то после выполнения указанной операции сдвига регистр 1 принимает значение БП/2.

В следующий тактовый момент времени на выходе 34 блока 9 управления устанавливается значение логической единицы, что обеспечивает установку сумматора 7 в состояние БП/2. Указанное действие собственно предшествует процессу интерполяции и образуют цикл подготовки. Причем, в регистре 3 координатного приращения хранится значение меньшего приращения МП, в счетчике 4 — значение большего приращения БП, в регистре 2 разности координатных приращений — значение БП-МП, а в сумматоре 7 и регистре 1 координатного приращения значение БП/2. Цикл подготовки занимает три тактовых момента времени.

В цикле интерполяции в первый тактовый момент времени из содержимого сумматора 7 вычитается значение меньшего приращения, то есть обеспечивается передача инверсного значения меньшего приращения через мультиплексор 5 на информационный вход сумматора 7 и на его вход переноса выставляется значение логической единицы. Следует отметить, что поскольку по алгоритму работы предлагаемого линейного интерполятора при вычислении значения оценочной функции используется операция вычитания только значения меньшего приращения, то сигнал переноса для сумматора 7 формируется только при формировании для мультиплексора 5 сигнала передачи на его выход значения уменьшения приращения.

При отрицательном значении оценочной функции, хранящейся в сумматоре 7, к содержимому сумматора прибавляется значение  $\Delta$ , хранящееся в регистре 2. Передача значения  $\Delta$  на информационный вход сумматора 7 достигается подачей на управляющий вход мультиплексора 5 логического нуля.

При положительном значении оценочной функции, хранящейся в сумматоре 7, от содержимого последнего вычитается значение МП.

Указанные действия совершаются за тактовый момент времени, в каждом из которых формируются шаговые приращения. Значение шаговых приращений определяются значением знаков приращений  $\Delta X$ .

$\Delta Y$ , соотношением приращений  $\Delta X$  и  $\Delta Y$ , знаком оценочной функции, хранящейся в сумматоре 7, а также знаком признака, поступающего с входа 35 интерполятора. При единичном значении указанного признака согласно известного правила двойственности шаговых приращений необходимо инвертирование шаговых приращений по ведомой координате.

Цикл интерполирования заканчивается после выдачи всех шаговых приращений.

Рассмотрим более подробно работу устройства в режиме контроля. При записи большего приращения в сдвиговый регистр 1 и счетчик 4 младший разряд БП задним фронтом сигнала запуска интерполятора запоминается в триггере 10. Следовательно, состояние указанного триггера определяет четность большего приращения. При нулевом состоянии триггера 10. Большее приращение четно, в противном случае нечетно. Поскольку выдача меньшего приращения с регистра 3 осуществляется в обратном коде, то о четности меньшего приращения можно судить по единичному значению младшего разряда информационного выхода регистра 3.

После приема исходных приращений, на второй информационный вход сумматора 11 поступает значение обратного кода меньшего приращения. Поскольку первый информационный вход сумматора заземлен, а вход переноса — подключен к выходу логической единицы, то на выходе сумматора 11 получаем значение  $(МП+1)$ . Монтажным путем выходной шины сумматора на третьем информационном входе мультиплексора 12 получаем значение  $(МП+1)/2$ .

После определения значения  $\Delta = БП - МП$  и занесения его в регистр 2 разности координатных приращений на четвертый вход мультиплексора 12 поступает вначале  $[\Delta / 2]$ . Указанное значение получаем за счет монтажного сдвига операнда  $\Delta$ , хранящегося в регистре 2, в сторону младших разрядов.

После определения значения  $\Delta$  и занесения его в регистр накапливающего сумматора, осуществляется сдвиг содержимого регистра 1 в сторону младших разрядов, то есть в регистре 1 получаем значение  $[БП/2]$ .

Первый информационный вход мультиплексора 12 заземлен. Таким образом, на информационных входах мультиплексора 12 определены до начала информирования согласно табл.2 четыре возможных значения оценочной функции в центре аппроксимируемой прямой.

В зависимости от четности БП и МП на выход мультиплексора 12 будет передано

значение оценочной функции, которое будет иметь место для данной прямой в  $[(БП+1)/2]$  интерполяционном такте при безошибочном определении оценочной функции.

В блоке 9 управления по содержимому сдвигового регистра 1 и счетчика 4 выделяется БП + 1 / 2 интерполяционный такт. В этом такте содержимое оценочной функции определенные оприорно по значениям МП и БП и их четности на выходе блока 12 сравниваются второй 13 схемой сравнения с текущим значением оценочной функции, хранящегося в регистре накапливающего сумматора 7. При их несовпадении на выходе блока 13 будет сформирован уровень логического нуля, который поступит на Д-вход триггера 15. Указанное под воздействием сигнала на управляющем С входе триггера приведет к его обнулению, а, следовательно, на выходе элемента И 14 появится уровень логического нуля, который и будет сигнализировать об ошибке при интерполировании за первый полуцикл интерполирования. В каждом такте содержимое в цикле интерполяции счетчика 4 уменьшается на единицу. После выполнения БП интерполяционных тактов на выходе счетчика 4 формируется уровень логического нуля, сигнализирующий о вычислении всех требуемой значений оценочной функции.

Указанным уровнем разрешается работы схемы 8 сравнения. При равенстве содержимого сумматора 7 значению содержимого сдвигового регистра 1 на выходе схемы 8 сравнения появляется уровень логической единицы, сигнализирующей о правильности выполнения аппроксимирующих действий по расчете оценочной функции за время интерполяционного цикла. В противном случае — на выходе схемы 8 сравнения формируется уровень логического нуля. Нулевой уровень сигнала на выходе блока 8 обеспечит установку сигнала такого же уровня и на выходе 28 интерполятора.

Очевидно, что при наличии ошибки за первый полуцикл интерполирования дальнейший процесс аппроксимации завершают. Если же ошибка за первый полуцикл интерполирования отсутствует, то контроль производят по окончании интерполирования, т.е. путем анализа сигнала на выходе блока 8. Для удобства в предлагаемом интерполяторе предусмотрен вывод 36, сигнализирующий внешнему устройству об аппроксимации первой части заданного отрезка прямой. Это особенно удобно при программном анализе сигнала ошибки.

Блок управления работает следующим образом. При включении питания на входе

22 интерполятора формируется импульс отрицательной полярности устанавливающий триггера 42, 46 в нулевое состояние, а триггер 15 в единичное состояние. Нулевое состояние триггера 42 обеспечивает удержание в нулевом состоянии регистров 47 и 48. При появлении сигнала "Пуск" на входе 17 интерполятора триггер 42 устанавливается в состояние логической единицы.

Поскольку выход триггера 42 соединен с Д входом триггера 46, то передним фронтом импульса, формируемого на прямом выходе генератора 41, триггер 46 установится в единичное состояние, что в свою очередь разрешит прохождение импульсов от генератора 41 через элементы 44 и 45. Временная диаграмма работы блока 9 управления приведены на фиг.4.

Поскольку исходное состояние регистра 48 нулевое, то из блока 40 постоянной памяти будет выбрана микрокоманда, соответствующая нулевому адресу. В дальнейшем из блока 40 будут выбраны микрокоманды соответствующие адресной части микрокоманды, хранящейся в регистре 48. В регистре 47 хранится операционная часть микрокоманды. Карта прошивки блока 40 постоянной памяти приведена в табл. 3.

Следует отметить, что микрокоманды под номерами 1 - 3 полностью идентичны соответствующим микрокомандам с номерами 6-8. Указанное позволило исключить учет для указанных микрокоманд сигнала на входе 32 блока управления, т.е. знака оценочной функции. Последний учитывается только в цикле интерполирования (микрокоманды 5,6).

Граф-схема алгоритма работы интерполятора, соответствующая табл.3, приведена на фиг.2.

Единичное состояние триггера 46 разрешает установку в единичное состояние триггера 53. Последний установится в единичное состояние в цикле интерполирования и удерживается в нем до окончания выдачи последнего шагового приращения.

Распределение управляющих воздействий приведено на фиг.7. Шаговые приращения +X, -X, +Y, -Y на выходах 23-26 определяются состоянием регистра 54, а также состоянием регистра 54, а также состоянием триггера 55, в который в каждый тактовый момент времени цикла интерполяции записывается значение переполнения накапливающего сумматора 7. Зависимость значений шаговых приращений от состояния регистра 54 признаков и триггера 55 приведена в табл. 4. Активный фронт шагового приращения - передний. Временная

диаграмма на фиг.4 приведена для случая БП=4.

Предлагаемый цифровой линейный интерполятор реализован на элементах, входящих в состав серийно-выпускаемых микросхем.

Исключение составляет накапливающий сумматор 7, схема сравнения 8, блока 9 управления, функциональные схемы которых приведены на соответствующих фигурах.

Накапливающий сумматор 7 содержит комбинированный сумматор 66 и регистр 67.

Схема сравнения имеет стробирующий вход, для реализации которого (фиг.6) приведен элемент 69. В качестве схемы сравнения 13 и 68 можно использовать микросхему К531 сп.1.

В устройстве-прототипе сбой или неисправность в работе интерполятора обнаруживалась только по окончании интерполирования. В предлагаемом устройстве контроль осуществляется отдельно как для первой, так и для второй половины формируемого отрезка прямой, следовательно, при наличии ошибки при формировании первой половины отрезка прямой она будет обнаружена не по окончании интерполирования, а в  $[(БП+1)/2]$  интерполяционном такте, т.е. практически за вдвое меньшее время. Последнее и определяет более высокую оперативность контроля.

#### Ф о р м у л а и з о б р е т е н и я

1. Линейный интерполятор, содержащий регистр координатного приращения, ключ, накапливающий сумматор, сдвиговой регистр, счетчик импульсов, первый мультиплексор, первую схему сравнения, блок управления, регистр разности координатных приращений, информационный вход которого соединен с информационным выходом накапливающего сумматора, вход начальной установки которого соединен с выходом ключа, группа информационных входов которого соединена с группой выходов сдвигового регистра координатного приращения, группа информационных входов сдвигового регистра координатного приращения и счетчика импульсов соединены с группой входов значения большего приращения интерполятора, группа информационных входов регистра координатного приращения соединена с группой входов значения меньшего приращения интерполятора, группа информационных выходов регистра разности координатных приращений и регистра координатного приращения соединены с первой и второй группами информационных входов первого мультиплек-

сора, группа выходов которого соединена с первой группой информационных входов накапливающего сумматора, группа выходов которого соединена с первой группой информационных входов первой схемы сравнения, вторая группа информационных входов которой соединена с группой выходов сдвигового регистра координатного приращения, вход запуска интерполятора соединен с входами записи сдвигового регистра координатного приращения, регистра координатного приращения (счетчика импульсов и с входом запуска блока управления, первый выход которого соединен с входом записи регистра разности координатных приращений и входом управления сдвигом сдвигового регистра координатного приращения, второй выход блока управления соединен со счетным входом счетчика импульсов, выход признака нулевого состояния которого соединен с входом стробирования первой схемы сравнения и первым входом блока управления, третий выход которого соединен с управляющим входом первого мультиплексора и входом переноса накапливающего сумматора, четвертый и пятый выходы блока управления соединены с входом синхронизации накапливающего сумматора и управляющим входом ключа соответственно, с второго по четвертый входы блока управления являются входами знака приращения первой и второй координат и входом признака координаты с большим приращением интерполятора, выходы координатных приращений которого соединены с шестого по девятый выходы блока управления, вход начальной установки которого соединен с пятым входом блока управления, о т л и ч а ю щ и с я тем, что, с целью повышения оперативности контроля, в него введены триггер четности большего приращения, сумматор, второй мультиплексор, вторая схема сравнения, триггер, первый элемент И, выход которого соединен с выходами "Отсутствие ошибки", первый вход первого элемента И подключен к выходу первой схемы сравнения, а второй вход - к выходу триггера, информационный Д - вход которого соединен с выходом второй схемы сравнения, первая и вторая группы информационных входов которой подключены к группе выходов второго мультиплексора и группе выходов накапливающего сумматора, выход переноса которого соединен с шестым входом блока управления, десятый выход которого подключен к управляющему выходу интерполятора и управляющему С - входу триггера, установочный вход которого соединен с одиннадцатым выходом блока управления,

выход триггера четности большего приращения соединен с первым управляющим входом второго мультиплексора, а управляющий С-вход триггера и четности большего приращения и информационный Д-вход подключены соответственно к входу запуска интерполятора и младшему разряду входа значения большего приращения, второй управляющий вход второго мультиплексора соединен с младшим разрядом выхода регистра координатного приращения, первый информационный вход второго мультиплексора заземлен, а второй подключен к выходу сдвигового регистра, каждый  $(i+1)$ -й разряд выхода сумматора соединен с  $i$ -м разрядом третьего с входа второго мультиплексора  $i=1, n-1$ , где  $n$  - разрядность задания исходных приращений), каждый  $(i+1)$ -й разряд регистра разности координатных приращений соединен с  $i$ -м разрядом четвертого информационного входа второго мультиплексора, первая и вторая группы информационных входов блока управления соединены соответственно с группами выходов сдвигового регистра и счетчика импульсов, первый информационный вход сумматора заземлен, второй подключен к выходу регистра координатного приращения, а вход переноса соединен с входом логической единицы интерполятора, седьмой вход блока управления подключен с выходу признака октанта, двенадцатый выход - к выходу "Конец интерполяции".

2. Интерполятор по п.1, о т л и ч а ю щ и с я тем, что блок управления содержит блок постоянной памяти микрокоманд, генератор импульсов первый и второй регистры, второй, третий, четвертый и пятый триггеры, регистр признаков, второй - десятый элементы И, элемент неравнозначности, первый - шестой элементы И-НЕ, третью схему сравнения, первая и вторая группы информационных входов которой соединены соответственно с первой и второй группами входов информационного блока управления, а выход - с первым входом второго элемента И, выход которого подключен к шестому выходу блока управления, а второй вход - к инверсному выходу генератора импульсов, к первому входу шестого и третьего элементов И, выход третьего элемента подключен к первым входам с первого по четвертый элементов И-НЕ, а второй вход - к выходу второго триггера, информационный Д-вход которого подключен к выходу логической единицы, управляющий С-вход - к первому выходу первого регистра и первому входу четвертого элемента И, установочный R-вход второго регистра к выходу третьего Д-триггера, к первым



входам пятого и шестого элементов И и двенадцатому выходу блока управления, девятый, восьмой, одиннадцатый и десятый выходы которого соединены соответственно с выходами с первого по четвертый элементов И-НЕ, первая группа выходов блока постоянной памяти микрокоманд подключена к группе информационных входов первого регистра, а вторые — к группе информационных входов второго регистра, разрядные выходы которого соединены с младшими разрядами группы информационных входов блока постоянной памяти микрокоманд, старший разряд которого соединен с шестым входом блока управления и информационным Д-входом четвертого триггера, управляющий С-вход которого подключен к выходу седьмого элемента И и четвертому выходу блока управления, пятый, второй и первый выходы которого соединены соответственно с выходами четвертого, восьмого и девятого элементов И, вторые входы которых соединены с вторым входом седьмого элемента И, вторым входом пятого элемента И, управляющим С-входом третьего Д-триггера и прямым выходом генератора импульсов, первый-четвертый выходы первого регистра подключены соответственно к первому входу восьмого элемента И, третьему выходу блока управления, первому входу седьмого элемента И, первому входу девятого элемента И, вход запуска блока управления соединен с установочным входом пятого триггера, входом записи регистра признаков и первым входом десятого элемента И, второй вход которого соединен с установочными R-входами пятого и третьего триггеров и входом начальной установки блока управления, управляющий С-вход пятого триггера соединен с седьмым входом блока управления, а информационный Д-вход заземлен, выход пятого триггера подключен к информационному Д-входу третьего Д-триггера и установочным R-входам первого и второго регистра, выход десятого элемента И соединен с седьмым выходом блока уп-

равления, выходы пятого и шестого элементов И подключены соответственно к входам записи первого и второго регистров, с первого по четвертый разряд информационного входа регистра признаков соединен соответственно с вторым, третьим, четвертым и шестым входами блока управления, прямой и инверсный выходы первого разряда регистра признаков соединены соответственно с вторыми входами первого и второго элементов И-НЕ, третьи входы которых подключены к выходу пятого элемента И-НЕ, прямой и инверсный выход второго разряда регистра признаков соединены соответственно с вторыми входами третьего и четвертого элементов И-НЕ, третьи входы которых подключены к выходу шестого элемента И-НЕ, вторые входы пятого и шестого элементов И-НЕ соединены с выходом элемента неравнозначности, первый и второй вход которого подключены соответственно к прямому выходу четвертого разряда регистра признаков и выходу четвертого триггера, первые входы пятого и шестого элементов И-НЕ подключены соответственно к прямому и инверсному выходам третьего разряда регистра признаков.

3. Интерполятор по п.1, отличающийся тем, что накапливающий сумматор содержит комбинационный сумматор и регистр, группы выходов которого подключены к первой группе информационных входов комбинационного сумматора, вторая информационная группа входов которого соединена с группой информационных входов накапливающего сумматора, вход переноса и выход переноса которого подключены соответственно к входу переноса и выходу переноса, комбинационного сумматора, выходы которого соединены с информационными входами регистра, вход начальной установки регистра соединен с входом начальной установки накапливающего сумматора, вход синхронизации которого соединен с входом синхронизации регистра, группа выходов которого является выходом накапливающего сумматора.



Т а б л и ц а 1

Значение сигнала на 1-м управляю- щем входе	Значение сигнала на 2-м управляю- щем входе	Коммутируемый операнд
0	1	БП-2
0	0	0
1	1	$\lfloor A/2 \rfloor$
1	0	МП+1/2

Т а б л и ц а 2

Четность		Значение шагового при- ращения по ведомой ко- ординате в такте	
БП	МП	$\lfloor БП/2 \rfloor$	$\lfloor БП/2 + 1 \rfloor$
0	0	0	0
0	1	0	1
1	0	*	0
1	1	0	1

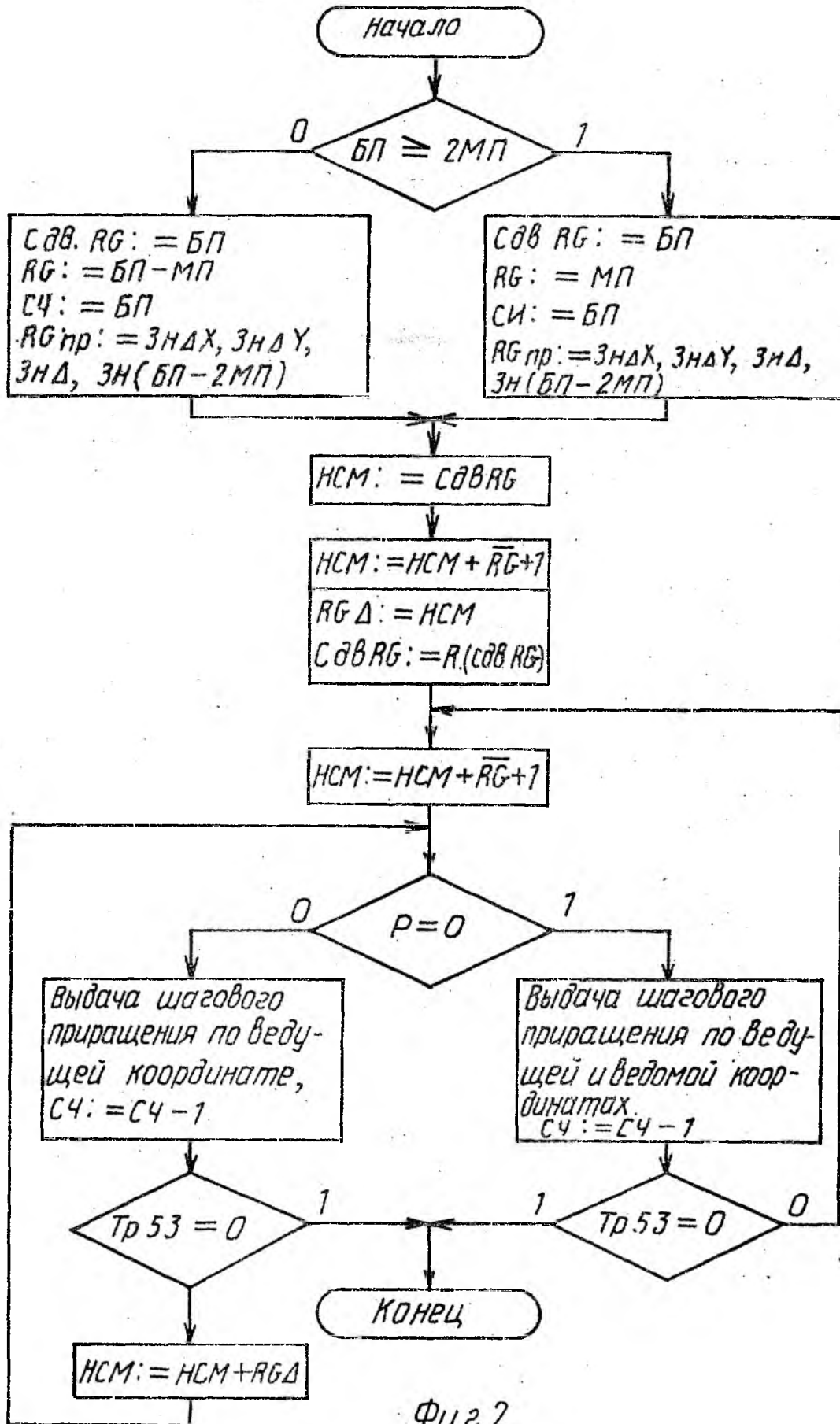
\* Единичное или нулевое приращение.

Т а б л и ц а 3

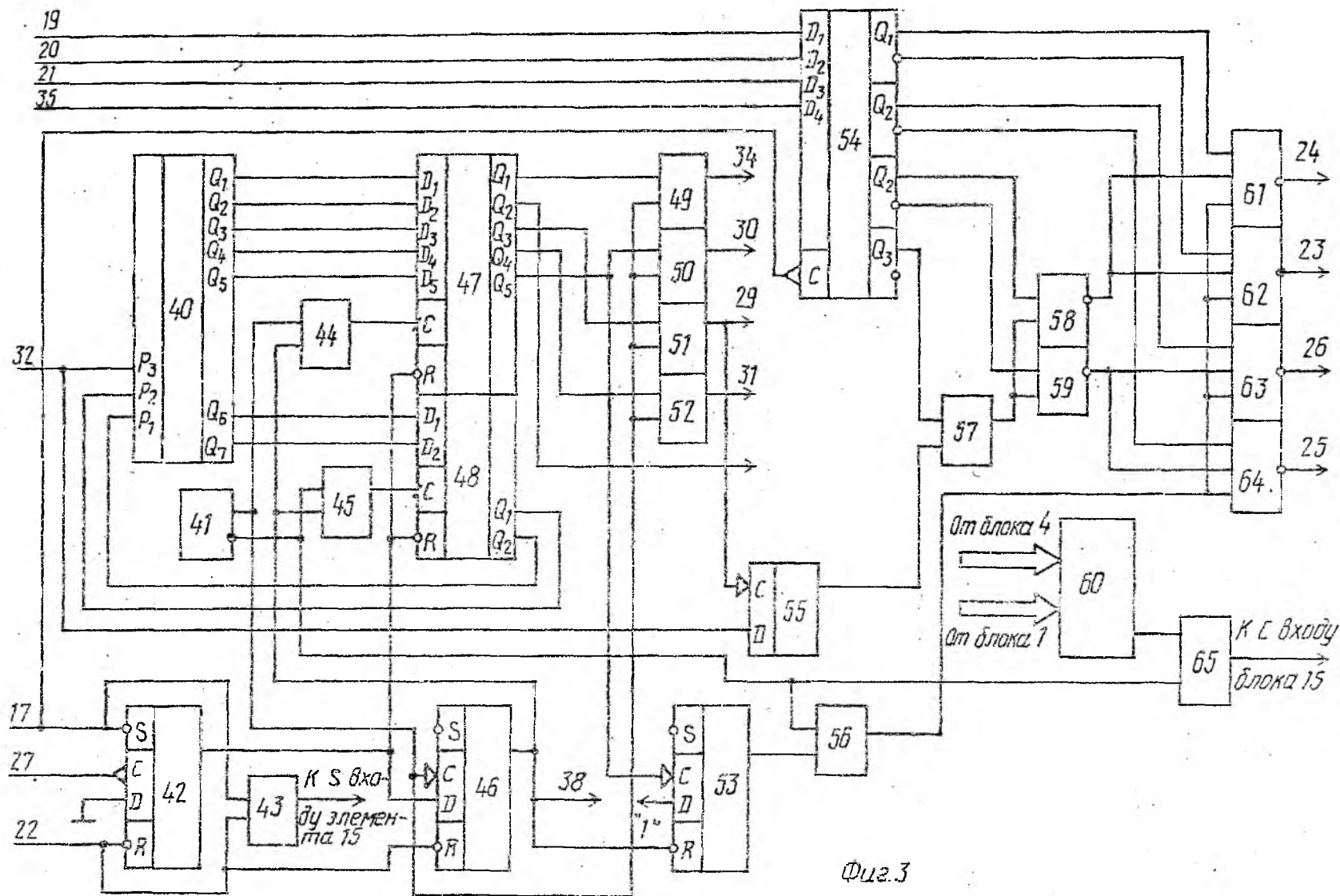
Микро- команда	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>	Q <sub>5</sub>	Q <sub>6</sub>	Q <sub>7</sub>
1	0	0	0	1	1	0	0	0	0	1
2	1	0	0	0	1	1	1	0	1	0
3	0	1	0	1	1	0	0	0	1	1
4	1	1	0	0	1	1	0	1	1	1
5	1	1	1	0	0	1	0	1	1	1
6	0	0	1	1	1	0	0	0	0	1
7	1	0	1	0	1	1	1	0	1	0
8	0	1	1	1	1	0	0	0	1	1

Т а б л и ц а 4

Признак	БП-2МП	X	Y	Состояние триггера 53					
Выход регистра 54 Q <sub>4</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	+X	-X	+Y	-Y		
0	0	0	0	0	1	0	1	0	
0	0	0	0	1	1	0	0	0	
0	0	0	1	0	1	0	1	0	
0	0	0	1	1	0	0	1	0	
0	0	1	0	0	1	0	0	1	
0	0	1	0	1	1	0	0	0	
0	0	1	1	0	1	0	0	1	
0	0	1	1	1	0	0	0	1	
0	1	0	0	0	0	1	1	0	
0	1	0	0	1	0	1	0	0	
0	1	0	1	0	0	1	1	0	
0	1	0	1	1	0	0	1	0	
0	1	1	0	0	0	1	0	1	
0	1	1	0	1	0	1	0	0	
0	1	1	1	0	0	1	0	1	
0	1	1	1	1	0	0	0	1	
1	0	0	0	0	1	0	0	0	
1	0	0	0	1	1	0	1	0	
1	0	0	1	0	0	0	1	0	
1	0	0	1	1	1	0	1	0	
1	0	1	0	0	1	0	0	0	
1	0	1	0	1	1	0	0	1	
1	0	1	1	0	0	0	0	1	
1	0	1	1	1	1	0	0	1	
1	1	0	0	0	0	1	0	0	
1	1	0	0	1	0	1	1	0	
1	1	0	1	0	0	1	1	0	
1	1	0	1	1	0	1	0	0	
1	1	1	0	0	0	1	0	1	
1	1	1	0	1	0	0	0	1	
1	1	1	1	0	0	0	0	1	
1	1	1	1	1	0	1	0	1	



Фиг.2



Фиг. 3

Прямой выход  
элемента 41

Инверсный выход  
элемента 41

17

Выход  
элемента 42

Выход  
элемента 46

Выход  
элемента 44

Выход  
элемента 45

34

33

29

31

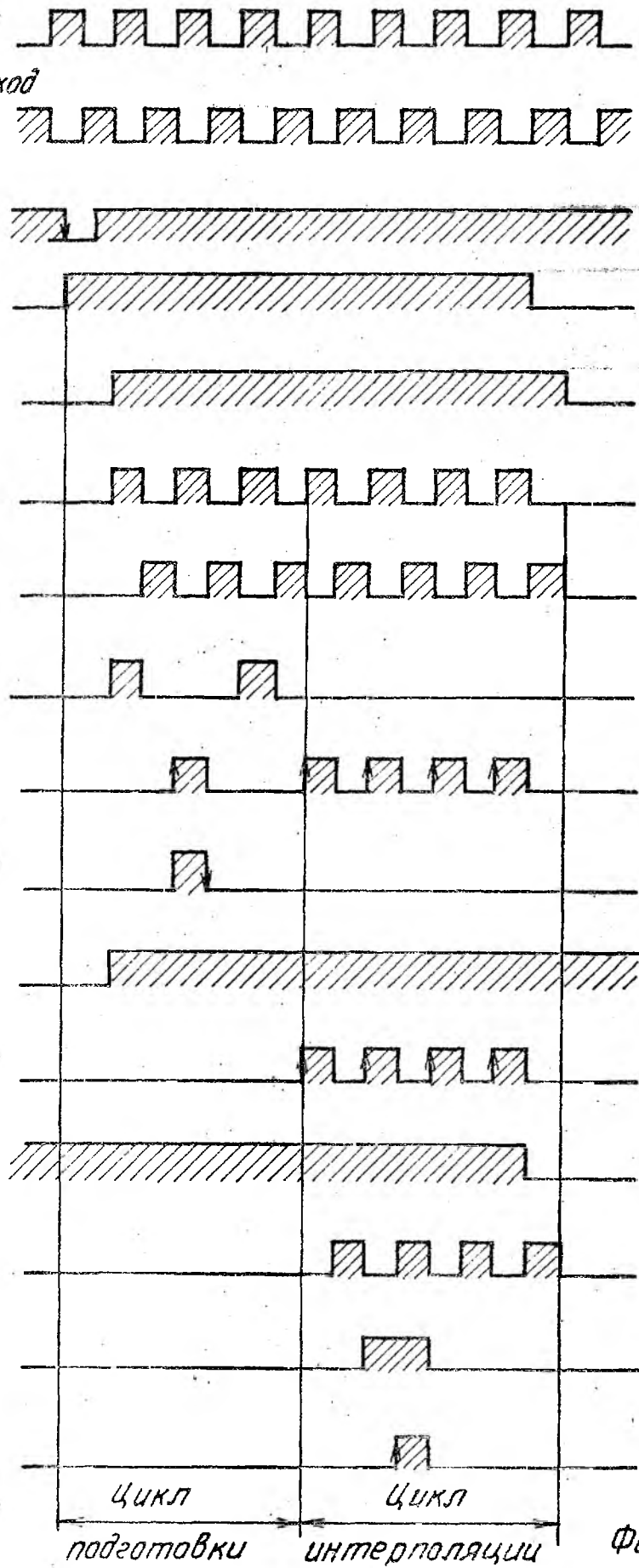
30

27

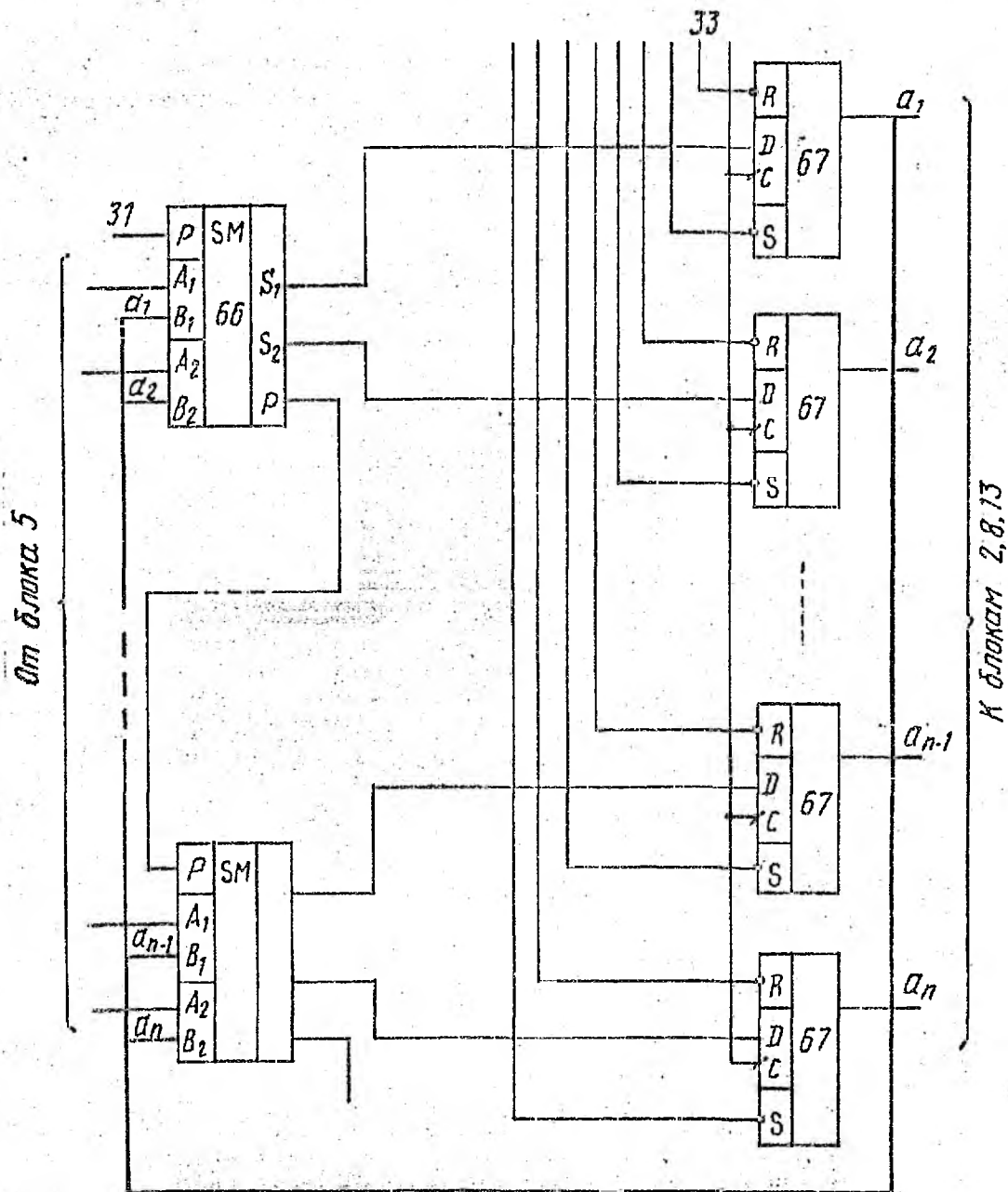
Выход  
элемента 56

Выход  
элемента 60

Выход  
элемента 65

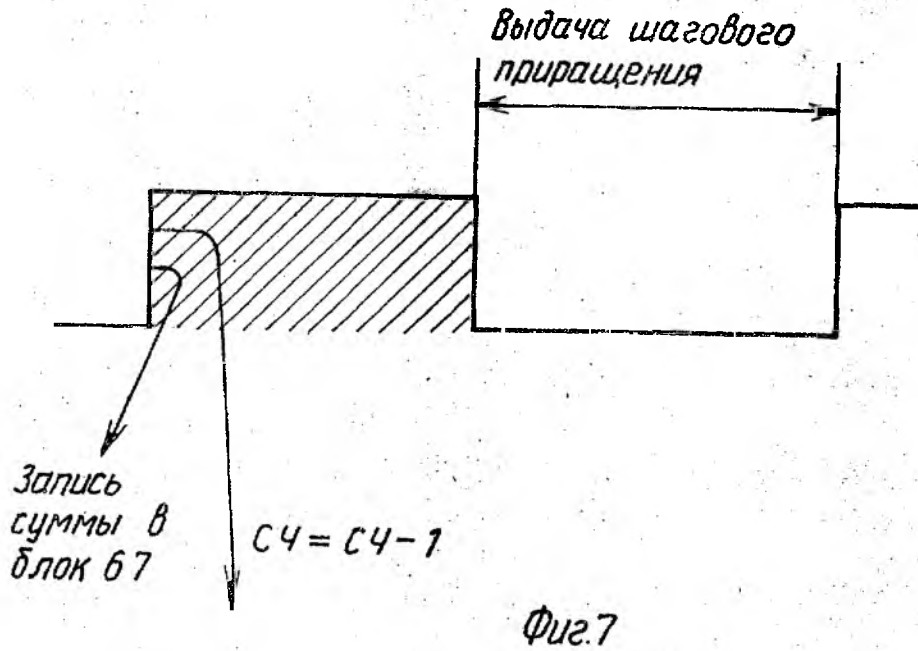
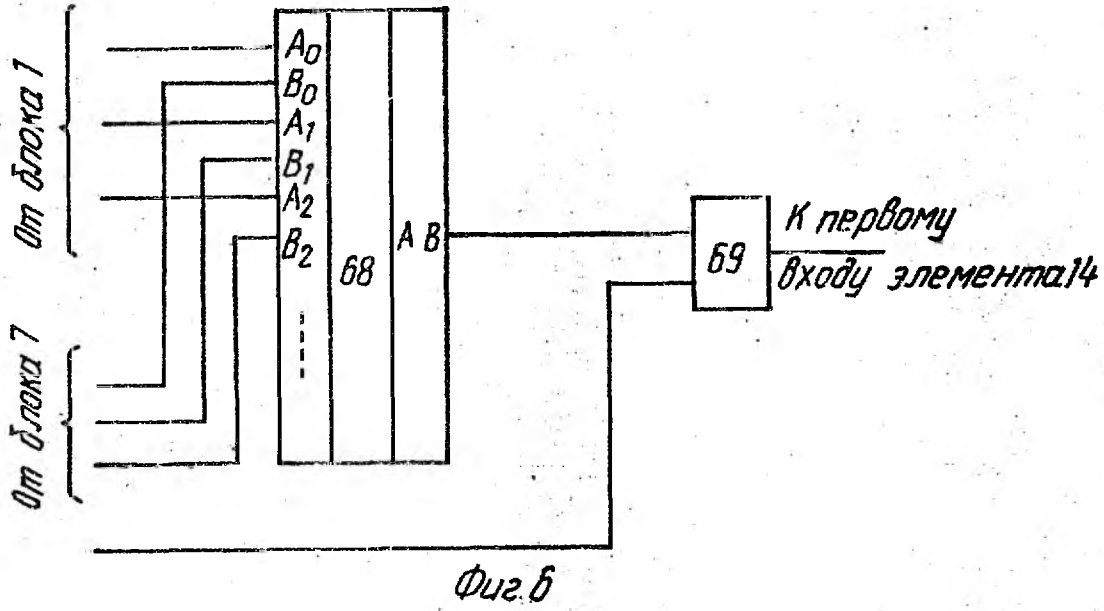


Фиг. 4



Фиг. 5





Редактор Н. Лазаренко      Составитель А. Романюк.      Техред М. Моргентал      Корректор М. Максимишинец

Заказ 3087      Тираж      Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., 4/5