



УКРАЇНА

(19) **UA** (11) **125586** (13) **U**  
(51) МПК (2018.01)  
**G05F 1/08** (2006.01)  
**H01L 27/00**

МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

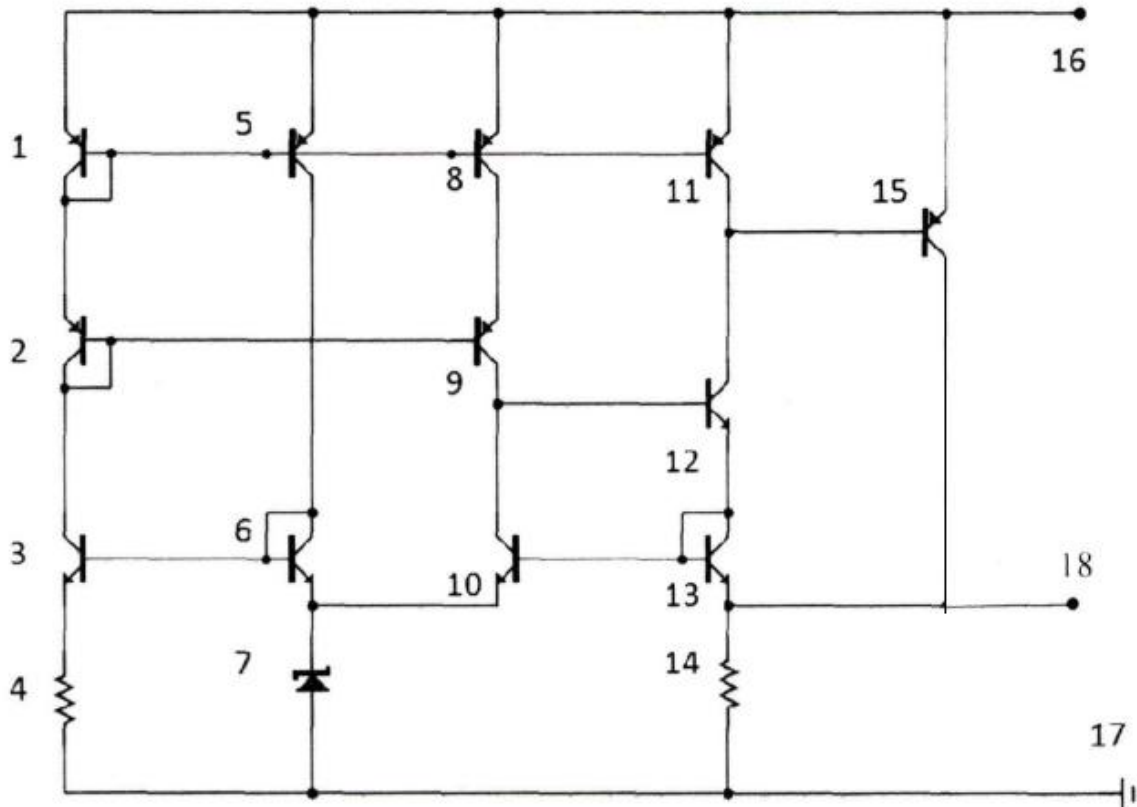
## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: <b>u 2018 00081</b>	(72) Винахідник(и): <b>Азаров Олексій Дмитрович (UA), Гарнага Володимир Анатолійович (UA), Богомолов Сергій Віталійович (UA), Медяний Роман Михайлович (UA)</b>
(22) Дата подання заявки: <b>02.01.2018</b>	(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b>
(24) Дата, з якої є чинними права на корисну модель: <b>10.05.2018</b>	
(46) Публікація відомостей про видачу патенту: <b>10.05.2018, Бюл.№ 9</b>	

## (54) ДЖЕРЕЛО ОПОРНОЇ НАПРУГИ

(57) Реферат:

Джерело опорної напруги містить шину живлення, шину нульового потенціалу, п'ять транзисторів, два резистори і стабілітрон. Додатково введено сім транзисторів.



UA 125586 U



Корисна модель належить до галузі аналогової техніки і може бути використана при створенні джерел стабільної напруги постійного струму.

Відомо джерело живлення з кільцевим стабілізатором опорної напруги (Горошков Б.И. Радиозлектронные устройства: Справочник // Б.И. Горошков - Москва, Радио и связь, 1984, - с.362) який містить шину живлення, шину нульового потенціалу, два транзистори, два стабілітрони і два резистори, причому перший стабілітрон сполучений катодом з шиною живлення, а анодом з колектором першого транзистора і базою другого транзистора, другий стабілітрон сполучений катодом з базою першого транзистора, колектором другого транзистора, першим виходом третього резистора і анодом з шиною нульового потенціалу, третій резистор сполучений другим виходом з шиною живлення, перший резистор сполучений першим виходом з емітером першого транзистора і другим виходом з шиною нульового потенціалу, другий резистор сполучений першим виходом з шиною живлення, а другим виходом з емітером другого транзистора.

Недоліком цього технічного рішення є низька ефективність використання напруги живлення, оскільки напруга стабілізації не перевищує 0,5 напруги живлення, що викликає збільшення поживної потужності, а також низька точність, обумовлена низьким коефіцієнтом стабілізації, який визначається значенням резистора ланцюга запуску.

За прототип вибрано джерело опорної напруги [патент України № 117377,) МПК (2017.01) бюл. №12, 2017р], який містить шину живлення, шину нульового потенціалу, п'ять транзисторів, три резистори і стабілітрон, причому стабілітрон сполучений анодом з шиною нульового потенціалу, перший резистор сполучений першим входом з емітером першого транзистора і другим входом з шиною нульового потенціалу, другий резистор сполучений першим виходом з шиною живлення. Емітер другого транзистора сполучений з катодом стабілітрона, емітери четвертого і третього транзисторів сполучені з шиною живлення, база третього транзистора сполучена з базою четвертого транзистора і колекторами четвертого і першого транзисторів, колектор третього транзистора сполучений з базою першого і другого транзисторів і колектором другого транзистора і емітером п'ятого транзистора, другий резистор сполучений другим виходом з першим виходом третього резистора і базою і колектором п'ятого транзистора, третій резистор сполучений другим входом з шиною нульового потенціалу.

Недоліком цього технічного рішення є низька ефективність використання напруги живлення, оскільки напруга стабілізації не перевищує 0,85 напруги живлення, що викликає збільшення поживної потужності, а також низька точність, обумовлена низьким коефіцієнтом стабілізації, який визначається значенням резистора ланцюга запуску.

В основу корисної моделі поставлено задачу створення джерела опорної напруги, в якому за рахунок введення нових елементів і зв'язків між ними підвищується ефективність використання напруги живлення і зменшується розсіювальна потужність, що спричиняє до зменшення поживної потужності, а також високої точності, обумовлену збільшенням коефіцієнта стабілізації до 1,4.

Поставлена задача вирішується тим, що в джерело опорної напруги, що містить шину живлення, шину нульового потенціалу, п'ять транзисторів, два резистори і стабілітрон, причому стабілітрон сполучений анодом з шиною нульового потенціалу, перший резистор сполучений першим входом з емітером першого транзистора і другим входом з шиною нульового потенціалу, емітер другого транзистора сполучений з катодом стабілітрона, емітери четвертого і третього транзисторів сполучені з шиною живлення, база третього транзистора сполучена з базою четвертого транзистора і колектором четвертого транзистора, колектор третього транзистора сполучений з базою першого і другого транзисторів і колектором другого транзистора, введено сім транзисторів, причому емітер шостого транзистора сполучений з базами третього, четвертого, сьомого та десятого транзисторів та колектором четвертого транзистора, емітери третього, четвертого, сьомого, десятого, дванадцятого транзисторів сполучено з шиною живлення, колектор першого транзистора сполучено з базами шостого та восьмого транзисторів та колектором шостого транзистора, колектор сьомого транзистора сполучено з емітером восьмого транзистора, колектор десятого транзистора сполучено з базою дванадцятого та колектором одинадцятого транзистора, колектор восьмого транзистора сполучено з базою одинадцятого та колектором дев'ятого транзистора, колектор дванадцятого транзистора сполучено з емітером п'ятого транзистора який сполучений з входом в другий резистор та виходом схеми, емітер одинадцятого транзистора сполучено з базами дев'ятого та п'ятого транзисторів та з колектором п'ятого транзистора, емітер дев'ятого транзистора сполучено з входом в стабілітрон та емітером другого транзистора.

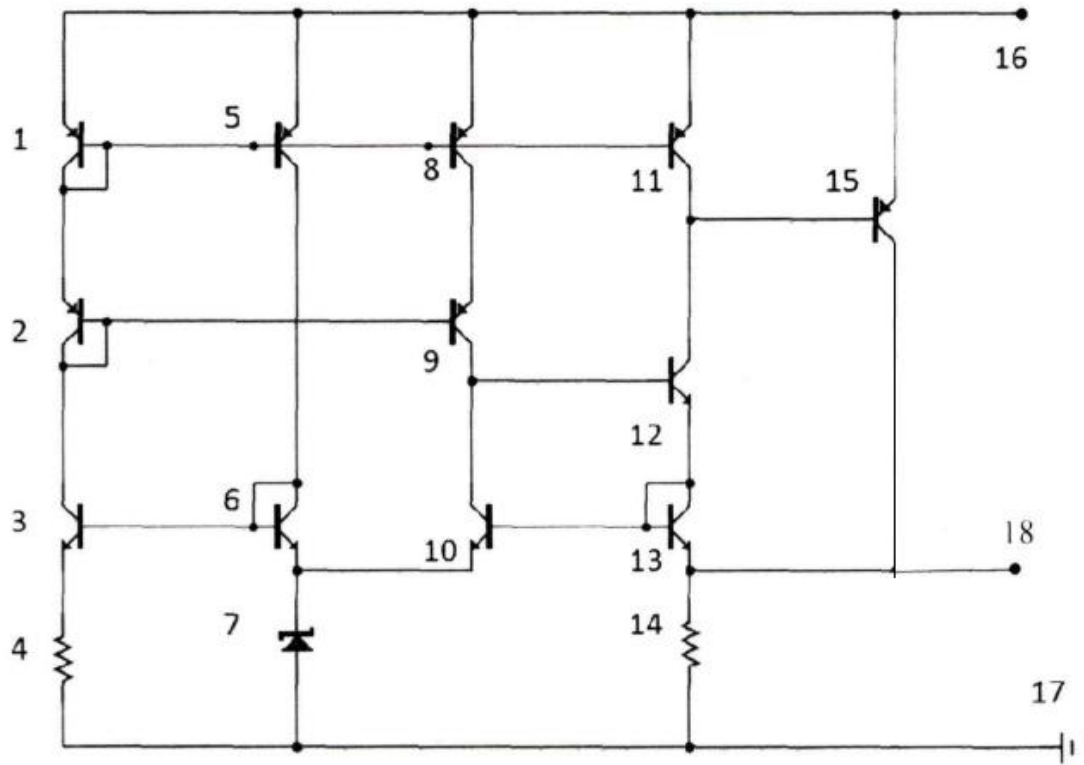
Корисна модель пояснюється кресленням, на якому зображена схема джерела опорної напруги.

Джерело опорної напруги містить шину живлення 16, шину нульового потенціалу 17, стабілітрон 7 який сполучений анодом з шиною нульового потенціалу 17, стабілітрон 7 сполучений катодом з емітерами другого 6 транзистора та дев'ятого 10 транзистора, перший резистор 4 сполучений першим входом з емітером першого 3 транзистора і другим входом з шиною нульового потенціалу 17, емітери четвертого 1, третього 5, сьомого 8, десятого 11, дванадцятого 15 транзисторів сполучено з шиною живлення 16, база дванадцятого 15 транзистора сполучена з колекторами десятого 11 та одинадцятого 12 транзисторів, колектор сьомого 8 транзистора сполучено з емітером восьмого 9 транзистора, колектор четвертого 1 та емітер шостого 2 транзисторів сполучено з базами четвертого 1, третього 5, сьомого 8, десятого 11 транзисторів, колектори третього 5 та другого 6 транзисторів сполучено з базами другого 6 та першого 3 транзисторів, бази восьмого 9 та шостого 2 транзисторів сполучено з колектором шостого 2 та першого 3 транзисторів, колектор восьмого 9 та дев'ятого 10 транзисторів сполучено з базою одинадцятого 12 транзистора, бази дев'ятого 10 та п'ятого 13 транзисторів сполучено з емітером одинадцятого 12 та колектором п'ятого 13 транзисторів, вхід другого резистора 14 сполучений з емітером п'ятого 13 транзистора та колектором дванадцятого 15 транзистора і виходом із схеми 18 та з шиною нульового потенціалу 17.

Працює пристрій таким чином: після напруги живлення 16 напруга на стабілітроні 7 починає зростати, при цьому зростає струм на першому резисторі 4, що спричиняє при відкритті першого 3 транзистора, і струм через перехід колектор-емітер починає збільшуватися, це приводить до збільшення напруги на четвертому 1 та шостому 2 транзисторах, що приводить до відкриття третього 5, сьомого 8, десятого 11 транзисторів, збільшення струму через колектор-емітер третього 5 транзистора викликає збільшення струму на другому 6 транзисторі і подальше збільшення напруги на стабілітроні 7. Цей процес продовжується доти, аж поки стабілітрон 7 не вийде на робочий режим. При цьому напруга на виході стабілітрона 7 спричиняє при відкритті емітера дев'ятого 10 транзистора. Струм який проходить через колектор-емітер восьмого 9 транзистора викликає збільшення струму, який протікає через відбивачі струму які побудовані на дев'ятому 10, п'ятому 13 та одинадцятому 12 транзисторах, що в свою чергу при відкривають дванадцятий транзистор 15. Колектор струму дванадцятого 15 транзистора збільшується, що призводить до збільшення напруги на другому 14 резисторі та на виході схеми. Це виникає тоді коли напруга на виході схеми буде рівна напрузі на стабілітроні 7.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Джерело опорної напруги, що містить шину живлення, шину нульового потенціалу, п'ять транзисторів, два резистори і стабілітрон, причому стабілітрон сполучений анодом з шиною нульового потенціалу, перший резистор сполучений першим входом з емітером першого транзистора і другим входом з шиною нульового потенціалу, емітер другого транзистора сполучений з катодом стабілітрона, емітери четвертого і третього транзисторів сполучені з шиною живлення, база третього транзистора сполучена з базою четвертого транзистора і колектором четвертого транзистора, колектор третього транзистора сполучений з базою першого і другого транзисторів і колектором другого транзистора, введено сім транзисторів, причому емітер шостого транзистора сполучений з базами третього, четвертого, сьомого та десятого транзисторів та колектором четвертого транзистора, емітери третього, четвертого, сьомого, десятого, дванадцятого транзисторів сполучено з шиною живлення, колектор першого транзистора сполучено з базами шостого та восьмого транзисторів та колектором шостого транзистора, колектор сьомого транзистора сполучено з емітером восьмого транзистора, колектор десятого транзистора сполучено з базою дванадцятого та колектором одинадцятого транзистора, колектор восьмого транзистора сполучено з базою одинадцятого та колектором дев'ятого транзистора, колектор дванадцятого транзистора сполучено з емітером п'ятого транзистора та виходом із схеми, який сполучений з входом в другий резистор, емітер одинадцятого транзистора сполучено з базами дев'ятого та п'ятого транзисторів та з колектором п'ятого транзистора, емітер дев'ятого транзистора сполучено з входом в стабілітрон та емітером другого транзистора.




---

Комп'ютерна верстка А. Крижанівський

---

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601