



УКРАЇНА

(19) UA (11) 13110 (13) U

(51) МПК

H03K 5/24 (2006.01)

G05B 1/01 (2006.01)

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ВХІДНИЙ ПРИСТРІЙ СХЕМИ ПОРІВНЯННЯ СТРУМІВ

1

2

(21) u200508995

(22) 23.09.2005

(24) 15.03.2006

(46) 15.03.2006, Бюл. №3, 2006р.

(72) Азаров Олексій Дмитрович, Захарченко Сергій Михайлович, Лукашук Олександр Олександрович

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Вхідний пристрій схеми порівняння струмів, який містить перший та другий вхідні транзистори, шину додатного живлення, шину від'ємного живлення, шину нульового потенціалу, двадцять два транзистори, перший та другий вихідні транзистори, три резистори, шину входу, шину виходу, причому вхідну шину з'єднано з емітерами першого і другого вхідних транзисторів, а їх бази - з колекторами та базами першого і другого транзисторів, емітери першого і другого транзисторів з'єднані з шиною нульового потенціалу, бази третього і четвертого транзисторів з'єднані з базами і колекторами п'ятого і шостого, базами сьомого і восьмого транзисторів відповідно, колектори третього і четвертого, емітери п'ятого і шостого, сьомого і восьмого транзисторів з'єднані з шинами додатного і від'ємного потенціалів відповідно, емітери одинадцятого і дванадцятого транзисторів об'єднані між собою, колектори першого та другого вихідних транзисторів приєднані до шин додатного та від'ємного живлення відповідно, а їх емітери об'єднані між собою та є виходом пристрою, вихідна шина з'єднана з вхідною шиною через перший резистор, який **відрізняється** тим, що в нього додатково введено шість транзисторів, причому бази першого і другого вхідних транзисторів з'єднано з колекторами тринадцятого і чотирнадцятого транзисторів відповідно, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів і базами дев'ятого і десятого транзисторів, бази тринадцятого і чотирнадцятого транзисторів з'єднані з колекторами п'ятнадцятого і шістнадцятого та з першим і другим виводами другого резистора відповідно, а емітери тринадцятого і чотирнадцятого транзисторів з'єднані з ба-

зами п'ятнадцятого і шістнадцятого та колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднані з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднані з базами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери сімнадцятого і вісімнадцятого транзисторів з'єднані з шинами додатного і від'ємного потенціалів відповідно, колектори дев'ятого та десятого транзисторів з'єднані з шиною нульового потенціалу, а їх емітери - з колекторами дев'ятнадцятого і двадцятого та базами двадцять третього і двадцять четвертого транзисторів відповідно, тоді як бази дев'ятнадцятого і двадцятого транзисторів з'єднані з базами і колекторами двадцять першого і двадцять другого та емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцятого та двадцять першого і двадцять другого транзисторів з'єднані з шинами додатного і від'ємного живлення відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднані з колекторами і базами одинадцятого і дванадцятого транзисторів, а також з базами першого і другого вихідних транзисторів відповідно, крім того колектор двадцять третього транзистора підключений до колектора і бази двадцять п'ятого транзистора, а колектор двадцять четвертого з'єднаний з емітером двадцять восьмого транзистора, двадцять п'ятий, двадцять шостий, двадцять сьомий, двадцять восьмий транзистори включені у діодному режимі, тобто з'єднано їх бази та колектори, і ці транзистори з'єднані послідовно: емітер двадцять п'ятого з'єднано з базою і колектором двадцять шостого, емітер двадцять шостого з'єднано з базою і колектором двадцять сьомого, емітер двадцять сьомого з'єднано з базою і колектором двадцять восьмого, а точка об'єднання емітера двадцять шостого транзистора та бази і колектора двадцять сьомого транзистора з'єднана з шиною вхідного сигналу, вихідна шина з'єднана з шиною нульового потенціалу через третій резистор.

(19) UA (11) 13110 (13) U

Корисна модель відноситься до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо вхідний пристрій схеми порівняння струмів [А.С. №1363452 ССРС, Н03К5/24, G05B1/01, 1985], який містить перше та друге джерела струмів, чотири резистора, перший та другий вхідні транзистори, вісім транзисторів, шину додатного живлення, шину від'ємного живлення, вхідну та вихідну шини, шину нульового потенціалу, перший та другий проміжні багатоемітерні транзистори, перший та другий вихідні багатоемітерні транзистори, два діоди, які ввімкнено зустрічно та паралельно, вихідний резистор та резистор зворотного зв'язку. Перший вивід першого діода з'єднано з вхідною шиною. Вхідну шину з'єднано з емітерами вхідних транзисторів через вхідний резистор, їх бази з'єднано з базами та колекторами першого і другого транзисторів відповідно, емітери першого і другого транзисторів з'єднано з шиною нульового потенціалу, їх колектори з'єднано з шинами додатного і від'ємного живлення через перше та друге джерела струмів відповідно, колектори першого і другого вхідних транзисторів з'єднано з колекторами третього і четвертого транзисторів та базами шостого і восьмого транзисторів відповідно, емітери третього і четвертого транзисторів з'єднано з шинами додатного і від'ємного живлення, їх бази з'єднано з базами та колекторами дев'ятого і десятого транзисторів та колекторами п'ятого і шостого транзисторів відповідно, тоді як емітери дев'ятого і десятого транзисторів з'єднано з шинами додатного і від'ємного живлення, емітери п'ятого і шостого транзисторів з'єднано між собою, їх бази з'єднано з базами та колекторами одинадцятого і дванадцятого транзисторів і колекторами шостого і восьмого транзисторів відповідно, емітери одинадцятого і дванадцятого транзисторів з'єднано з шиною нульового потенціалу, колектори тринадцятого і чотирнадцятого транзисторів з'єднано з емітерами шостого і восьмого транзисторів та базами сімнадцятого і вісімнадцятого транзисторів відповідно, а емітери тринадцятого і чотирнадцятого транзисторів з'єднано з шинами додатного і від'ємного живлення, бази тринадцятого і чотирнадцятого транзисторів з'єднано з базами та колекторами п'ятнадцятого і шістнадцятого транзисторів та емітерами сімнадцятого і вісімнадцятого транзисторів відповідно, а емітери п'ятнадцятого і шістнадцятого транзисторів з'єднано з шинами додатного і від'ємного живлення, колектори сімнадцятого і вісімнадцятого транзисторів з'єднано з базами та колекторами дев'ятнадцятого і двадцятого транзисторів та базами першого і другого вихідних транзисторів відповідно, емітери дев'ятнадцятого і двадцятого транзисторів з'єднано між собою та через коригуючий конденсатор із емітерами вхідних транзисторів, колектори першого і другого вихідних транзисторів з'єднано з шинами додатного і від'ємного живлення, а їх емітери з'єднано з виходом схеми, а вихід з'єднано із шиною нульового потенціалу через вихідний резис-

тор, вихідну шину з'єднано з емітерами вхідних транзисторів через резистор зворотного зв'язку.

Основними недоліками цього пристрою є велике значення вхідного струму зміщення нуля, що негативно впливає на точність, а також низька швидкодія та велика споживана потужність.

Відомо вхідний пристрій схеми порівняння струмів [А.С. №1450098 ССРС, Н03К5/24, G05B1/01, 1985], який містить вхідну шину, яку з'єднано з першими выводами першого резистора і двох зустрічно і паралельно ввімкнених діодів, емітером першого вхідного та емітером другого вхідного транзистора, база якого з'єднана з базою і колектором третього транзистора, емітер якого з'єднаний з шиною нульового потенціалу і з емітером четвертого транзистора, колектор і база якого з'єднані між собою і з базою першого транзистора, колектор якого з'єднаний з базою п'ятого транзистора, колектор якого з'єднаний з базою шостого транзистора і з базами шостого транзистора, який складається з n паралельно підключених транзисторів, емітери яких з'єднані з вихідною шиною, першим виводом другого резистора, другий вивід якого з'єднаний з шиною нульового потенціалу, другими выводами першого резистора і двох зустрічно ввімкнених діодів, емітерами восьмого транзистора який складається з n паралельно підключених транзисторів, а колектори - з шиною додатного живлення, з емітерами дев'ятого і десятого транзисторів, бази яких з'єднані між собою і підключені до колектора десятого транзистора і першого виводу третього резистора, другий вивід якого з'єднаний з базою одинадцятого транзистора, колектором і базою дванадцятого транзистора, емітер якого з'єднаний з шиною від'ємного живлення, з емітером одинадцятого транзистора і колекторами восьмого транзистора, бази якого з'єднані з колектором тринадцятого транзистора і базою чотирнадцятого, емітер якого з'єднано з емітером шостого транзистора, колектор другого транзистора з'єднаний з базою тринадцятого транзистора, четвертий резистор першим виводом з'єднаний з емітерами шостого і чотирнадцятого транзисторів, колектори яких з'єднані зі своїми базами, другий вивід четвертого резистора з'єднаний з шиною нульового потенціалу, з колектором п'ятнадцятого і колектором шістнадцятого транзисторів, база якого з'єднана з колектором і базою третього транзистора, а емітер - з колектором одинадцятого транзистора, база п'ятнадцятого транзистора з'єднана з колектором і базою четвертого транзистора, а емітер - з колектором дев'ятого транзистора, емітер п'ятого транзистора з'єднаний з шиною додатного живлення, а емітер тринадцятого транзистора - з шиною від'ємного живлення.

Основними недоліками пристрою є велике значення вхідного струму зміщення нуля, що негативно впливає на точність, а також низька швидкодія та велика споживана потужність.

За прототип обрано вхідний пристрій схеми порівняння струмів [А.С. №1529434 ССРС, Н03К5/24, G05B1/01, 1987], який містить чотири резистора, два вхідних транзистора, двадцять два

транзистора, два вихідних транзистора, шину додатного живлення, шину від'ємного живлення, вхідну та вихідну шини, шину нульового потенціалу, два діоди, які ввімкнено зустрічно та паралельно. До вхідної шини підключені перші виводи першого резистора і двох зустрічно включених діодів а також емітер першого вхідного транзистора, емітер другого вхідного транзистора, база якого з'єднана з базою і колектором першого транзистора і з базою другого транзистора, емітер якого з'єднаний з колектором третього транзистора, а колектор - з першими виводами другого і третього резисторів, шиною нульового потенціалу, емітерами першого і четвертого транзисторів і з колектором п'ятого транзистора, емітер якого з'єднаний з колектором шостого транзистора, а база - з колектором і базою четвертого транзистора і базою першого вхідного транзистора, колектор якого з'єднаний з базою дванадцятого транзистора, колектор якого з'єднаний з колектором і базою восьмого транзистора і базами n перших вихідних транзисторів, колектори яких з'єднані з шиною додатного живлення, емітерами сьомого і шостого транзисторів, емітером дев'ятого транзистора, колектор і база якого з'єднані між собою, базою шостого транзистора і першим виводом четвертого резистора, другий вивід якого з'єднаний з колектором і базою десятого транзистора і базою третього транзистора, емітер якого з'єднаний з шиною від'ємного живлення, емітером десятого транзистора, колекторами n других вихідних транзисторів і емітером одинадцятого транзистора, база якого з'єднана з колектором другого вхідного транзистора, а колектор - з колектором і базою дванадцятого транзистора і базами n других вихідних транзисторів, емітери яких з'єднані з другим виводом третього резистора, вихідною шиною, емітерами n перших вихідних транзисторів і другими виводами першого резистора і двох ввімкнених зустрічно та паралельно діодів, емітери восьмого і дванадцятого транзисторів з'єднані між собою і другим виводом другого резистора, а база третього транзистора - з базою тринадцятого транзистора, колектор якого з'єднаний з емітером чотирнадцятого транзистора, база якого з'єднана з базою п'ятнадцятого транзистора, з колектором і базою шістнадцятого транзистора, емітер якого з'єднаний з шиною додатного живлення, емітерами сімнадцятого і вісімнадцятого, колектором чотирнадцятого і емітером п'ятнадцятого транзисторів, колектор п'ятнадцятого транзистора з'єднаний з колектором першого вхідного транзистора, колектор сімнадцятого транзистора з'єднаний з колектором шостого транзистора, а база - з базою шостого і вісімнадцятого транзисторів, колектор вісімнадцятого транзистора з'єднаний з емітером дев'ятнадцятого транзистора, база якого з'єднана з базою двадцятого транзистора, колектором і базою двадцять першого транзистора, емітер якого з'єднаний з шиною від'ємного живлення, емітерами тринадцятого і двадцять другого транзисторів, з колектором дев'ятнадцятого транзистора і з емітером двадцятого транзистора, колектор якого з'єднаний з колектором другого вхідного транзистора, колектор двадцять другого транзистора з'єднаний з колектором третього тра-

нзистора, база двадцять другого транзистора - з базою третього транзистора.

До недоліків прототипу слід віднести велику статичну адитивну похибку, яка обумовлена великим вхідним струмом зміщення нуля і великою вхідною напругою зміщення нуля. Що стосується швидкодії прототипу то вона потенційно буде нижчою ніж у схеми, яка заявляється, за умови реалізації пристрою на однакових транзисторах.

В основу корисної моделі поставлено задачу створення вхідного пристрою схеми порівняння струмів, в якому за рахунок введення нових елементів та зв'язків між ними підвищується швидкість та зменшується як вхідний струм зміщення нуля, так і вхідна напруга зміщення нуля, що підвищує точність, це дає можливість використання пристрою в АЦП з більшою швидкістю і точністю, а також у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача досягається тим, що у пристрій схеми порівняння струмів, який містить два вхідні транзистори, шину додатного живлення, шину від'ємного живлення, шину нульового потенціалу, двадцять два транзистори, перший та другий вихідні транзистори, три резистори, шину входу, шину виходу, причому вхідну шину з'єднано з емітерами першого і другого вхідних транзисторів, а їх бази - з колекторами та базами першого і другого транзисторів, емітери першого і другого транзисторів з'єднані з шиною нульового потенціалу, бази третього і четвертого транзисторів з'єднані з базами і колекторами п'ятого і шостого, базами сьомого і восьмого транзисторів відповідно, колектори третього і четвертого, емітери п'ятого і шостого, сьомого і восьмого транзисторів з'єднані з шинами додатного і від'ємного потенціалів відповідно, емітери одинадцятого і дванадцятого транзисторів об'єднані між собою, колектори першого та другого вихідних транзисторів приєднані до шин додатного та від'ємного живлення відповідно, а їх емітери об'єднані між собою та є виходом пристрою, вихідна шина з'єднана з вхідною шиною через перший резистор, додатково введено шість транзисторів, причому бази першого і другого вхідних транзисторів з'єднано з колекторами тринадцятого і чотирнадцятого транзисторів відповідно, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів і базами дев'ятого і десятого транзисторів, бази тринадцятого і чотирнадцятого транзисторів з'єднані з колекторами п'ятнадцятого і шістнадцятого та з першим і другим виводами другого резистора, відповідно, а емітери тринадцятого і чотирнадцятого транзисторів з'єднані з базами сімнадцятого і вісімнадцятого та колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднані з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднані з базами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери сімнадцятого і вісімнадцятого транзисторів з'єднані з шинами додатного і від'ємного потенціалів відповідно, колектори дев'ятого та десятого транзисторів з'єднані з шиною нульового потенціалу, а

їх емітери - з колекторами дев'ятнадцятого і двадцятого та базами двадцять третього і двадцять четвертого транзисторів відповідно, тоді як бази дев'ятнадцятого і двадцятого транзисторів з'єднані з базами і колекторами двадцять першого і двадцять другого та емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцятого та двадцять першого і двадцять другого транзисторів з'єднані з шинами додатного і від'ємного живлення відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднані з колекторами і базами одинадцятого і дванадцятого транзисторів, а також з базами першого і другого вихідних транзисторів відповідно, крім того колектор двадцять третього транзистора підключений до колектора і бази двадцять п'ятого транзистора, а колектор двадцять четвертого з'єднаний з емітером двадцять восьмого транзистора, двадцять п'ятий, двадцять шостий, двадцять сьомий, двадцять восьмий транзистори, включені у діодному режимі, тобто з'єднані їх бази та колектори, і ці транзистори з'єднані послідовно: емітер двадцять п'ятого з'єднано з базою і колектором двадцять шостого, емітер двадцять шостого з'єднано з базою і колектором двадцять сьомого, емітер двадцять сьомого з'єднано з базою і колектором двадцять восьмого, а точка об'єднання емітера двадцять шостого транзистора та бази і колектора двадцять сьомого транзистора з'єднана з шиною вхідного сигналу, вихідна шина з'єднана з шиною нульового потенціалу через третій резистор.

На кресленні представлено принципову схему вхідного пристрою схеми порівняння струмів.

Пристрій містить вхідну шину 37 яка з'єднана з емітерами першого 15 та другого 16 вхідних транзисторів, їх бази - з колекторами та базами першого 10 і другого 11 транзисторів, та з колекторами тринадцятого 9 і чотирнадцятого 12 транзисторів, колектори першого 15 і другого 16 вхідних транзисторів з'єднані з колекторами сьомого 14 і восьмого 17 транзисторів і базами дев'ятого 19 і десятого 20 транзисторів, емітери першого 10 і другого 11 транзисторів з'єднані з шиною нульового потенціалу 36, бази тринадцятого 9 і чотирнадцятого 12 транзисторів з'єднані з колекторами п'ятнадцятого 2 і шістнадцятого 4 та з першим і другим виводами другого резистора 3 відповідно, а емітери тринадцятого 9 і чотирнадцятого 12 транзисторів з'єднані з базами п'ятнадцятого 2 і шістнадцятого 4 та колекторами сімнадцятого 8 та вісімнадцятого 13 транзисторів відповідно, емітери п'ятнадцятого 2 і шістнадцятого 4 транзисторів з'єднані з емітерами третього 1 і четвертого 5 транзисторів відповідно, бази третього 1 і четвертого 5 транзисторів з'єднані з базами і колекторами п'ятого 6 і шостого 7, базами сімнадцятого 8 та вісімнадцятого 13, базами сьомого 14 і восьмого 17 транзисторів відповідно, колектори третього 1 і четвертого 5, емітери п'ятого 6 і шостого 7, сімнадцятого 8 та вісімнадцятого 13, сьомого 14 і восьмого 17 транзисторів з'єднані з шинами додатного 34 і від'ємного 35 потенціалів відповідно, колектори дев'ятого 19 та десятого 20 транзисторів з'єднані з шиною нульового потенціалу 36, а їх емітери - з колекторами

дев'ятнадцятого 18 і двадцятого 21 та базами двадцять третього 27 і двадцять четвертого 30 транзисторів відповідно, тоді як бази дев'ятнадцятого 18 і двадцятого 21 транзисторів з'єднані з базами і колекторами двадцять першого 26 і двадцять другого 31 та емітерами двадцять третього 27 і двадцять четвертого 30 транзисторів відповідно, емітери дев'ятнадцятого 18 і двадцятого 21 та двадцять першого 26 і двадцять другого 31 транзисторів з'єднані з шинами додатного 34 і від'ємного 35 живлення відповідно, колектори двадцять третього 27 і двадцять четвертого 30 транзисторів з'єднані з колекторами і базами одинадцятого 28 і дванадцятого 29 транзисторів, а також з базами першого 32 і другого 33 вихідних транзисторів відповідно, крім того колектор двадцять третього транзистора 27 підключений до колектора і бази двадцять п'ятого 22 транзистора, а колектор двадцять четвертого 30 з'єднаний з емітером двадцять восьмого 25 транзистора, емітери одинадцятого 28 і дванадцятого 29 транзисторів об'єднані між собою, колектори першого 32 та другого 33 вихідних транзисторів приєднані до шин додатного 34 та від'ємного 35 живлення відповідно, а їх емітери об'єднані між собою та є виходом пристрою 39, двадцять п'ятий 22, двадцять шостий 23, двадцять сьомий 24, двадцять восьмий 25 транзистори, включені у діодному режимі, тобто з'єднані їх бази та колектори, і ці транзистори з'єднані послідовно: емітер двадцять п'ятого 22 з'єднано з базою і колектором двадцять шостого 23, емітер двадцять шостого 23 з'єднано з базою і колектором двадцять сьомого 24, емітер двадцять сьомого 24 з'єднано з базою і колектором двадцять восьмого 25, а точка об'єднання емітера двадцять шостого транзистора 23 та бази і колектора двадцять сьомого транзистора 24 з'єднана з шиною вхідного сигналу 37, вихідна шина 39 з'єднана з вхідною шиною 37 через перший резистор 38 та з шиною нульового потенціалу через третій резистор 40.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму поступає на вхідну шину 37. Якщо вхідний струм втікає у схему, то другий вхідний транзистор 16 привідкривається, а перший вхідний транзистор 15 призакривається, колекторний струм другого вхідного транзистора 16 збільшується, і десятий транзистор 20 привідкривається. Водночас колекторний струм першого вхідного транзистора 15 зменшується і дев'ятий транзистор 19 призакривається. Емітерний струм десятого транзистора 20 подається на вхід відбивача струму побудованого на двадцятому 21, двадцять четвертому 30, двадцять другому 31 транзисторах. Відбитий струм з колектора двадцять четвертого транзистора 30 протікає через коло одинадцятого 28 і дванадцятого 29 транзисторів. Емітерний струм дев'ятого транзистора 19 витікає з відбивача струму побудованого на дев'ятнадцятому 18, двадцять першому 26, двадцять третьому 27 транзисторах, відбитий струм з колектора двадцять третього транзистора 27 протікає через коло одинадцятого 28 і дванадцятого 29 транзисторів. Оскільки колекторний струм I_{k30} більше I_{k27} то потенціал точки об'єднання емітерів одинадцятого 28 і дванадцятого 29 транзисторів зменшується, на-

ближаючись до потенціалу шини від'ємного живлення 35. Водночас, одинадцятий 28 та дванадцятий 29 транзистори задають не тільки струм спокою вихідного каскаду, побудованого на першому 32 та другому 33 вихідних транзисторах, а і визначають потенціал вихідної шини 39 схеми. Таким чином напруга $U_{\text{вих}}$ повторює потенціал точки об'єднання емітерів одинадцятого 28 і дванадцятого 29 транзисторів, тобто зменшується і наближається до $-U_{\text{живл}}$.

Якщо вхідний струм витікає із схеми, то другий вхідний транзистор 16 призакривається, а перший вхідний транзистор 15 привідкривається, колекторний струм другого вхідного транзистора 16 зменшується, і десятий транзистор 20 призакривається. Водночас колекторний струм першого вхідного транзистора 15 збільшується і дев'ятий транзистор 19 привідкривається. Емітерний струм десятого транзистора 20 подається на вхід відбивача струму побудованого на двадцятomu 21, двадцять четвертому 30, двадцять другому 31 транзисторах. Відбитий струм з колектора двадцять четвертого транзистора 30 протікає через коло одинадцятого 28 і дванадцятого 29 транзисторів. Емітерний струм дев'ятого транзистора 19 витікає з відбивача струму побудованого на дев'ятнадцятому 18, двадцять першому 26, двадцять третьому 27 транзисторах, відбитий струм з колектора двадцять третього транзистора 27 протікає через коло одинадцятого 28 і дванадцятого 29 транзисторів. Оскільки колекторний струм I_{k30} менше I_{k27} то потенціал точки об'єднання емітерів одинадцятого 28 і дванадцятого 29 транзисторів збільшується, наближаючись до потенціалу шини додатного живлення 34. Напруга $U_{\text{вих}}$ повторює потенціал точки об'єднання емітерів одинадцятого 28 і дванадцятого 29 транзисторів, тобто збільшується і наближається до $+U_{\text{живл}}$.

Ланцюг транзисторів з двадцять п'ятого 22, двадцять шостого 23, двадцять сьомого 24, двадцять восьмого 25 у діодному вмиканні утворюють коло нелінійного від'ємного зворотного зв'язку, мета введення якого - обмежити амплітуду змінення напруги на виході схеми. Це у свою чергу сприяє підвищенню швидкодії схеми при збільшенні амплітуди сигналу на вході схеми. При цьому якщо струм що втікає у схему збільшується, то потенціал вихідної шини 39 зменшується. Транзистори двадцять сьомий 24 та двадцять восьмий 25 привідкриваються, а транзистори двадцять п'ятий 22 та двадцять шостий 23 призакриваються. При цьому через двадцять сьомий 24 та двадцять восьмий 25 транзистори в коло колектора двадцять четвертого транзистора 30 втікає струм який компенсує вхідний струм схеми. По мірі збільшення $I_{\text{вх}}$ двадцять сьомий 24 та двадцять восьмий 25 транзистори привідкриваються сильніше, опори переходів колектор-емітер зменшуються, а глибина зворотного зв'язку збільшується. Опір вказаного кола транзисторів починає істотно шунтувати загальний опір зворотного зв'язку, який визначається

з формули $r_{p-n} = \frac{\varphi_t}{i_e}$, де φ_t - термopотенціал, i_e - значення струму емітера, і зменшує змінення амплітуди на виході схеми.

Якщо струм, що витікає із схеми, збільшується, то потенціал вихідної шини 39 збільшується. Транзистори двадцять сьомий 24 та двадцять восьмий 25 призакриваються, а транзистори двадцять п'ятий 22 та двадцять шостий 23 привідкриваються. При цьому через двадцять п'ятий 22 та двадцять шостий 23 транзистори з кола колектора двадцять третього транзистора 27 витікає струм який компенсує вхідний струм схеми. По мірі збільшення $I_{\text{вх}}$ який витікає із схеми двадцять п'ятий 22 та двадцять шостий 23 транзистори привідкриваються сильніше, опори переходів колектор-емітер зменшуються, а глибина зворотного зв'язку знову ж таки збільшується. Опір кола з двадцять п'ятого 22 та двадцять шостого 23 транзисторів починає істотно шунтувати загальний опір зворотного зв'язку і зменшує змінення амплітуди на виході схеми.

Оскільки коло транзисторів з двадцять п'ятого по двадцять восьмий у діодному вмиканні 22-25 підключені паралельно колу одинадцятого 28 та дванадцятого 29 транзисторів, то в стані спокою, тобто коли $I_{\text{вх}}=0$ транзистори 22-25 знаходяться на порозі відпирання. Якщо вхідний струм приймає максимальне значення, то залежно від напрямку вхідного струму або група з двадцять п'ятого 22 та двадцять шостого 23 відпирається, а група з двадцять сьомого 24 та двадцять восьмого 25 транзисторів закривається, або група з двадцять сьомого 24 та двадцять восьмого 25 транзисторів відкривається, а група з двадцять п'ятого 22 та двадцять шостого 23 транзисторів закривається.

Таким чином на виході схеми виникає перепад напруг $\pm U_{p-n}$: $U_{\text{вих}}(I_{\text{вх}}) = [R_m | 2r_{p-n}] \cdot I_{\text{вх}}$, де $U_{\text{вих}}$ - вихідна напруга, $I_{\text{вх}}$ - вхідний струм, R_m - опір першого резистора 38, r_{p-n} - опір p-n переходу. При малих вхідних струмах опір r_{p-n} різко зростає і значно перевищує R_m , при цьому чутливість схеми є максимальною. При великих $I_{\text{вх}}$ опір r_{p-n} значно зменшується, шунтує R_m і чутливість зменшується пропорційно збільшенню $I_{\text{вх}}$.

Мінімізація похибки зміщення нуля по входу схеми у вигляді або $\Delta I_{\text{вх}0}$ або $\Delta U_{\text{вх}0}$ досягається таким чином. За допомогою двоярусних схем відбивачів струму, а саме побудованих на третьому 1, п'ятому 6, сімнадцятому 8, п'ятнадцятому 2, тринадцятому 9 транзисторах а також шостому 7, четвертому 5, вісімнадцятому 13, шістнадцятому 4, чотирнадцятому 12 транзисторах, на перший 10 та другий 11 транзистори у діодному вмиканні, які є давачами струму, подаються струми відповідно I' :

$$I' = I_{k9} \approx I_{3M} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{n-p-n}} \right),$$

а також I'' :

$$I'' = I_{k12} \approx I_{3M} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right),$$

де I_{k9} , I_{k12} - колекторні струми транзисторів 9 та 12 відповідно, I_{3M} - струм зміщення.

Тобто $I_{K9} \approx I_{K12}$. Позначимо $I_{K9} \approx I_{K12} \approx I^*_{3M} = I_{3M} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{p-n-p}} \right)$. Тоді

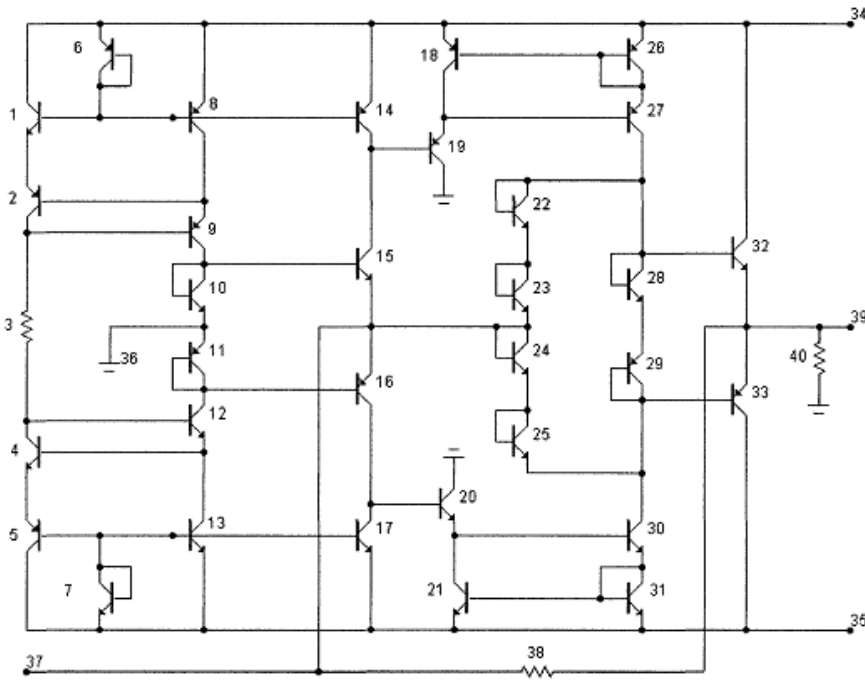
струм спокою вхідного каскаду, побудованого на вхідних транзисторах 15, 16 буде дорівнювати $I_{\text{спокою}} \approx I^*_{3M}$. Визначимо колекторні струми I_{K19} та I_{K20} :

$$I_{B19} = I_{\text{спокою}} - I_{K17} = I^*_{3M} - I_{B1} = I^*_{3M} - I_{3M} / \beta_1 = I_{3M} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{p-n-p}} \right) - \frac{I_{3M}}{\beta_{p-n-p}} = \frac{I_{3M}}{\beta_{p-n-p}}$$

$$I_{B20} = I_{\text{спокою}} - I_{K17} = I^*_{3M} - I_{B5} = I^*_{3M} - I_{3M} / \beta_5 = I_{3M} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{p-n-p}} \right) - \frac{I_{3M}}{\beta_{p-n-p}} = \frac{I_{3M}}{\beta_{p-n-p}}$$

$I_{K19} = I_{B19} \cdot \beta_{19} = I_{B19} \cdot \beta_{p-n-p} = I_{3M} / \beta_{p-n-p} \cdot \beta_{p-n-p} = I_{3M}$,
 $I_{K20} = I_{B20} \cdot \beta_{20} = I_{B20} \cdot \beta_{p-n-p} = I_{3M} / \beta_{p-n-p} \cdot \beta_{p-n-p} = I_{3M}$.
 Бачимо, що $I_{K19} = I_{K20} = I_{3M}$. Оскільки коефіцієнт передачі відбивачів струму дорівнює одиниці, то $I_{K27} = I_{K19}$, а $I_{K30} = I_{K20}$ і приблизно рівні I_{3M} .

Оскільки струм спокою вхідних транзисторів 15, 16 дорівнює I_{K9} і I_{K12} , то падіння напруг на базових р-п переходах $U_{Be15} = U_{Be10}$, а $U_{Be16} = U_{Be11}$. Таким чином $\Delta U_{ВХ}$ мінімізується, прямуючи до нуля.



Фіг.