

ПРИСКОРЕНЕ ТЕСТУВАННЯ СХЕМ ЦИФРОВИХ ПРИСТРОЇВ

Вінницький Національний Технічний Університет

Анотація

В роботі розглянуто способи прискореного тестування схем цифрових пристроїв. Проаналізовано реалізацію різних методик тестування цифрових схем для вибору серед них таких сполучень процедур пошуку несправностей, які найкраще використовують апаратні властивості засобів внутрішньосхемного тестування.

Ключові слова

Прискорене тестування, внутрішньосхемне тустування, цифрові пристрої, технічна діагностика.

Abstract

Methods of accelerated testing of circuits of digital devices are considered in this work. The implementation of various methods of testing digital circuits has been analyzed to choose among such combinations of troubleshooting procedures that best utilize the hardware properties of in-circuit testing.

Keywords

Accelerated testing, in-circuit testing, digital devices, technical diagnostics.

Серед відомих систем діагностування цифрових пристроїв певне місце займають засоби внутрішньосхемного тестування. Особливість таких систем полягає в тому, що можливість фізичного контактування з внутрішніми вузлами (контрольними точками (КТ)) об'єктів дає змогу реалізовувати різноманітні стратегії спрямованого пошуку несправностей. Конструктивний доступ апаратних засобів до вимірювальних вузлів друкованих плат лежить в основі композиційного підходу щодо формування ефективних компонентних структур їх розбиття [1].

При цьому слід відзначити, що різноманітні особливості і вимоги сучасного виробництва цифрової техніки, а також останні досягнення в підвищенні ефективності методів діагностування дають певні підстави, щодо організації сумісних швидкореалізуючих процедур спрямованого пошуку несправностей.

Аналіз методів і властивостей сучасних засобів тестування ЦП показує що функціональна і конструкторська складність друкованих плат об'єктів суттєво знижує ефективність застосування останніх і признає їх обмеженість і вузькоспрямовані дії. Як правило, наслідком цього є зниження глибини діагностування, зростання часу як тестування, так і підготовки пошукових процедур несправностей [2].

Разом з тим властивості методу внутрішньосхемного тестування дають перспективи покращити ці показники за рахунок штучної тимчасової реструктуризації об'єктів під час діагностування. Це може досягаться без таких ускладнень, як внесення додаткової апаратної надлишковості і заощадження часу тестування за рахунок врахування вже розроблених бібліотек тестових процедур.

Метою дослідження є скорочення загального часу діагностування цифрових схем, шляхом упорядкованого використання пошукових властивостей процедур тестування на основі композиційного підходу систем внутрішньосхемного знаходження несправностей в умовах сучасного виробництва.

Для досягнення поставленої мети слід вирішити такі задачі:

1. Дослідити електричні особливості процедур контролю несправностей типу лог. 0 або лог. 1 в вузлових точках тимчасового з'єднання внутрішніх ланцюгів схем.
2. Проаналізувати формальні часові співвідношення тривалості контролю і розрядності введених проміжних сигнатур в процедурах тестування.
3. Зробити порівняльний аналіз використання різних сполучень методик тестування цифрових схем на основі їх реструктуризації [3].

Для апаратних засобів внутрішньосхемного тестування процес стиснення діагностичної інформації можна додатково удосконалити за рахунок зменшення кількості введених елементів контролю (або їх повного усунення) в процедурах спрямованого пошуку несправностей. Це може бути здійснено за рахунок тимчасового введення штучних електричних ланцюгів між визначеними внутрішніми вузлами схеми під час тестування. Ітераційно це доцільно реалізовувати шляхом електричного контактного з'єднання такої підмножини внутрішніх КТ, які мають однакові рівні напруг, наприклад, лог. 1 (або лог. 0) на поточний час подання будь-якого тестового вектору [4]. Наслідком цього є доцільність генерування таких тестових послідовностей (векторів), в яких максимізоване число рівнів одиниць (або нулів) напруг на виходах внутрішніх вузлів компонентів. При цьому слід враховувати також властивість, що при фізичному «замішуванні» сигналів відбувається електричне домінування (при наявності несправностей), наприклад, сигналу лог. 0 (принаймні для ТТЛШ-схем) над сигналами лог. 1). При цьому необхідно змінювати значення напруг на виходах кожного компонента ЦП в процесі реалізації програм тестування.

Реалізація розглянутих методів дає основу для розробки ефективних діагностичних процедур короткого часу реалізації, що особливо позитивно може відчуватися, наприклад, при конвеєрному виробництві сучасних електронних виробів.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Jan Balague. The Future of in Circuit Testing in the High-speed, Complex Electronics Environment, Technical Marketing, Engineer, Agilent Technologies, Inc. 2007. Printed in USA, October 31, 2007 (5989-7549EN).
2. Перевозніков С.І. Особливості формування компонентних структур тестування для систем внутрішньосхемного пошуку несправностей цифрових пристроїв / С.І. Перевозніков, В.С. Озеранський, Л.В. Крупельницький // Вісник Вінницького політехнічного інституту. – 2012. - №12. – С. 62 – 71.
3. Роїк О. М., Арсенюк І. Р. Перетворення параметрів елементів замкнених кіл на основі методів комбінованого врівноваження струмів і напруг. Наукові праці Донецького державного технічного університету. Випуск 38, Серія – Обчислювальна техніка та автоматизація. Донецьк, Донату, 2002. – С. 286 – 290.
4. Перевозніков С.И. Формирование контролепригодных структур цифровых устройств для систем покомпонентного диагностирования / С.И. Перевозніков, В.В. Колодний, В.С. Озеранский // Вестник РГРТУ. – 2014. – № 4 (выпуск 50, часть 1) – С. 83 – 87.

Драчук Сергій Віталійович - студент групи 1KH-16мс, ФІТКІ, Вінницький національний технічний університет, м. Вінниця, Хмельницьке шосе 95, e-mail: drseregaonline@gmail.com

Озеранський Володимир Сергійович - к.т.н., ст. викл. кафедри комп'ютерних наук, ФІТКІ, Вінницький національний технічний університет, м. Вінниця, Хмельницьке шосе 95, e-mail: ozersky@ukr.net

Serhiy V. Drachuk – student group 1KH-16js, FISCE, Vinnitsa National Technical University, Vinnitsa, Khmelnytsky highway 95, e-mail: drseregaonline@gmail.com

Volodymyr S. Ozeranskiy - candidate of technical sciences, art. off Department of Computer Science, FISCE, Vinnitsia National Technical University, Vinnitsia, Khmelnytsky highway 95, e-mail: ozersky@ukr.net