

Изобретение относится к вычислительной технике и может быть использовано для параллельной арифметико-логической обработки многоуровневых изображений по пространственно-непрерывным разрядным срезам.

Известен цифровой оптоэлектронный процессор для обработки изображений в пространственно-непрерывной форме (Очин Е.Ф. Принципы организации цифрового оптоэлектронного процессора для обработки изображений в пространственно-непрерывной форме // Электронное моделирование. - 1984. - №3. - С.16 - 19), содержащий топографическое оперативное запоминающее устройство, с двигателем, пространственно-логическое устройство и накапливающий регистр, причем оптический выход топографического оперативного запоминающего устройства через сдвигатель соединен с оптическим входом пространственно-логического устройства, оптический выход которого через накапливающий регистр подключен к оптическим входам голографического оперативного запоминающего устройства и пространственно-логического устройства, кроме того управляющие входы устройства подключены соответственно к адресным входам и входам управления записью и чтением голографического оперативного запоминающего устройства, к входам управления сдвигом по координатам x , y сдвигателя и к входам управления микрооперациями пространственно-логического устройства.

Недостатком известного процессора являются ограниченные функциональные возможности, поскольку пространственно-логическое устройство процессора выполняет только функционально полный набор логических операций над двухуровневыми изображениями.

Известна система для многоканальной параллельной обработки изображений (Твердохлеб П.Е. Организация системы для многоканальной параллельной обработки массивов информации // Автометрия. - 1981. - №1. - С.19 - 30, рис.1), содержащая голографическое запоминающее устройство, матричный оптический преобразователь, параллельный страничный процессор и централизованное устройство управления, причем оптический выход голографического запоминающего устройства соединен с оптическим входом матричного оптического преобразователя, оптический выход которого подключен к оптическому входу параллельного страничного процессора, электронный выход которого подключен к входу централизованного устройства управления, выходы которого электрически соединены с управляющими входами голографического запоминающего устройства, матричного оптического преобразователя и параллельного страничного процессора, кроме того канал ввода-вывода устройства подключен к централизованному устройству управления.

Недостатком известной системы являются ограниченные выполнением трех логических операций (сложение, умножение и сложение по модулю 2) над совокупностью изображений страницы функциональные возможности параллельного страничного процессора.

Наиболее близким по технической сущности к предлагаемому является цифровой оптоэлектронный процессор многоуровневых изображений по пространственно-непрерывным разрядным срезам (Денисов В.М. и др. Структура цифрового оптоэлектронного процессора

многоуровневых изображений по пространственно-непрерывным разрядным срезам // Электронное моделирование. - 1984. - №6. - С.99 - 101, рис.1), содержащий лазер, два запоминающих устройства, устройство управления, два модулятора, четыре дефлектора и операционный автомат, содержащий два дефлектора, сумматор и аналого-цифровой преобразователь, причем лазер оптически через первый модулятор соединен через первый и второй дефлекторы с входами первого и второго запоминающих устройств соответственно, а через второй модулятор - с аналого-цифровым преобразователем, первый и второй выходы которого соединены оптически через третий и четвертый дефлекторы с входами первого и второго запоминающих устройств, выходы которых оптически соединены через пятый и шестой дефлекторы соответственно с входами сумматора, выход которого оптически подключен к входу аналого-цифрового преобразователя, первый, второй, третий, четвертый и пятый выходы устройства управления электрически подключены к управляющим входам двух модуляторов, первого и второго дефлекторов, пятого и шестого дефлекторов, третьего и четвертого дефлекторов и аналого-цифрового преобразователя соответственно.

Недостатком известного процессора является выполнение операции суммирования без учета знака, что сужает его функциональные возможности.

В основу изобретения поставлена задача усовершенствования цифрового оптоэлектронного процессора многоуровневых изображений, в котором введение двух элементов памяти картинного типа и арифметико-логического устройства, содержащего сумматор, три инверсных оптически управляемых транспаранта и светообъединительный узел, обеспечивает выполнение операции сложения знакопеременных числовых величин, представляющих многоуровневые изображения и за счет этого расширяет функциональные возможности цифрового оптоэлектронного процессора многоуровневых изображений.

Поставленная задача решается тем, что в цифровом оптоэлектронном процессоре многоуровневых изображений, содержащим два запоминающих устройства, согласно изобретению введены два элемента памяти картинного типа и арифметико-логическое устройство, содержащее сумматор, три инверсных оптически управляемых транспаранта и светообъединительный узел, причем выходы первого и второго запоминающих устройств соединены оптически с первым и вторым входами арифметико-логического устройства соответственно, третий и четвертый входы которого оптически соединены с выходами первого и второго элементов памяти картинного типа соответственно, а выход соединен оптически с входом второго запоминающего устройства и выходом процессора, первый информационный вход процессора подключен оптически к входу первого запоминающего устройства, а второй информационный вход - к информационному входу первого элемента памяти картинного типа, кроме того, два входа управления первого запоминающего устройства и два входа управления второго запоминающего устройства подключены к управляющим входам процессора с первого по четвертый соответственно, первые входы управления двух элементов памяти картинного типа подключены к первому и второму входам

синхронизации процессора соответственно, четыре входа управления арифметико-логического устройства и вторые входы управления двух элементов памяти картинного типа подключены к управляющим входам процессора с пятого по десятый соответственно, первый выход сумматора соединен оптически с выходом арифметико-логического устройства, а второй выход соединен оптически с первым входом третьего инверсного оптически управляемого транспаранта, входы сумматора с первого по третий соединены оптически с выходами инверсных оптически управляемых транспарантов с первого по третий соответственно, первый и второй входы первого инверсного оптически управляемого транспаранта оптически соединены с первым и третьим входами арифметико-логического устройства соответственно, первый и второй входы второго инверсного оптически управляемого транспаранта - с вторым и четвертым входами арифметико-логического устройства соответственно, третий и четвертый входы которого через светообъединительный узел оптически соединены с вторым входом третьего инверсного оптически управляемого транспаранта.

Анализ научно-технической и патентной литературы показал, что известны цифровые оптоэлектронные процессоры, обладающие аналогичными конструктивными признаками в отдельности. Однако устройств, обладающих совокупностью признаков, авторами не обнаружено.

В известных цифровых оптоэлектронных процессорах выполняется функционально-полный набор логических операций над многоуровневыми изображениями, что является недостаточным при параллельной арифметической обработке изображений, в частности, при параллельном сложении знакопеременных величин, представляющих многоуровневые изображения.

В результате введения двух элементов памяти картинного типа и арифметико-логического устройства, содержащего сумматор, три инверсных оптически управляемых транспаранта и светообъединительный узел, с соответствующими связями устройство проявляет новое свойство, позволяющее расширить его функциональные возможности за счет сложения знакопеременных числовых данных. Таким образом, предлагаемое устройство соответствует критерию "существенные отличия".

На фиг.1 представлена структурная схема цифрового оптоэлектронного процессора; на фиг.2 - функциональная схема сумматора; на фиг.3 - примеры выполнения операции сложения двух операндов с использованием дополнительного кода отрицательного операнда; на фиг.4 - временные диаграммы работы процессора.

В известных цифровых оптоэлектронных процессорах выполняется функционально-полный набор логических операций над многоуровневыми изображениями, что является недостаточным при параллельной арифметической обработке изображения, в частности, при параллельном сложении знакопеременных величин, представляющих многоуровневые изображения.

В результате введения арифметико-логического устройства, включающего кроме сумматора три инверсных оптически управляемых транспаранта и светообъединительный узел, и два элемента памяти картинного типа с соответствующими связями устройство проявляет новое свойство, позволяющее расширить функциональные возможности устройства за счет

сложения знакопеременных числовых данных.

Таким образом, предлагаемое устройство соответствует критерию "изобретательский уровень".

На фиг.1 представлена структурная схема цифрового оптоэлектронного процессора; на фиг.2 - функциональная схема сумматора изображений; на фиг.3 - примеры выполнения операции сложения двух операндов с использованием дополнительного кода отрицательного операнда; на фиг.4 - временные диаграммы работы процессора.

Цифровой оптоэлектронный процессор (фиг.1) содержит два запоминающих устройства (ОЗУ) 1, 2, арифметико-логическое устройство (АЛУ) 3 и два элемента 4, 5 памяти картинного типа. Выходы ОЗУ 1 и 2 соединены с входами 6 и 7 АЛУ 3 соответственно, входы 8 и 9 которого оптически соединены с выходами элементов 4 и 5 памяти картинного типа соответственно, а выход 10 - с входом ОЗУ 2 и выходом устройства. Информационный вход 11 устройства подключен оптически к входу ОЗУ 1, а вход 12 матрицы знаков - к информационному входу элемента 4 памяти картинного типа. Входы 13, 14 ОЗУ 1, входы 15, 16 ОЗУ 2 являются с первого по четвертый управляющими входами устройства, входы 17 и 18 элементов 4 и 5 памяти картинного типа соответственно являются первым и вторым входами синхронизации устройства, входы 19, 20, 21, 22 АЛУ3 являются с пятого по восьмой управляющими входами устройства, а вход 23 АЛУ3 подключен к шине питания устройства, а входы 24 и 25 элементов 4, 5 памяти картинного типа являются девятым и десятым управляющими входами устройствами соответственно. Кроме того, АЛУ3 содержит сумматор 26, выход 27 которого оптически соединен с выходом 10 АЛУ3, а выход 28 - с первым входом третьего инверсного оптически управляемого транспаранта (ОУТ) 29 АЛУ3. Входы 30 и 31 сумматора 26 АЛУ3 оптически соединены с выходами ОУТ 32, 33 АЛУ3 соответственно, а вход 34 - с выходом ОУТ 29 АЛУ3. Оптические входы ОУТ 32 подключены к входам 6 и 8 АЛУ3, оптические входы ОУТ 33 - к входам 7 и 9 АЛУ3, второй оптический вход ОУТ 29 - к входам 8 и 9 АЛУ 3 через светообъединительный узел 34 АЛУ 3.

Сумматор 26 (фиг.2) содержит три оптических входа 30, 31, 34, соединенные посредством ослабителей **361, 362** со входами светообъединителя 37, оптический выход которого соединен с оптическим входом блока 38 управления временных задержек (БУВЗ), второй оптический вход которого посредством формирователя 39 плоскопараллельного светового потока соединен со входом 19 запуска АЛУ3. Оптический выход БУВЗ 38 соединен со входом светоделиителя 40, первый и второй оптические выходы которого соединены со входами оптоэлектронных затворов (ОЭЗ) 41, 42, электроды питания которых образуют входы 21 и 22 управления АЛУ3, оптические выходы ОЭЗ 41 и 42 соединены с оптическими входами **D**-триггеров 43, 44 картинного типа. Оптический выход **D**-триггера 43 соединен с выходом 27 сумматора 26, оптический выход **D**-триггера 44 соединен со входом **D**-защелки 45 картинного типа, оптический выход которого соединен с оптическим выходом 28 сумматора 26. Формирователь 46 синхроимпульсов, содержащий вход 20 управления АЛУ3, выходом 47 соединен с входами **CD**- триггеров 43, 44, выходом 48 - с входами **CD**- триггеров 43, 44 и **D**-защелки 45.

Устройство работает следующим образом.

Рассмотрим сложение двух k -разрядных чисел $A = a_k-1 a_{k-2} \dots a_1 \dots a_0$ и $B = b_k-1 b_{k-2} \dots b_1 \dots b_0$,

где $a_j, b_j \in \{0, 1\}$; a_{k-1}, b_{k-1} - знаковые разряды, причем знак "+" кодируется "0", знак "-" - "1". Принимая во внимание, что выполняется сложение двух чисел с учетом их знаков и использованием дополнительного кода, возможны следующие варианты формирования результата сложения $S = S_{k-1} S_{k-2} \dots s_j \dots s_0$ (таблица).

Конкретные примеры сложения двух чисел, соответствующие табл. приведены на фиг.3. В случае последовательного сложения T k -разрядных чисел A^t , где $t=1, 2, 3, \dots, T$, одно из слагаемых, а именно B , можно представить в виде S^{t-1} , где S^{t-1} - результат сложения, полученный в предыдущем цикле сложения. Таким образом, $S^t = A^t + S^{t-1}$. Тогда для j -го разряда t -й суммы S^t можно записать следующие выражения:

$$\begin{aligned} & \text{и т.д.} \\ S_j^t &= a_j^t + S_j^{t-1} P_{j-1}^t, \text{ если } a_{k-1}^t = 0, & (1) \\ S_j^t &= a_j^t + S_j^{t-1} + P_{j-1}^t, \text{ если } a_{k-1}^t = 1, & (2) \\ S_0^t &= a_0^t + S_0^{t-1} + 0, \text{ если } a_{k-1}^t = 0, & (3) \\ S_0^t &= a_0^t + S_0^{t-1} + 1, \text{ если } a_{k-1}^t = 1, & (4) \end{aligned}$$

где a_j^t - инверсное значение a_j^t ; P_{j-1}^t - перенос из $(j-1)$ -го разряда t -ой суммы, причем выражения (1) и (3) соответствуют п.п.1, 2, 3 табл. для j -го и нулевого разрядов t -й суммы, 8 выражения (2), (4) - соответственно п.п.4, 5, 6 табл. Инвертирование величины S_j^{t-1} не выполняется, поскольку отрицательному знаку результата соответствует формируемый в дополнительном коде результат суммы (табл.).

Таким образом, в каждом такте цикла сложения двух k -разрядных чисел выполняется суммирование одноименных разрядов предшествующей суммы и прямого (обратного) кода текущего слагаемого и единицы переноса, сформированной на предыдущем такте (или единица на первом такте). Инвертирование кода и прибавление единицы в нулевом разряде происходит при отрицательном знаке очередного слагаемого.

При представлении исходной информации в виде 2^k -уровневых изображений размерностью $N \times M$ в дальнейшем они обрабатываются по разрядным срезам, начиная с нулевого, как массив $N \times M$ операндов разрядностью $k: \{A_i^j\} = \{a_{i,k-1}^j, a_{i,k-2}^j, \dots, a_{i,j}^j, \dots, a_{i,0}^j\}$, где $i=1, 2, 3, \dots, N \times M$. Запись, хранение и сдвиг массива $N \times M$ k -разрядных операндов $\{A_i^j\}$ в t -ом цикле сложения выполняется с использованием двумерного k -разрядного ОЗУ1, текущая сумма $\{S_i^t\}$ записывается, хранится и сдвигается в двумерном k -разрядном ОЗУ2. Знаковая матрица очередного массива слагаемых $\{A_i^j\}$, т.е. содержимое k -го разряда двумерного ОЗУ1, дублируется в элементе 4 памяти картинного типа, а знаковая матрица текущей суммы $\{S_i^t\}$, т.е. содержимое k -го разряда двумерного ОЗУ2, дублируется в элементе 5 памяти картинного типа.

В процессе выполнения операции сложения перед каждым циклом элемент 5 памяти картинного типа обнуляется по входу 25 управления что при использовании инверсного ОУТ 33 в АЛУ3, на управляющий вход 9 которого поступает

информация от элемента 5 памяти картинного типа, позволяет передать информацию без изменений в течение всего цикла сложения из ОЗУ 2 на вход 31 сумматора 26 АЛУ3. При прохождении информации из ОЗУ 1 через инверсный ОУТ 32 АЛУ3 выполняется инвертирование в i -х ячейках j -го разрядного среза $\{A_i^j\}$ ($i=1, 2, \dots, N \times M; j=0, \dots, k-2$) при наличии "1" в i -х ячейках знаковой матрицы в элементе 4 памяти картинного типа. Рассмотренное преобразование информации в инверсном ОУТ 32 выполняется на $(k-1)$ -х тактах цикла сложения, перед k -тым тактом выполняется обнуление элемента 4 памяти картинного типа по его входу 24 обнуления, что дает возможность $(k-1)$ -й разрядный срез из ОЗУ1 пропустить через инверсный ОУТ 32 на вход 30 сумматора 26 АЛУ3 без изменений, поскольку знаковый разряд при сложении не инвертируется (фиг.3).

Для формирования "1" или "0" в i -й ячейке нулевого разрядного среза в соответствии с выражениями (3) и (4) используется инверсный ОУТ 29 АЛУ3. Поскольку в исходном состоянии (перед каждым циклом сложения) на выходе 28 сумматора 26 АЛУ3 присутствует информация в виде нулевой матрицы $\{P_i^j\} = 0$, то путем подачи на управляющий вход инверсного ОУТ 29 АЛУ3 информации в виде знаковой матрицы с выхода элемента 4 памяти картинного типа, можно сформировать на входе 34 сумматора 26 АЛУ3 матрицу, в i -ой ячейке которой зафиксирована "1", если в i -ой ячейке знаковой матрицы в элементе 4 памяти картинного типа присутствует "1", т.е. знак i -го операнда отрицательный.

При выполнении k -го такта очередного цикла сложения на вход 18 синхронизации элемента 5 памяти картинного типа подается тактовый сигнал, разрешающий запись в него знаковой матрицы текущей суммы $\{S_i^t\}$. Если процесс сложения не завершен и необходимо просуммировать

следующий массив операндов $\{A_i^{t+1}\}$, то по сигналу на входе 25 управления элемента 5 памяти картинного типа происходит его обнуление. Если же процесс сложения завершен, то в дальнейшем цикле выполняется последовательный сдвиг в сторону младших разрядных срезов информации в ОЗУ2. При этом элемент 4 памяти картинного типа обнуляется по сигналу на его входе 24 управления. Поскольку для цикла формирования прямого (дополнительного) кода характерны выражения:

$$r_j = S_j^t + P_{j-1}^t, \text{ если } S_{k-1}^t = 0, \quad (5)$$

$$r_j = S_j^t + P_{j-1}^t + 1, \text{ если } S_{k-1}^t = 1, \quad (6)$$

$$r_0 = S_0^t + 0, \text{ если } S_{k-1}^t = 0, \quad (7)$$

$$r_0 = S_0^t + 1, \text{ если } S_{k-1}^t = 1, \quad (8)$$

где $R = r_{k-1} r_{k-2} \dots r_j \dots r_0$ - результат сложения k -разрядного операнда, то при прохождении информации из ОЗУ 2 через инверсный ОУТ 33 АЛУ3 выполняется инвертирование в i -х ячейках j -го разрядного среза ($i=1, \dots, N \times M; j=0, \dots, k-2$) при наличии "1" в i -х ячейках знаковой матрицы результата в элементе 5 памяти картинного типа. Данное преобразование информации в инверсном ОУТ 33 АЛУ3 выполняется на $(k-1)$ -х тактах цикла формирования прямого кода результата. Перед k -м тактом выполняется обнуление элемента 5 памяти картинного типа по его входу 25 управления, что дает возможность $(k-1)$ -й разрядный срез из ОЗУ2

пропустить через инверсный ОУТ 33 на вход 31 сумматора 26 АЛУЗ без изменений, как знаковый срез.

Аналогично рассмотренному ранее формируется "1" или "0" в i -й ячейке нулевого разрядного среза в соответствии с выражениями (7) и (8) с использованием инверсного ОУТ 29 АЛУЗ и элемента 5 памяти картинного типа. Таким образом, через k -тактов цикла формирования прямого кода результата сложения 2^k уровневых изображений размерностью $N \times M$ на выходе 10 АЛУЗ завершается выдача по разрядным срезам, начиная с нулевого, массива

$$\{R\} = \{n, k-1, n, k-2, \dots, n, j, \dots, n, 0\}.$$

Сумматор 26 АЛУ2 (фиг.2) работает следующим образом.

БУВЗ 38, с помощью которого реализуется принцип обработки оптической информации, заключающийся в преобразовании интенсивности оптического излучения в длительность временного интервала, однозначно связанного со значением текущего минтерма входных переменных $\{A_i\}_k, \{S_i^{t-1}\}, \{P_i\}_{j-1}$, позволяет выделять разные уровни оптической интенсивности. Поскольку входным переменным поставлены в соответствие посредством ослабителей 36_1 и 36_2 оптической мощности базисные интенсивности $P_1 = P_{max}, P_2 = P_{max}/2, P_3 = P_{max}/A$ то набор всех возможных комбинаций, формируемых на выходе светообъединителя 37, определяется как

$$P_q = \sum_{i=1}^3 \alpha_{q_i} P_{e_i}, \text{ где } \alpha_{q_i} - \text{коэффициенты,}$$

принимаящие значения "0" или "1" ($q=0, \dots, 7$).

БУВЗ 38 осуществляет задержки текущих интенсивностей (а.с. СССР №1711201, кл. G06У3/00, G02F3/00, 1989). Поскольку каждому значению текущей интенсивности поставлен в соответствие свой минтеом входных переменных, т.е.

$$P_0^i \rightarrow A^i S^{i-1} P^i, \quad P_1^i \rightarrow \bar{A}^i S^{i-1} \bar{P}^i, \dots, P_7^i \rightarrow \bar{A}^i S^{i-1} \bar{P}^i,$$

то на выходе ОЭЗ 41 и 42 в соответствующие, моменты времени могут формироваться изображения текущего минтерма или "0" в зависимости от значений питающего сигнала на управляющих входах 21 и 22 АЛУЗ. Поскольку для реализации вычисления текущей суммы $\{S_i^t\}$ необходимо, выполнить булеву операцию $\{S_i^t\} = \{A_i^t\} \oplus \{S_i^{t-1}\} \oplus \{P_i\}_{j-1}$, а для формирования переноса $\{P_i^t\} = \{P_i\}_{j-1} \vee (\{A_i^t\} \oplus \{S_i^{t-1}\}) \oplus \{A_i^t\} \{S_i^{t-1}\}$, то управляющие сигналы подбираются соответствующим образом. Например, на входе 21 управления АЛУЗ необходимо в моменты времени t_0, \dots, t_7 сформировать управляющую цепочку $1, 0, 0, 0, 1, 1, 1, 0$, поскольку

$$\{A_i^t\} \oplus \{S_i^{t-1}\} \oplus \{P_i\}_{j-1} = \{A_i^t\} \{S_i^{t-1}\} \{P_i^t\}$$

$$+ \{A_i^t\} \{S_i^{t-1}\} \{P_i\}_{j-1} + \{A_i^t\} \{S_i^{t-1}\} \{P_i^t\}_{j-1} + \{A_i^t\} \{S_i^{t-1}\} \{P_i\}_{j-1}$$

а на вход 22 управления АЛУ - управляющую цепочку $1, 1, 1, 1, 0, 0, 0, 0$, поскольку $\{P_i^t\}_{j-1} \vee (\{A_i^t\} \oplus \{S_i^{t-1}\}) \oplus \{A_i^t\} \{S_i^{t-1}\} = \{P_i^t\}_{j-1} \{A_i^t\} \{S_i^{t-1}\} + \{P_i^t\}_{j-1} \{A_i^t\} \{S_i^{t-1}\} + \{P_i^t\}_{j-1} \{A_i^t\} \{S_i^{t-1}\} + \{P_i^t\}_{j-1} \{A_i^t\} \{S_i^{t-1}\}$.

Подачей короткого импульса на вход 20

управления АЛУЗ D-триггера 43, 44 сбрасываются в нулевое состояние, после чего накапливают сумму требуемых логических операций, представленных в ДНФ. D-защелка 45 служит для поддержания результата на выходе 28 сумматора 26 АЛУЗ до тех пор, пока выставлены значения текущих операндов $\{A_i^t\}$ и $\{S_i^{t-1}\}$.

Подача очередного синхроимпульса на вход 20 управления АЛУЗ подбирается с учетом полного завершения вычисления логических операций, т.е. длительность текущих импульсов на входе 20 управления АЛУЗ подбирается не менее $t_1 + t_2 + t_3$, где t_q - длительности задержек. Очередной импульс на входе 20 управления АЛУЗ

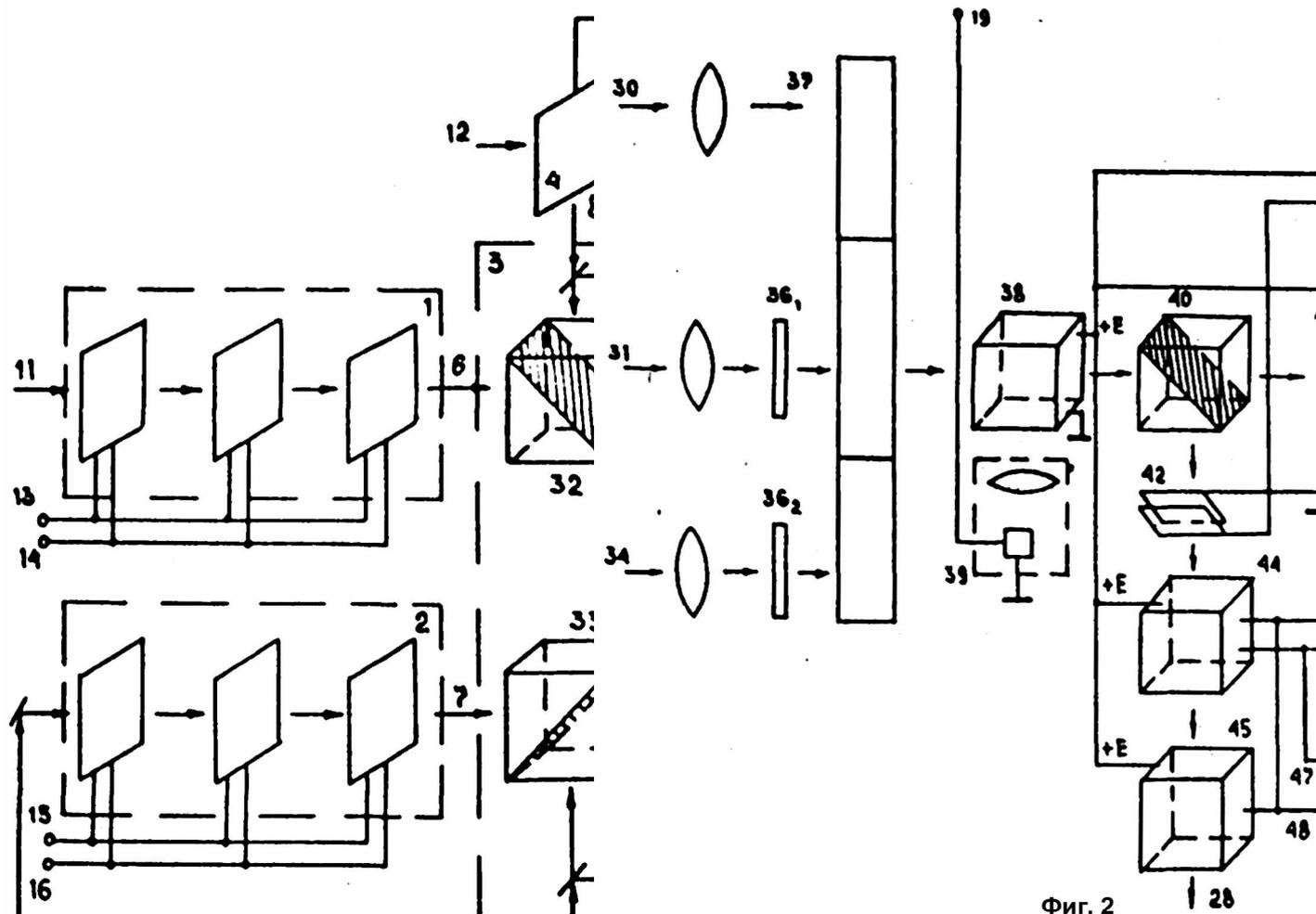
высвечивает значения текущей суммы $\{S_i^t\}$, при необходимости - значение текущего переноса $\{P_i^t\}_{j-1}$. После завершения обработки j -х текущих бинарных срезов $\{A_i^t\}$ и $\{S_i^{t-1}\}$, т.е. когда

вычисления суммы $\{S_i^t\}$ и переноса $\{P_i^t\}_{j-1}$ завершены, на оптические входы 30 и 31 сумматора 26 проецируются последующие срезы $\{A_i^t\}_{j+1}$ и $\{S_i^{t-1}\}_{j+1}$. Время присутствия изображений $\{A_i^t\}_{j+1} + \{S_i^{t-1}\}_{j+1}$ на оптических входах 30 и 31 сумматора 26 совпадает со временем фиксации изображения переноса $\{P_i^t\}_{j-1}$ D - защелкой 45.

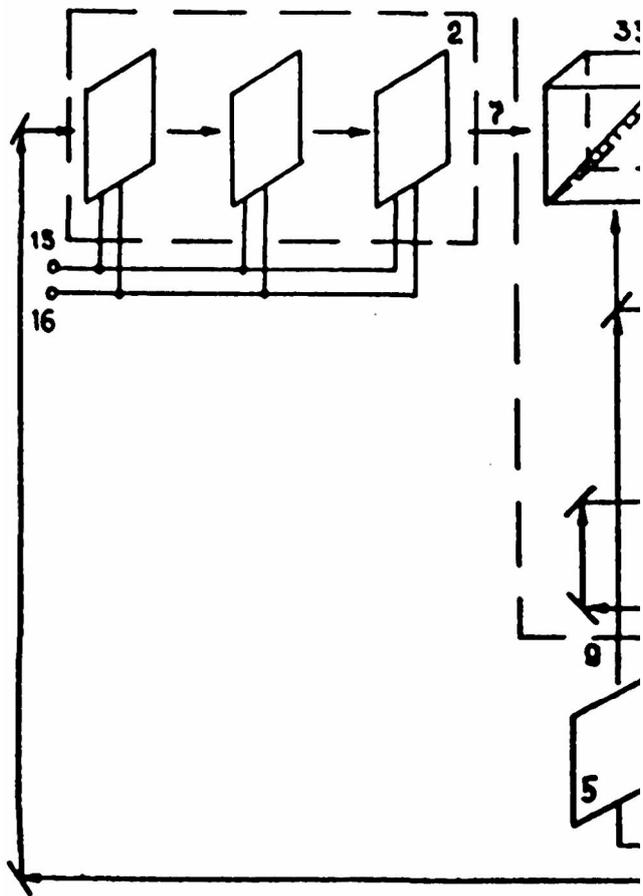
На фиг.4 приняты следующие обозначения: ОЗУ1, ОЗУ2 - запоминающие устройства 1 и 2 соответственно; АЛУ 3 - арифметико-логическое устройство 3; ЭП4, ЭП5 - элементы 4 и 5 памяти картинного типа соответственно; T_1, \dots, T_{k-1}, T_k - длительности тактов цикла сложения; $T_{сл}$ - длительность цикла сложения, причем $T_{сл} = T_1 + \dots + T_k$; T_1, \dots, T_{k-1}, T_k длительности тактов цикла преобразования в прямой код результата сложения; $T_{пр}$ - длительность цикла преобразования, причем $T_{пр} = T_1 + \dots + T_k$.

Запоминающие устройства ОЗУ1 и ОЗУ2 могут быть выполнены по известной схеме а.с. СССР №1465913, кл. G11C19/00, 1987), элементы 4 и 5 памяти картинного типа - в соответствии со схемой (а.с. СССР №1603334, кл. G02F3/00, G06K9/00, 1988), а инверсные оптически управляемые транспаранты 29, 32, 33 могут быть реализованы по схеме в соответствии с рис.11 (Морозов В.Н. Оптоэлектронные матричные процессоры. - М.: Радио и связь, 1986. - С.36).

№№ n/n	Знак А	Знак В	Соотноше- ние	Код А	К
1	0	0	-	прямой	пр
2	0	1	A>B	прямой	доп
3	0	1	A<B	прямой	доп
4	1	0	A>B	дополнит.	пр
5	1	0	A<B	дополнит.	пр
6	1	1	-	дополнит.	доп



Фиг. 2

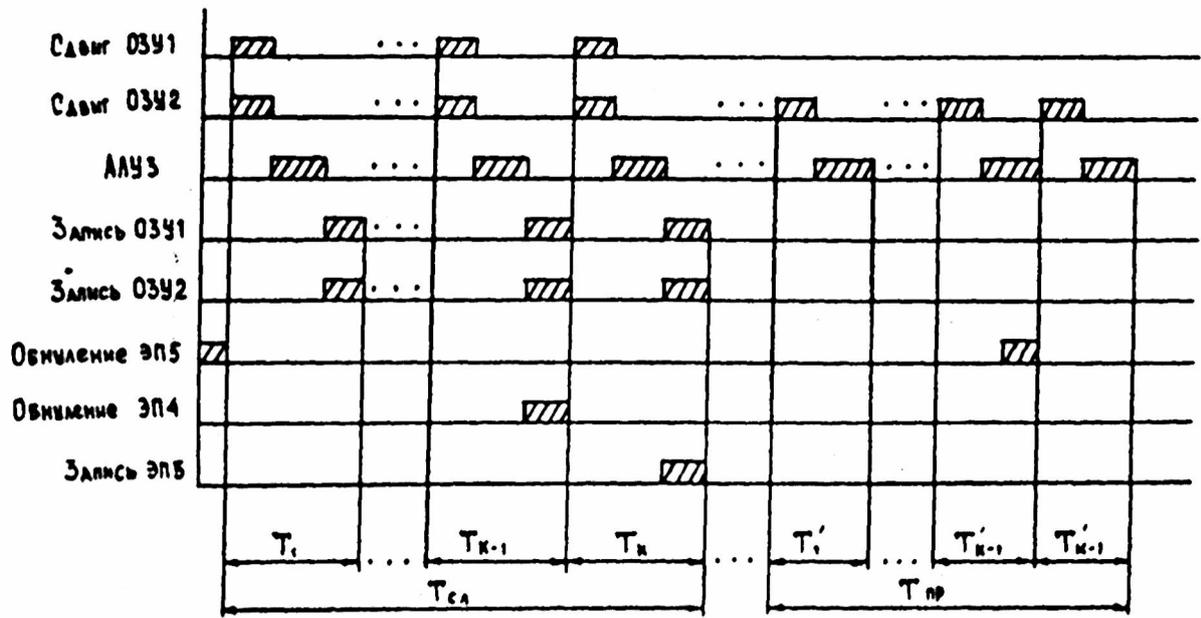


Фиг. 3

- 1. A = +4 (0,100)
B = +3 (0,011)
C = +7 (0,111)
- 2. A = +7 (0,111)
B = -5 (1,101)
C = +2 (0,010)
- 3. A = +5 (0,101)
B = -7 (1,111)
C = -2 (1,010)
- 4. A = -7 (1,111)
B = +5 (0,101)
C = -2 (1,010)
- 5. A = -5 (1,101)
B = +7 (0,111)
C = +2 (0,010)
- 6. A = -1 (1,001)
B = -2 (1,010)
C = -3 (1,011)

+ 0,100	
+ 0,011	
<u>0,111</u>	
+ 0,111	
+ 1,011	- дополн
<u>0,010</u>	
0,101	
+ 1,001	- дополн
<u>1,110</u>	- дополн
+ 1,001	- дополн
+ 0,101	
<u>1,110</u>	- дополн
1,011	- дополн
+ 0,111	
<u>0,010</u>	
1,111	- дополн
+ 1,110	- дополн
<u>1,101</u>	- дополн

Фиг. 3



Фиг. 4