

Винахід належить до галузі цифрової обчислювальної техніки і може бути застосований у пристроях обчислення спектрів, згорток та кореляційних функцій.

Відомий пристрій для швидкого дійсного перетворення Хартлі-Фур'є (ШПХФ) [А. с. СССР №1569847, кл. G 06 F 15/332, 1990], що містить два лічильники, два регістри, три комутатори, блок оперативної пам'яті, блок постійної пам'яті, два помножувачі та суматор-віднімач.

Недоліком даного пристрою є низька швидкодія, оскільки час виконання кожної базової операції алгоритму ШПХФ складає від чотирьох до шести періодів тактової частоти.

Найбільш близьким за технічною сутністю до пропонованого є арифметичний пристрій для виконання ШПХФ [А. с. СССР, №1594562, кл. G 06 F 15/332, Бюл. №35, 1990], що містить з першого по шостий комутатори, перший та другий блоки оперативної пам'яті, перший суматор, перший віднімач, комплексний помножувач, перший та другий регістри, блок постійної пам'яті, два лічильники та перший тригер, перший установочний вхід якого з'єднаний з входом початкової установки першого лічильника і є входом початкової установки процесора, а другий установочний вхід з'єднаний з лічильним входом першого лічильника та підключений до виходу переносу другого лічильника, інформаційні виходи першого та другого лічильників підключені відповідно до першого та другого адресних входів блока постійної пам'яті, вихід переносу першого лічильника є виходом ознаки завершення обробки масиву даних процесора, вихід першого тригера підключений до керуючих входів першого та другого комутаторів, до перших інформаційних входів яких підключені відповідно перший та другий інформаційні входи процесора, вихід першого комутатора підключений до першого входу третього та другого входу четвертого комутаторів, вихід другого комутатора підключений до першого входу четвертого та другого входу третього комутаторів, до керуючих входів яких підключений перший вихід блока постійної пам'яті, другий та третій виходи якого підключені до адресних входів відповідно першого та другого блоків оперативної пам'яті, до інформаційних входів яких підключені виходи відповідно третього та четвертого комутаторів, вихід першого регістра підключений до перших входів першого суматора та першого віднімача, до других входів яких підключений вихід другого регістра.

Недоліком даного пристрою є низька швидкодія, оскільки, не зважаючи на те, що час виконання базових операцій алгоритму ШПХФ складає лише один період тактової частоти, кожна базова операція одночасно обробляє лише два операнди.

В основу винаходу поставлено задачу створення процесора швидкого перетворення Хартлі (ШПХ) дійсних послідовностей, який реалізує базову операцію алгоритму ШПХ, котра одночасно обробляє чотири операнди, в якому за рахунок введення нових блоків та зв'язків досягається зменшення кількості базових операцій алгоритму, внаслідок чого скорочується загальний час виконання алгоритму ШПХ, що приводить до підвищення швидкодії процесора.

Поставлена задача досягається за рахунок того, що в процесор швидкого перетворення Хартлі дійсних послідовностей, що містить з першого по шостий комутатори, перший та другий блоки оперативної пам'яті, перший суматор, перший віднімач, комплексний помножувач, перший та другий регістри, блок постійної пам'яті, два лічильники та перший тригер, перший установочний вхід якого з'єднаний з входом початкової установки першого лічильника і є входом початкової установки процесора, а другий установочний вхід з'єднаний з лічильним входом першого лічильника та підключений до виходу переносу другого лічильника, інформаційні виходи першого та другого лічильників підключені відповідно до першого та другого адресних входів блока постійної пам'яті, вихід переносу першого лічильника є виходом ознаки завершення обробки масиву даних процесора, вихід першого тригера підключений до керуючих входів першого та другого комутаторів, до перших інформаційних входів яких підключені відповідно перший та другий інформаційні входи процесора, вихід першого комутатора підключений до першого входу третього та другого входу четвертого комутаторів, вихід другого комутатора підключений до першого входу четвертого та другого входу третього комутаторів, до керуючих входів яких підключений перший вихід блока постійної пам'яті, другий та третій виходи якого підключені до адресних входів відповідно першого та другого блоків оперативної пам'яті, до інформаційних входів яких підключені виходи відповідно третього та четвертого комутаторів, вихід першого регістра підключений до перших входів першого суматора та першого віднімача, до других входів яких підключений вихід другого регістра, додатково введені з сьомого по чотирнадцятий комутатори, третій і четвертий блоки оперативної пам'яті, другий і третій суматори, другий і третій віднімачі та другий тригер, тактовий вхід якого підключений до виходу переносу другого лічильника, вхід скидання якого підключений до входу початкової установки процесора, вихід першого тригера підключений до інформаційного входу другого тригера та керуючих входів сьомого та восьмого комутаторів, до перших інформаційних входів яких підключені відповідно третій та четвертий інформаційні входи процесора, вихід сьомого комутатора підключений до першого входу дев'ятого та другого входу десятого комутаторів, вихід восьмого комутатора підключений до першого входу десятого та другого входу дев'ятого комутаторів, керуючі входи яких підключені до першого виходу блока постійної пам'яті, четвертий та п'ятий виходи якого підключені до адресних входів відповідно третього та четвертого блоків оперативної пам'яті, інформаційні входи яких підключені до виходів відповідно дев'ятого та десятого комутаторів, виходи з першого по четвертий блоків оперативної пам'яті підключені відповідно до перших, других, третіх та четвертих інформаційних входів з одинадцятого по чотирнадцятий комутаторів, до керуючих входів яких підключені відповідно з шостого по дев'ятий виходи блока постійної пам'яті, виходи одинадцятого та дванадцятого комутаторів підключені до входів відповідно першого та другого регістрів, виходи яких підключені до других входів відповідно п'ятого та шостого комутаторів, до перших входів яких підключені виходи відповідно першого суматора та першого віднімача, керуючі входи п'ятого та шостого комутаторів підключені до виходу другого тригера, виходи тринадцятого та чотирнадцятого комутаторів підключені відповідно до першого та другого входів комплексного помножувача, до третього та четвертого входів якого підключені відповідно десятий та одинадцятий виходи блока постійної пам'яті, виходи п'ятого та шостого комутаторів підключені до перших входів відповідно другого суматора і другого віднімача та третього суматора і третього віднімача, перший та другий виходи комплексного помножувача підключені до других входів відповідно другого суматора і другого віднімача та третього суматора і третього віднімача, виходи

другого та третього суматорів і другого та третього віднімачів підключені до других інформаційних входів відповідно першого, другого, сьомого та восьмого комутаторів і є відповідно першим, другим, третім та четвертим інформаційними виходами процесора, лічильний вхід другого лічильника з'єднаний з входами запису-читання з першого по четвертий блоків оперативної пам'яті, тактовими входами першого, другого регістрів та комплексного помножувача і є тактовим входом процесора.

Введення в пристрій з сьомого по чотирнадцятий комутаторів, третього і четвертого блоків оперативної пам'яті, другого і третього суматорів, другого і третього віднімачів та другого тригера разом з їх зв'язками дозволило реалізувати базову операцію алгоритму ІППХ, в котрій одночасно обробляється чотири операнди, і тим самим зменшити кількість базових операцій алгоритму, внаслідок чого скоротився загальний час виконання алгоритму ШПХ, тобто, підвищилась швидкодія процесора.

Пропонований пристрій, як і прототип, виконує кожну базову операцію за один період тактової частоти, але кількість базових операцій зменшується більш, ніж вдвічі.

На фіг.1 представлена блок-схема процесора ШПХ дійсних послідовностей; на фіг.2 - граф-схема алгоритму ШПХ для $N=16$, де N - кількість відліків оброблюваної послідовності; на фіг.3-4 - граф-схеми базових операцій алгоритму ШПХ, що виконуються відповідно на першому та інших етапах алгоритму.

Процесор (фіг.1) містить інформаційні входи 1-4, вхід 5 початкової установки, тактовий вхід 6, комутатори 7-20, блоки 21-24 оперативної пам'яті, суматори 25-27, віднімачі 28-30, комплексний помножувач 31, лічильники 32-33, блок постійної пам'яті 34, тригери 35-36, регістри 37-38, інформаційні входи 39-42, вихід 43 ознаки завершення обробки масиву даних.

Перший установочний вхід першого тригера 35 з'єднаний з входом початкової установки першого лічильника 33, входом скидання другого лічильника 32 і є входом 5 початкової установки процесора, а другий установочний вхід з'єднаний з лічильним входом першого лічильника 33 і тактовим входом другого тригера 36 та підключений до виходу переносу другого лічильника 32. Інформаційні виходи першого та другого лічильників 32-33 підключені відповідно до першого та другого адресних входів блока 34 постійної пам'яті, вихід переносу першого лічильника 33 є виходом 43 ознаки завершення обробки масиву даних процесора. Вихід першого тригера 35 підключений до інформаційного входу другого тригера 36 та керуючих входів першого 7, другого 8, сьомого 9 та восьмого 10 комутаторів, до перших інформаційних входів яких підключені відповідно з першого по четвертий інформаційні входи 1-4 процесора. Вихід першого комутатора 7 підключений до першого входу третього 11 та другого входу четвертого 12 комутаторів, вихід другого комутатора 8 підключений до першого входу четвертого 12 та другого входу третього 11 комутаторів, вихід сьомого комутатора 9 підключений до першого входу дев'ятого 13 та другого входу десятого 14 комутаторів, вихід восьмого комутатора 10 підключений до першого входу десятого 14 та другого входу дев'ятого 13 комутаторів. Керуючі входи третього 11, четвертого 12, дев'ятого 13 та десятого 14 комутаторів підключені до першого виходу блока 34 постійної пам'яті, з другого по п'ятий виходи якого підключені до адресних входів відповідно з першого по четвертий блоків 21-24 оперативної пам'яті, до інформаційних входів яких підключені виходи відповідно третього 11, четвертого 12, дев'ятого 13 та десятого 14 комутаторів. Виходи з першого по четвертий блоків 21-24 оперативної пам'яті підключені відповідно до перших, других, третіх та четвертих інформаційних входів з одинадцяти до чотирнадцятих комутаторів 15-18, до керуючих входів яких підключені відповідно з шостого по дев'ятий виходи блока 34 постійної пам'яті. Виходи одинадцятих та дванадцятих комутаторів 15-16 підключені до входів відповідно першого та другого регістрів 37-38, виходи яких підключені відповідно до перших та других входів першого суматора 25 та першого віднімача 28 і других входів відповідно п'ятого 19 та шостого 20 комутаторів, до перших входів яких підключені відповідно виходи першого суматора 25 та першого віднімача 28, а до керуючих входів підключений вихід другого тригера 36. Виходи тринадцятого та чотирнадцятого комутаторів 17-18 підключені відповідно до першого та другого входів комплексного помножувача 31, до третього та четвертого входів якого підключені відповідно десятій та одинадцятій виходи блока 34 постійної пам'яті. Виходи п'ятого та шостого комутаторів 19-20 підключені до перших входів відповідно другого суматора 26 і другого віднімача 29 та третього суматора 27 і третього віднімача 30. Перший та другий виходи комплексного помножувача 31 підключені до других входів відповідно другого суматора 26 і другого віднімача 29 та третього суматора 27 і третього віднімача 30. Виходи другого та третього суматорів 26-27 і другого та третього віднімачів 29-30 підключені до других інформаційних входів відповідно першого 7, другого 8, сьомого 9 та восьмого 10 комутаторів і є відповідно першим, другим, третім та четвертим інформаційними виходами 39-42 процесора. Лічильний вхід другого лічильника 32 з'єднаний з входами запису-читання з першого по четвертий блоків 21-24 оперативної пам'яті, тактовими входами першого, другого регістрів 37-38 та комплексного помножувача 31 і є тактовим входом 6 процесора.

Алгоритм ШПХ, граф-схема якого зображена на фіг.2, складається з $\log_2 N - 1$ етапів, на кожному з яких виконується $N/4$ базових операцій. На першому етапі (M_1) виконуються базові операції, зображені на фіг.3, на інших етапах (M_2, M_3) - базові операції, зображені на фіг.4. На фіг.2-4 прийняті такі позначення: безперервна лінія позначає операцію додавання, пунктирна лінія - операцію віднімання, лінія з стрілкою на кінці - операцію множення на значення, розташоване біля неї; $S_k = \cos(2\pi k/N)$, $8k = 8\ln(2\pi k/M)$, де K - цілі числа.

Процесор виконує алгоритм ШПХ по ітераційному принципу. На кожній ітерації, час якої складає один період тактової частоти, виконується одна базова операція.

Лічильник 32 призначений для підрахунку кількості виконаних базових операцій на одному етапі алгоритму ШПХ. По спаду кожного тактового імпульсу він збільшує своє значення на одиницю. Лічильник 33 призначений для підрахунку кількості етапів алгоритму, що залишилось виконати, і працює в режимі віднімання. При переповненні лічильника 32, що є ознакою завершення етапу алгоритму, сигнал з його виходу переносу поступає на лічильний вхід лічильника 33 і віднімає від його значення одиницю. При переповненні лічильника 33 на його виході переносу з'являється сигнал, що є ознакою завершення обробки масиву даних. Виходи лічильників 32-33 визначають адреси комірок блока 34 постійної пам'яті, в кожній з яких зберігаються чотири адреси операндів базової операції, по яким відбувається їх читання та запис в блоки 21-24 оперативної пам'яті, два вагових коефіцієнти базової операції, однорозрядний код керування комутаторами 11-14 та

чотири двохранрядних коди керування комутаторами 15-18. Комутатори 7-10 призначені для пропуску значень оброблюваного масиву даних або вихідних операндів базових операцій. Комутатори 11-14 забезпечують такий порядок запису значень оброблюваного масиву даних та вихідних операндів базових операцій в блоки 21-24 оперативної пам'яті, що вхідні операнда кожної з базових операцій наступного етапу алгоритму містяться в різних блоках 21-24 оперативної пам'яті. Комутатори 15-18 забезпечують порядок подачі операндів базових операцій з блоків 21-24 оперативної пам'яті на входи першого, другого реєстрів 37-38 та комплексного помножувача 31 у відповідності з граф-схемою алгоритму, зображеною на фіг.2. На суматорах 25-27, віднімачах 28-30 та комплексному помножувачі 31 виконуються базові операції алгоритму (фіг.3-4). Комутатори 19-20 визначають необхідність участі в виконанні базових операцій суматора 25 та віднімача 28.

Процесор ШПХ працює наступним чином.

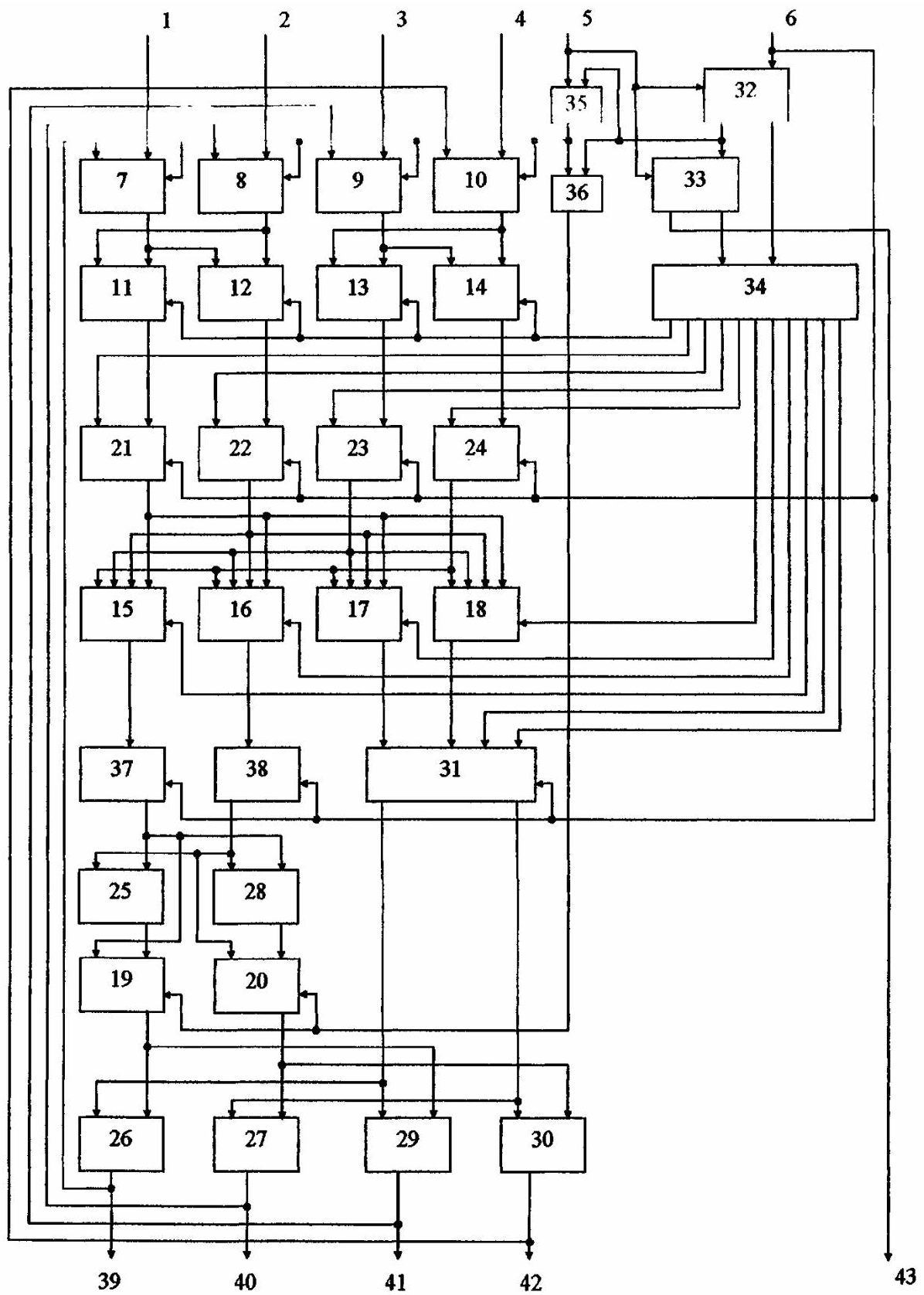
По входу 5 поступає сигнал початкової установки, котрий встановлює в нульовий стан тригер 35, обнулює лічильник 32 та записує в лічильник 33 значення, рівне кількості етапів алгоритму ШПХ.

Перед початком виконання алгоритму ШПХ відбувається етап прийому оброблюваного масиву даних. На цьому етапі на керуючих входах комутаторів 7-14 присутній нульовий сигнал, внаслідок чого в кожному такті під час дії високого рівня тактового імпульсу, що поступає по тактовому входу 6, четвірки даних з входів 1-4 записуються в блоки 21-24 оперативної пам'яті за адресами, що поступають з виходів блока 34 постійної пам'яті.

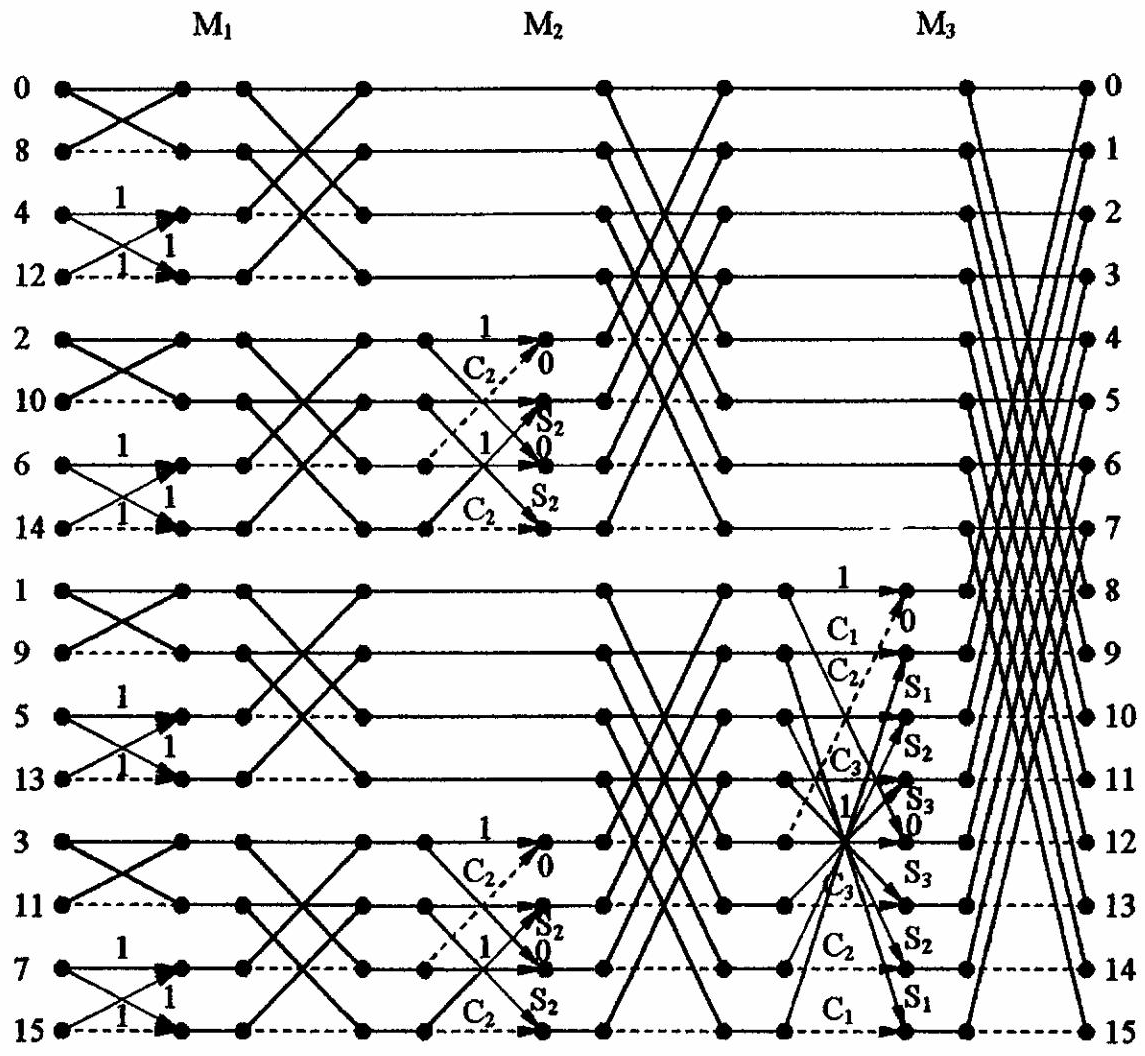
Після запису в блоки 21-24 оперативної пам'яті останньої N/4-ої четвірки даних лічильник 32 обнулюється, а по сигналу з його виходу переносу значення лічильника 33 зменшується на одиницю, та виходи тригерів 35 і 36 встановлюються відповідно в одиничний і нульовий стан, внаслідок чого комутатори 7-10 пропускають на свої виходи інформацію з виходів суматорів 26-27 та віднімачів 29-30, а комутатори 19-20 пропускають на свої виходи інформацію з виходів першого суматора 25 та першого віднімача 28.

Після завершення прийому масиву даних починають виконуватись базові операції алгоритму ШПХ (фіг.2). Операнди базових операцій зчитуються з блоків 21-24 оперативної пам'яті, на адресні входи яких поступають адреси з блока 34 постійної пам'яті, під час дії низького рівня тактових імпульсів, проходять з певною комутацією на виходи комутаторів 15-18 і по фронту тактового імпульсу записуються в перший та другий реєстри 37-38 та комплексний помножувач 31. Разом з операндами базових операцій в комплексний помножувач записуються вагові коефіцієнти, що поступають з виходів блока 34 постійної пам'яті. На першому етапі алгоритму ШПХ їх значення дорівнюють одиниці, внаслідок чого на виходах комплексного помножувача з'являються результати суми та різниці операндов, що записані в нього. На інших етапах алгоритму ШПХ їх значення дорівнюють нулю і одиниці або тригонометричним коефіцієнтам C_k і S_k . В першому випадку на виходи комплексного помножувача пропускаються операнди, записані в нього, в другому - на виходах комплексного помножувача з'являються результати суми та різниці добутків операндів на тригонометричні коефіцієнти. Базові операції першого етапу алгоритму ШПХ реалізуються на суматорах 25-27, віднімачах 28-30 та комплексному помножувачі 31. При виконанні базових операцій інших етапів алгоритму ШПХ суматор 25 та віднімач 28 не приймають участь, оскільки після завершення виконання першого етапу алгоритму по сигналу з виходу переносу лічильника 32 вихід тригера 36 встановлюється в одиничний стан, внаслідок чого комутатори 19-20 пропускають на свої виходи інформацію з виходів реєстрів 37-38. Вихідні операнди базових операцій проходять через комутатори 7-10, комутатори 11-14, котрі забезпечують необхідну комутацію, і записуються в блоки 21-24 оперативної пам'яті під час дії високого рівня тактових імпульсів за тими ж адресами.

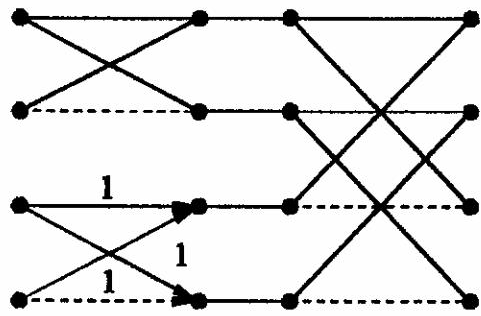
На останньому етапі алгоритму ШПХ результати обчислень поступають на виходи 39-42 процесора. Після виконання останньої базової операції на виході переносу лічильника 33 з'являється сигнал завершення обробки масиву даних і готовності процесора до прийому наступного масиву даних.



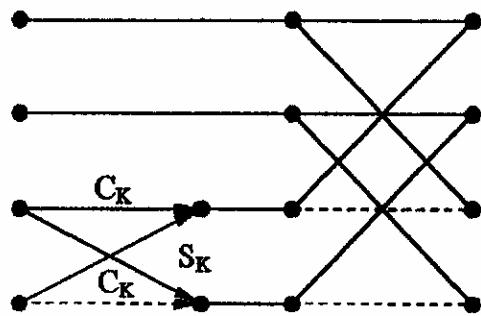
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4