

Винахід належить до галузі цифрової обчислювальної техніки і може бути застосований у складі процесорів швидкого перетворення Фур'є (ШПФ), що використовуються в пристроях обчислення спектрів, згортки та кореляційних функцій.

Відомий пристрій для формування адрес процесора ШПФ [А. с. СССР №1174939, кл. G 06 F 15/332, 1984], що містить перший і другий лічильники, блок постійної пам'яті, групу з  $N$  ( $N$  - розрядність адреси) мультиплексорів, перший регістр та блок керування, тактовий вхід якого є тактовим входом пристрою, інформаційними виходами якого є виходи першого регістру, тактовий вхід якого підключений до другого виходу блока керування, перший вихід якого підключений до лічильного входу першого лічильника,  $j$ -й вихід ( $j=1,N$ ) якого з'єднаний з першим інформаційним входом  $j$ -го мультиплексора групи, перший вихід першого лічильника з'єднаний з другими інформаційними виходами всіх мультиплексорів групи, крім першого мультиплексора групи, до другого входу якого підключений другий вихід першого лічильника,  $k$ -й вихід ( $k=3,N$ ) якого підключений до третього інформаційного входу ( $k-1$ )-го мультиплексора групи, перший та ( $2N-2$ )-й виходи блока постійної пам'яті підключені до адресних входів відповідно першого та  $N$ -го мультиплексорів групи,  $2m$ -й та ( $2m+1$ )-й виходи ( $m=1,N-2$ ) блока постійної пам'яті підключені відповідно до першого та другого адресних входів ( $m+1$ )-го мультиплексора групи.

Недоліком даного пристрою є низька швидкодія та неможливість використання пристрою для адресації відліків при обробці довільної довжини, кратної двом.

Найбільш близьким за технічною сутністю до пропонованого є пристрій для формування адрес процесора ШПФ [А. с. СССР, №1499373, кл. G 06 F 15/332, Бюл. №29, 1989], що містить перший і другий лічильники, блок постійної пам'яті, групу з  $N$  ( $N$  - максимальна розрядність адреси) мультиплексорів, перший мультиплексор, перший регістр та блок керування, тактовий вхід якого є тактовим входом пристрою, інформаційними виходами якого є виходи першого регістру, тактовий вхід якого підключений до другого виходу блока керування, перший вихід якого підключений до лічильного входу першого лічильника,  $j$ -й вихід ( $j=1,N$ ) якого з'єднаний з першим інформаційним входом  $j$ -го мультиплексора групи та  $j$ -м інформаційним входом першого комутатора, перший вихід першого лічильника з'єднаний з другими інформаційними виходами всіх мультиплексорів групи, крім першого мультиплексора групи, до другого входу якого підключений другий вихід першого лічильника,  $k$ -й вихід ( $k=3,N$ ) якого підключений до третього інформаційного входу ( $k-1$ )-го мультиплексора групи, ( $N+1$ )-й вихід першого лічильника підключений до ( $N+1$ )-го інформаційного входу першого комутатора, перший та ( $2N-2$ )-й виходи блока постійної пам'яті підключені до адресних входів відповідно першого та  $N$ -го мультиплексорів групи,  $2t$ -й та ( $2m+1$ )-й виходи ( $m=1,N-2$ ) блока постійної пам'яті підключені відповідно до першого та другого адресних входів ( $m+1$ )-го мультиплексора групи, адресні входи першого мультиплексора підключені до групи входів завдання довжини вибірки пристрою.

Недоліком даного пристрою є низька швидкодія внаслідок того, що для формування кожної адреси необхідний час, що дорівнює трьом періодам тактових імпульсів. Крім того, пристрій містить складний блок модифікації адреси для можливості обробки вибірки відліків з двійково-інверсним порядком їх розташування.

В основу винаходу поставлено задачу створення пристрою для формування адрес процесора ШПФ, в якому за рахунок введення нових елементів та зв'язків між ними досягається скорочення часу формування кожної адреси до одного періоду тактових імпульсів, внаслідок чого підвищується швидкодія пристрою, а за рахунок виключення блока модифікації адреси спрощується структура пристрою.

Поставлена задача досягається за рахунок того, що в пристрій для формування адрес процесора ШПФ, що містить перший і другий лічильники, блок постійної пам'яті, групу з  $N$  ( $N$  - максимальна розрядність адреси) мультиплексорів, перший мультиплексор, перший регістр та блок керування, тактовий вхід якого є тактовим входом пристрою, інформаційними виходами якого є виходи першого регістру, тактовий вхід якого підключений до другого виходу блока керування, перший вихід якого підключений до лічильного входу першого лічильника,  $j$ -й вихід ( $j=1,N$ ) якого з'єднаний з першим інформаційним входом  $j$ -го мультиплексора групи та  $j$ -м інформаційним входом першого комутатора, перший вихід першого лічильника з'єднаний з другими інформаційними виходами всіх мультиплексорів групи, крім першого мультиплексора групи, до другого входу якого підключений другий вихід першого лічильника,  $k$ -й вихід ( $k=3,N$ ) якого підключений до третього інформаційного входу ( $k-1$ )-го мультиплексора групи, ( $N+1$ )-й вихід першого лічильника підключений до ( $N+1$ )-го інформаційного входу першого комутатора, перший та ( $2N-2$ )-й виходи блока постійної пам'яті підключені до адресних входів відповідно першого та  $N$ -го мультиплексорів групи,  $2m$ -й та ( $2m+1$ )-й виходи ( $m=1,N-2$ ) блока постійної пам'яті підключені відповідно до першого та другого адресних входів ( $m+1$ )-го мультиплексора групи, адресні входи першого мультиплексора підключені до групи входів завдання довжини вибірки пристрою, додатково введені третій лічильник, другий комутатор, другий, третій і четвертий регістри, три елементи АБО, три інвертори та елемент АБО-НІ, вихід якого є виходом завершення роботи пристрою, перший вхід блока керування з'єднаний з першим входом першого елемента АБО та входом другого інвертора і є входом початку роботи пристрою, вихід першого комутатора підключений до другого входу першого елемента АБО, вихід якого підключений до входу скидання першого лічильника, та входу третього інвертора, вихід якого підключений до других входів другого та третього елементів АБО та до зворотного лічильного входу третього лічильника, виходи якого підключені до входів елемента АБО-НІ, вхід першого інвертора з'єднаний з першим входом третього елемента АБО, адресним входом другого комутатора і є входом завдання ознаки розташування даних пристрою, вихід першого інвертора підключений до першого входу другого елемента АБО, виходи другого та третього елементів АБО підключені відповідно до зворотного та прямого лічильних входів другого лічильника, вихід другого інвертора підключений до входів запису другого та третього лічильників, перші інформаційні входи другого комутатора є групою входів установки значення "1", входи завдання довжини вибірки пристрою підключені до інформаційних входів третього лічильника та других інформаційних входів другого комутатора, виходи якого підключені до інформаційних входів другого лічильника, виходи якого підключені до адресних входів блока постійної пам'яті, вихід  $j$ -го мультиплексора групи підключений до  $j$ -го інформаційного входу першого, другого, третього та четвертого регістрів,  $j$ -ті інформаційні виходи яких з'єднані, третій, четвертий і п'ятий виходи блока керування підключені до тактових

входів відповідно другого, третього та четвертого регістрів, входи дозволу читання першого, другого, третього та четвертого регістрів підключені відповідно до шостого, сьомого, восьмого та дев'ятого виходів блока керування.

Блок керування містить п'ять елементів I, елемент АБО та регістр зсуву, тактовий вхід якого з'єднаний з першим входом елемента АБО і є тактовим входом блока керування, перший вхід якого підключений до входу завдання режиму роботи регістра зсуву, перші сім інформаційних входів якого підключені до входу завдання логічної одиниці пристрою, восьмий інформаційний вхід регістра зсуву підключений до входу завдання логічного нуля пристрою, перший вихід регістра зсуву підключений до перших входів першого та четвертого елементів I та є другим виходом блока керування, другий вихід регістра зсуву підключений до третього входу першого та першого входу п'ятого елементів I та є третім виходом блока керування, третій та четвертий виходи регістра зсуву підключені до перших входів відповідно другого та третього елементів I, п'ятий вихід регістра зсуву підключений до других входів першого та другого елементів I та є четвертим виходом блока керування, шостий вихід регістра зсуву підключений до четвертого входу першого та другого входу третього елементів I та є п'ятим виходом блока керування, сьомий вихід регістра зсуву підключений до другого входу четвертого елемента I, восьмий вихід регістра зсуву підключений до послідовного інформаційного входу регістра зсуву та другого входу п'ятого елемента I, виходи четвертого, п'ятого, другого та третього елементів I є відповідно шостим, сьомим, восьмим та дев'ятим виходами блока керування, вихід першого елемента I підключений до другого входу елемента АБО, вихід якого є першим виходом блока керування.

Введення в пристрій третього лічильника, другого комутатора, другого, третього та четвертого регістрів, трьох елементів АБО, трьох інверторів та елемента АБО-НІ разом з їх зв'язками дозволило скоротити до одного періоду тактових імпульсів час формування кожної адреси та спростити формування адрес при обробці вибірки відліків з двійково-інверсним порядком їх розташування, внаслідок чого підвищилась швидкодія пристрою та спростила його структура.

На фіг.1 представлена функціональна схема пристрою для формування адрес процесора ШПФ; на фіг.2 - функціональна схема блока керування; на фіг.3 - часові діаграми роботи блока керування; на фіг.4 - прошивка блока постійної пам'яті пристрою.

Пристрій (фіг.1) містить блок 1 керування, перший, другий та третій лічильники 2-4, групу 5 мультиплексорів, перший та другий комутатори 6-7, блок 8 постійної пам'яті, перший, другий, третій та четвертий регістри 9-12, перший, другий та третій елементи АБО 13-15, перший, другий та третій інвертори 16-18, елемент АБО-НІ 19, тактовий вхід 20, вхід 21 завдання ознаки розташування даних, групу 22 входів завдання довжини вибірки, вхід 23 початку роботи пристрою та перший вхід блока 1 керування, з першого по дев'ятий виходи 24-32 блока 1 керування, інформаційні виходи 33 пристрою та вихід 34 завершення роботи пристрою.

Блок 1 керування (фіг.2) містить регістр 35 зсуву, з першого по п'ятий елементи I36-40 та елемент АБО 41.

Тактовий вхід 20 пристрою підключений до тактового входу блока 1 керування, перший вихід 24 якого підключений до лічильного входу першого лічильника 2, з другого по п'ятий виходи 25-28 підключені до тактових входів відповідно з першого по четвертий регістрів 9-12, до входів дозволу читання яких підключені відповідно з шостого по дев'ятий виходи 29-32. J-й вихід ( $j=1, N$ ) першого лічильника 2 з'єднаний з першим інформаційним входом j-го мультиплексора групи 5 та j-м інформаційним входом першого комутатора 6. Перший вихід першого лічильника 2 з'єднаний з другими інформаційними входами всіх мультиплексорів групи 5, крім першого мультиплексора групи, до другого входу якого підключений другий вихід першого лічильника 2, k-й вихід ( $k=3, N$ ) якого підключений до третього інформаційного входу (k-1)-го мультиплексора групи 5, а (N+1)-й вихід підключений до (N+1)-го інформаційного входу першого комутатора 6. Перший та (2N-2)-й виходи блока 9 постійної пам'яті підключені до адресних входів відповідно першого та N-го мультиплексорів групи 5, 2т-й та (2m+1)-й виходи ( $m=1, N-2$ ) блока 9 постійної пам'яті підключені відповідно до першого та другого адресних входів (m+1)-го мультиплексора групи 5. Входи 25 завдання довжини вибірки пристрою підключені до адресних входів першого мультиплексора 6, інформаційних входів третього лічильника 4 та других інформаційних входів другого комутатора 7, перші інформаційні входи якого є групою входів установки значення "1". Виходи другого комутатора 7 підключені до інформаційних входів другого лічильника 3, виходи якого підключені до адресних входів блока 8 постійної пам'яті. Перший вхід 23 блока 1 керування з'єднаний з першим входом першого елемента АБО 13 та входом другого інвертора 17 і є входом початку роботи пристрою. Вихід першого комутатора 6 підключений до другого входу першого елемента АБО 13, вихід якого підключений до входу скидання першого лічильника 5, та входу третього інвертора 18, вихід якого підключений до других входів другого та третього елементів АБО 14-15 та до зворотного лічильного входу третього лічильника 4, виходи якого підключені до входів елемента АБО-НІ 19, вихід якого є виходом 34 завершення роботи пристрою. Вхід першого інвертора 16 з'єднаний з першим входом третього елемента АБО 15, адресним входом другого комутатора 7 і є входом 21 завдання ознаки розташування даних пристрою. Вихід першого інвертора 16 підключений до першого входу другого елемента АБО 14. Виходи другого та третього елементів АБО 14-15 підключені відповідно до зворотного та прямого лічильних входів другого лічильника 3. Вихід другого інвертора 17 підключений до входів запису другого та третього лічильників 3-4. Вихід j-го мультиплексора групи 5 підключений до j-го інформаційного входу першого, другого, третього та четвертого регістрів 9-12, j-ті інформаційні виходи яких з'єднані та є інформаційними виходами 33 пристрою.

Тактовий вхід 20 блока 1 керування підключений до тактового входу регістра 35 зсуву та першого входу елемента АБО 41. Перший вхід 23 блока 1 керування підключений до входу завдання режиму роботи регістра 35 зсуву, перші сім інформаційних входів якого підключені до входу завдання логічної одиниці пристрою, а восьмий інформаційний вхід підключений до входу завдання логічного нуля пристрою. Перший вихід регістра 35 зсуву підключений до перших входів першого та четвертого елементів I36,39 та є другим виходом 25 блока 1 керування. Другий вихід регістра 35 зсуву підключений до третього входу першого та першого входу п'ятого елементів I36,40 та є третім виходом 26 блока 1 керування. Третій та четвертий виходи регістра 35 зсуву підключені до перших входів відповідно другого та третього елементів I37,38. П'ятий вихід регістра 35 зсуву

підключений до других входів першого та другого елементів I36,37 та є четвертим виходом 27 блока 1 керування. Шостий вихід регістра 35 зсуву підключений до четвертого входу першого та другого входу третього елементів I36,38 та є п'ятим виходом 28 блока 1 керування. Сьомий вихід регістра 35 зсуву підключений до другого входу четвертого елемента I 39. Восьмий вихід регістра 35 зсуву підключений до послідовного інформаційного входу регістра 35 зсуву та другого входу п'ятого елемента I40. Виходи четвертого 39, п'ятого 40, другого 37 та третього 38 елементів I є відповідно шостим 29, сьомим 30, восьмим 31 та дев'ятим 32 виходами блока 1 керування. Вихід першого елемента I 36 підключений до другого входу елемента АБО 41, вихід якого є першим виходом 24 блока керування.

Пропонований пристрій формує адреси операндів базових операцій алгоритмів ШПФ з прямим або двійково-інверсним порядком відліків вибірки довільної довжини, кратної двом. Алгоритм ШПФ виконується за  $N = \log_2 M$  ( $M$  - довжина вибірки відліків) етапів, на кожному з яких обробляється  $M$  операндів. Алгоритми формування адрес операндів базових операцій в алгоритмах ШПФ з прямим та двійково-інверсним порядком відліків вибірки співпадають відповідно на  $i$ -му ( $i=1, N$ ) та  $(N-i+1)$ -му етапах. Адреса операнда базової операції алгоритму ШПФ з прямим порядком відліків на  $i$ -му етапі в двійковій формі числення визначається як

$$A_N A_{N-1} \dots A_{i+1} A_i A_{i-1} \dots A_3 A_2,$$

де  $A_i$  ( $i = 1, N$ ) - значення двійкового розряду порядкового номера  $P=0, M-1$  операнда базової операції в межах поточного етапу алгоритму ШПФ. Тобто, формування адрес операндів полягає в комутації розрядів порядкового номера операнда у відповідності з номером поточного етапу алгоритму ШПФ.

Для формування порядкового номера операнда в межах етапу алгоритму ШПФ використовується перший  $(N+1)$ -розрядний лічильник 2. Номер поточного етапу алгоритму ШПФ визначається другим  $K^{\lceil \log_2 N \rceil}$ -розрядним лічильником 3, в який на початку роботи записується значення номера початкового етапу, котрий формується за допомогою другого комутатора 7. Комутація розрядів порядкового номера операнда виконується за допомогою блока 8 постійної пам'яті, розрядність комірок якої складає  $(2N-2)$  розряди, та групи 5 мультіплексорів. Прошивка блока 8 постійної пам'яті представлена на фіг.4. Перший комутатор 6 призначений для формування ознаки завершення чергового етапу алгоритму ШПФ. Третій  $K$ -розрядний лічильник 4 визначає кількість етапів алгоритму ШПФ, що залишились до його завершення.

Для забезпечення узгодженого режиму роботи процесора ШПФ, при якому під час виконання  $n$ -ої базової операції формуються адреси операндів  $(n-1)$ -ої базової операції для запису результатів цієї операції в пам'ять та адреси операндів  $(n+1)$ -ої базової операції для читання операндів цієї операції з пам'яті, призначені перший, другий, третій та четвертий регістри 9-12 з тристабільними виходами. В будь-який момент часу активним є лише один з них, а саме той, на який поданий сигнал дозволу читання з блока 1 керування, а виходи інших регістрів знаходяться в цей момент часу в високоімпедансному стані. Запис та читання інформації в регістри 9-12 відбувається у відповідності з часовими діаграмами, приведеними на фіг.3.

Пристрій працює наступним чином.

З подачею імпульсу сигналу логічної одиниці на вхід 23 початку роботи пристрою перший лічильник 2 встановлюється в нульовий стан, в третій лічильник 4 записується значення  $N$  кількості етапів алгоритму ШПФ, а в другий лічильник 3 записується значення номера початкового етапу алгоритму ШПФ у відповідності з сигналом на вході 21 завдання ознаки розташування даних: при нульовому сигналі, що відповідає прямому порядку відліків вибірки, записується значення 1, а при одиничному, що відповідає двійково-інверсному порядку відліків вибірки - значення  $N$ . Значення  $N$  подається на групу 22 входів завдання довжини вибірки. Крім того, в регістр 35 зсуву блока 1 керування по спаду тактового імпульсу на тактовому вході 20 пристрою записується двійкове значення "01111111", оскільки на вході завдання режиму роботи регістра 35 зсуву присутній одиничний сигнал, що поступає з входу 23 пристрою. Після зняття активного сигналу на вході 23 пристрою регістр 35 зсуву переходить в послідовний режим роботи, при якому по спаду тактового імпульсу на тактовому вході 20 пристрою сигнал логічного нуля з'являється послідовно на виходах регістра 35 зсуву, котрий включений як кільцевий регістр.

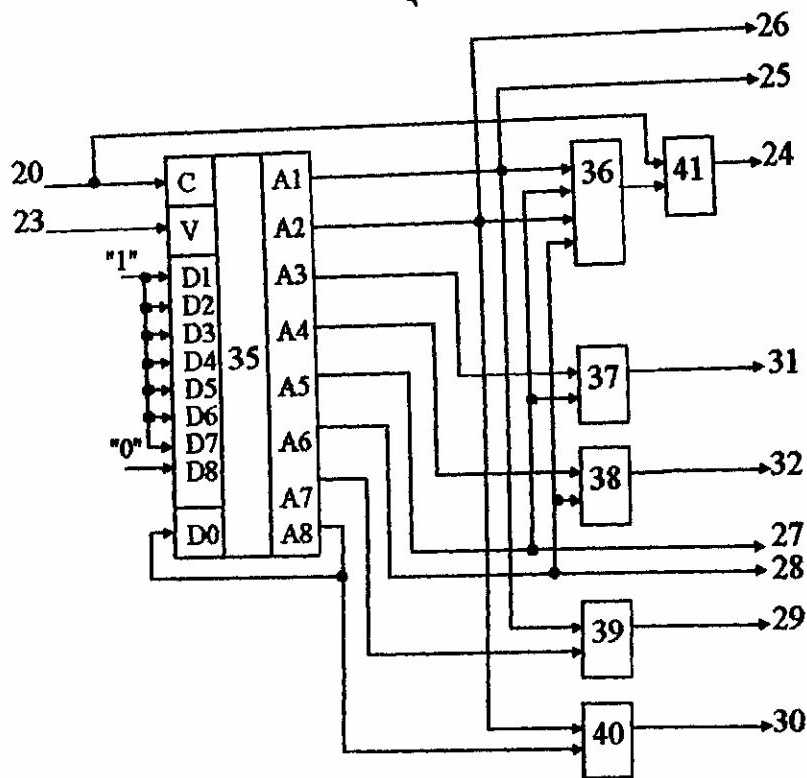
Робота пристрою складається з послідовного виконання циклів, кожен з яких містить вісім періодів тактових імпульсів (фіг.3). В першому такті по спадаючому фронту сигналу 25 з другого виходу блока 1 керування в перший регістр 9 записується адреса першого операнда  $n$ -ої базової операції, котра з'являється на інформаційних виходах 33 пристрою, оскільки на шостому виході 29 блока 1 керування присутній активний сигнал дозволу читання першого регістра 9. В цьому ж такті на першому виході 24 блока 1 керування формується активний сигнал, який поступає на лічильний вхід першого лічильника 2, в результаті чого на його виходах формується порядковий номер наступного операнда. В другому такті по спадаючому фронту сигналу 26 з третього виходу блока 1 керування в другий регістр 10 записується адреса другого операнда  $n$ -ої базової операції, котра з'являється на інформаційних виходах 33 пристрою, оскільки на сьомому виході 30 блока 1 керування присутній активний сигнал дозволу читання другого регістра 10. В цьому ж такті на першому виході 24 блока 1 керування формується активний сигнал, який поступає на лічильний вхід першого лічильника 2, в результаті чого на його виходах формується порядковий номер наступного операнда. В третьому такті на інформаційних виходах 33 пристрою з'являється адреса першого операнда  $(n-1)$ -ої базової операції, оскільки на восьмому виході 31 блока 1 керування присутній активний сигнал дозволу читання третього регістра 11. В четвертому такті на інформаційних виходах 33 пристрою з'являється адреса другого операнда  $(n-1)$ -ої базової операції, оскільки на дев'ятому виході 32 блока 1 керування присутній активний сигнал дозволу читання четвертого регістра 12. В п'ятому такті по спадаючому фронту сигналу 27 з четвертого виходу блока 1 керування в третій регістр 11 записується адреса першого операнда  $(n+1)$ -ої базової операції, котра з'являється на інформаційних виходах 33 пристрою, оскільки на восьмому виході 31 блока 1 керування присутній активний сигнал дозволу читання третього регістра 11. В цьому ж такті на першому виході 24 блока 1 керування формується активний сигнал, який поступає на лічильний вхід першого лічильника 2, в результаті чого на його виходах формується порядковий номер наступного операнда. В шостому такті по спадаючому фронту сигналу 28 з п'ятого виходу блока 1 керування в четвертий регістр 12 записується адреса другого операнда  $(n+1)$ -ої базової операції, котра з'являється на інформаційних виходах 33 пристрою, оскільки на

дев'ятому виході 32 блока 1 керування присутній активний сигнал дозволу читання четвертого регістра 12. В цьому ж такті на першому виході 24 блока 1 керування формується активний сигнал, який поступає на лічильний вхід першого лічильника 2, в результаті чого на його виходах формується порядковий номер наступного операнда. В сьомому такті на інформаційних виходах 33 пристрою з'являється адреса першого операнда  $n$ -ої базової операції, оскільки на шостому виході 29 блока 1 керування присутній активний сигнал дозволу читання першого регістра 9. В восьмому такті на інформаційних виходах 33 пристрою з'являється адреса другого операнда  $n$ -ої базової операції, оскільки на сьомому виході 30 блока 1 керування присутній активний сигнал дозволу читання другого регістра 10.

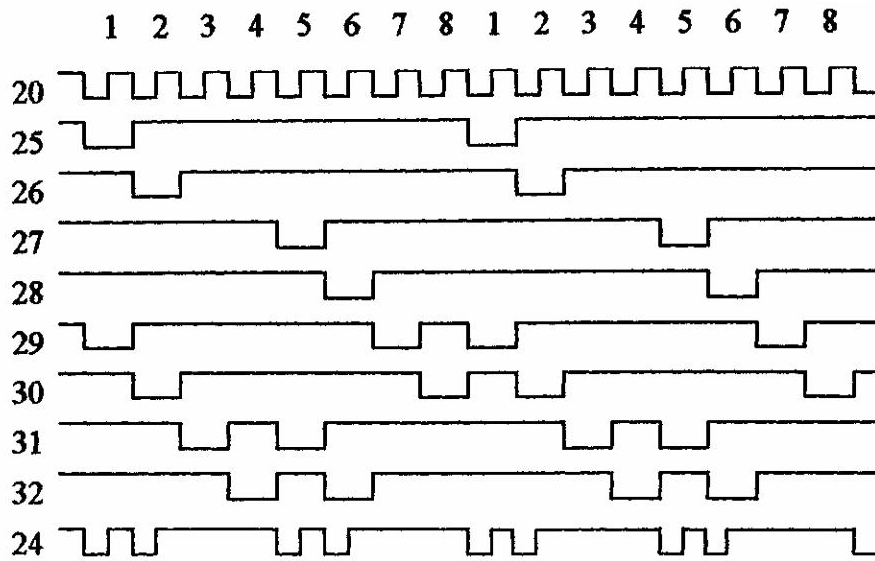
Після завершення формування першим лічильником 2 всіх порядкових номерів операндів поточного етапу алгоритму ШПФ на виході першого мультиплексора 6 з'являється активний одиничний сигнал, який встановлює в нульовий стан перший лічильник 2, зменшує на одиницю значення на виходах третього лічильника 4 та в залежності від сигналу на вході 21 ознаки розташування даних поступає на прямий чи зворотний лічильний вхід другого лічильника 3, формуючи на його виходах значення номера наступного етапу алгоритму ШПФ.

Після завершення виконання всіх етапів алгоритму ШПФ на виході елемента АБОНІ 19 з'являється одиничний сигнал, котрий поступає на вихід 34 завершення роботи пристрою.





Фиг. 2



Фиг. 3

Адреса комірки пам'яті	Інформаційні виходи пам'яті						
	$D_{R-1}$	$D_{R-2}D_{R-3}$	$D_{R-4}D_{R-5}$		$D_4D_3$	$D_2D_1$	$D_0$
1	0	00	00		00	00	0
2	0	00	00		00	01	1
3	0	00	00		01	10	1
К-2	0	00	01		10	10	1
К-1	0	01	10		10	10	1
К	1	10	10		10	10	1

Фиг. 4