



УКРАЇНА

(19) UA (11) 23944 (13) A

(51)6 G 06 F 11/00

ДЕРЖАВНЕ
ПАТЕНТНЕ
ВІДОМСТВООПИС ДО ПАТЕНТУ
НА ВІНАХІДбез проведення експертизи по суті
на підставі Постанови Верховної Ради України
№ 3769 XII від 23 XII 1993 рПублікується
в редакції заявки

(54) ПРИСТРІЙ ДЛЯ ВИПРАВЛЕННЯ ОДНОКРАТНИХ ТА ВІЯВЛЕННЯ БАГАТОКРАТНИХ ПОМИЛОК

1

(21) 95083815
 (22) 15.08 95
 (24) 31 08 98
 (46) 31.08.98. Бюл № 4
 (72) Мусаєв Ікрам Мохтарамович, Боцюра Ірина Петрівна, Фадеева Олена Григорівна
 (73) Вінницький державний технічний університет

(57) Устройство для исправления однократных и обнаружения многократных ошибок, содержащее входной регистр, дешифратор, сумматор, блок индикации, сумматор по модулю два, выходной регистр, блок деления, отличающееся тем, что в устройство введены блок сумматоров, блок сравнения, первый и второй блоки элементов И, причем входы входного регистра и вход блока деления соединены с входной шиной, а информационные выходы входного регистра соединены с первыми входами сумматора по модулю два и со входами блока суммато-

2

ров, при этом со входами блока сумматоров соединены и проверочные выходы входного регистра, кроме того, выходы блока сумматоров соединены со входами дешифратора, выходы которого соединены с первыми входами второго блока элементов И, а выходы блока деления соединены с входами сумматора, выходы которого одновременно соединены со входами блока сравнения и со вторыми входами первого блока элементов И, причем выходы блока сравнения одновременно соединены со вторыми входами второго блока элементов И, с первыми входами первого блока элементов И и со входом разрешения приема/выдачи выходного регистра, кроме этого, выходы первого блока элементов И соединены со входами блока индикации, а выходы второго блока элементов И соединены со вторыми входами сумматора по модулю два, выходы которого соединены с первыми восемью входами выходного регистра.

Изобретение относится к автоматике и вычислительной технике и может найти применение в устройствах и системах передачи цифровой информации

Известно устройство для исправления однократных и обнаружения многократных ошибок [Авт.св СССР № 323778, кл. G 06 F 11/08, 1969], содержащее регистры сдвига и сумматоры по модулю два и функционирующее на основе циклических кодов

Недостаток устройства состоит в том, что оно может работать либо в режиме исправления однократных ошибок, либо в режиме обнаружения многократных ошибок.

Наиболее близким по технической сущности к заявляемому является устройство для исправления одиночных и обнаружения многократных ошибок [Авт.св СССР № 1115055, кл. G 06 F 11/10, 1984], содержащее входной регистр и блок деления, информа-

(19) UA (11) 23944 (13) A

ционные входы которых объединены и образуют информационный вход устройства, сумматор по модулю два, выход которого соединен с информационным входом выходного регистра, выходы которого являются информационными выходами устройства, выход входного регистра соединен с первым входом сумматора по модулю два, распределитель импульсов, выход которого соединен с управляющими входами входного регистра, блока деления, выходного регистра и первым входом триггера, блок обнаружения ошибок.

Недостатком известного устройства является неуниверсальность, трудность проектирования дешифраторов для обнаружения и исправления ошибок.

В основу изобретения поставлена задача создать такое устройство для исправления однократных и обнаружения многократных ошибок, которое, за счет введения блока сумматоров, блока сравнения и блоков элементов И, позволило бы значительно снизить аппаратные затраты при проектировании блоков для обнаружения многократных ошибок.

Поставленная задача достигается тем, что устройство для исправления однократных и обнаружения многократных ошибок содержит входной регистр, блок сумматоров, дешифратор, сумматор, блок сравнения, блоки элементов И, блок индикации, сумматор по модулю два, выходной регистр, блок деления, причем входы входного регистра и блока деления соединены с входной шиной, а информационные выходы входного регистра соединены с первыми входами сумматора по модулю два и входами блока сумматоров, при этом, со входами блока сумматоров соединены также проверочные выходы входного регистра, кроме того, выходы блока сумматоров соединены со входами дешифратора, выходы которого соединены с первыми входами второго блока элементов И, а выходы блока деления соединены со входами сумматора, выходы которого одновременно соединены со вторыми входами первого блока элементов И и со входами блока сравнения, выходы которого одновременно соединены со вторыми входами второго блока элементов И, с первыми входами первого блока элементов И и со входом разрешения приема/выдачи выходного регистра, кроме того, выходы первого блока элементов И соединены со входами блока индикации, а выходы второго блока элементов И соединены со вторыми входами сумматора по модулю два, выходы которого соединены с первыми восемью входами выходного регистра.

В прототипе имеется блок обнаружения ошибок, который содержит дешифратор исправляемых ошибок, группу дешифраторов неисправляемых ошибок, элемент ИЛИ, элемент И и является громоздким, что затрудняет проектирование устройства. В заявляемом устройстве вместо этого блока введены блок сумматоров, блок сравнения и блоки элементов И, которые, в совокупности с остальными блоками, позволяют решать ту же задачу со значительно меньшими аппаратными затратами.

Кроме того, устройство предназначено для исправления однократных и обнаружения многократных ошибок с помощью укороченного циклического кода для различных образующих полиномов, что делает предлагаемое устройство универсальным.

На чертеже представлена функциональная схема устройства.

Устройство содержит входной регистр 1, блок сумматоров 2 (суммирование осуществляется по модулю два), дешифратор 3, сумматор 4, блок сравнения 5, блоки элементов И 6-7, блок индикации 8, сумматор по модулю два 9, выходной регистр 10, блок деления 11.

Входы регистра 1 и входы блока деления 11 соединены с входной шиной. Выход Q0 входного регистра 1 соединен с первым входом сумматора по модулю два 9. Выход Q1 входного регистра 1 соединен с третьим входом сумматора по модулю два 9. Выход Q2 входного регистра 1 соединен с пятым входом сумматора по модулю два 9. Выход Q3 входного регистра 1 соединен с седьмым входом сумматора по модулю два 9. Выход Q4 входного регистра 1 соединен с девятым входом сумматора по модулю два 9. Выход Q5 входного регистра 1 соединен с одиннадцатым входом сумматора по модулю два 9. Выход Q6 входного регистра 1 соединен с тринадцатым входом сумматора по модулю два 9. Выход Q7 входного регистра 1 соединен с пятнадцатым входом сумматора по модулю два 9. Кроме того, выход Q0 входного регистра 1 соединен с первым входом первого сумматора первой группы сумматоров блока сумматоров 2 и с первым входом первого сумматора второй группы сумматоров блока сумматоров 2. Выход Q1 входного регистра 1 соединен со вторым входом первого сумматора первой группы сумматоров блока сумматоров 2, со вторым входом первого сумматора второй группы сумматоров блока сумматоров 2 и с первым входом первого сумматора третьей группы сумматоров блока сумматоров 2. Выход Q2 входного регистра 1 соединен со вторым входом

соединен с первым входом сумматора 4. Второй выход блока деления 11 соединен со вторым входом сумматора 4. Третий выход блока деления 11 соединен с третьим входом сумматора 4. Четвертый выход блока деления 11 соединен с четвертым входом сумматора 4. Первый выход сумматора 4 соединен с четвертым входом блока сравнения 5 и со вторым входом блока элементов И 6. Второй выход сумматора 4 соединен с шестым входом блока сравнения 5 и с четвертым входом блока элементов И 6. Третий выход сумматора 4 соединен с восьмым входом блока сравнения 5 и с шестым входом блока элементов И 6. Первый выход блока сравнения 5 соединен со вторым, четвертым, шестым, восьмым, десятым, двенадцатым, четырнадцатым, шестнадцатым входами блока элементов И 7 и со входом RS разрешения приема/выдачи выходного регистра 10. Второй выход блока сравнения 5 соединен с первым, третьим и пятым входами блока элементов И 6. Первый выход блока элементов И 6 соединен с первым входом блока индикации 8. Второй выход блока элементов И 6 соединен со вторым входом блока индикации 8. Третий выход блока элементов И 6 соединен с третьим входом блока индикации 8. Первый выход блока элементов И 7 соединен со вторым входом сумматора по модулю два 9. Второй выход блока элементов И 7 соединен с четвертым входом сумматора по модулю два 9. Третий выход блока элементов И 7 соединен с шестым входом сумматора по модулю два 9. Четвертый выход блока элементов И 7 соединен с восьмым входом сумматора по модулю два 9. Пятый выход блока элементов И 7 соединен с десятым входом сумматора по модулю два 9. Шестой выход блока элементов И 7 соединен с двенадцатым входом сумматора по модулю два 9. Седьмой выход блока элементов И 7 соединен с четырнадцатым входом сумматора по модулю два 9. Восьмой выход блока элементов И 7 соединен с шестнадцатым входом сумматора по модулю два 9. Первый выход сумматора по модулю два 9 соединен с первым входом выходного регистра 10. Второй выход сумматора по модулю два 9 соединен со вторым входом выходного регистра 10. Третий выход сумматора по модулю два 9 соединен с третьим входом выходного регистра 10. Четвертый выход сумматора по модулю два 9 соединен с четвертым входом выходного регистра 10. Пятый выход сумматора по модулю два 9 соединен с пятым входом выходного регистра 10. Шестой выход сумматора по модулю два 9 соединен с шестым входом выходного регистра 10. Седьмой выход сумматора по модулю два 9 соединен с

седьмым входом выходного регистра 10. Восьмой выход сумматора по модулю два 9 соединен с восьмым входом выходного регистра 10.

5 Устройство работает следующим образом.

10 На входы входного регистра 1 последовательно поступает двенадцатиразрядная кодовая комбинация с входной шины. С выходов входного регистра 1 восемь информационных символов (a_1, \dots, a_8) поступают на первые входы сумматора по модулю два 9. На вход первого сумматора блока сумматоров 2, который вычисляет первый разряд синдрома S_1 , поступают следующие символы: a_1, a_2, a_6, a_7, a_8 и b_1 . На вход второго сумматора блока сумматоров 2, который вычисляет второй разряд синдрома S_2 , поступают следующие символы: a_1, a_2, a_3, a_4, a_8 и b_2 . На вход третьего сумматора блока сумматоров 2, который вычисляет третий разряд синдрома S_3 , поступают такие символы: a_2, a_3, a_4, a_5, a_6 и b_3 . На вход четвертого сумматора блока сумматоров 2, который вычисляет четвертый разряд синдрома S_4 , поступают символы: a_4, a_5, a_6, a_7, a_8 и b_4 . На выходах блока сумматоров 2 будем иметь синдром ошибки $S_1S_2S_3S_4$, который поступает на входы дешифратора 3.

30 Дешифратор 3 определяет вектор ошибки по выражениям (1). Полученный вектор ошибки $e_1e_2e_3e_4e_5e_6e_7e_8$ поступает на первые входы блока элементов И 7.

35 Входной код с входной шины поступает также на входы блока деления 11, в котором происходит деление кодовой комбинации на полином (2):

$$g(x) = x^4 + x^3 + 1, \quad (2)$$

40 В результате этого деления получаем остаток, количество единиц в котором свидетельствует о кратности возникшей ошибки. На основании имеющегося остатка, полученного с выходов блока деления 11, сумматор 4 определяет вес остатка в информации при передаче. Результат суммирования в сумматоре 4 поступает одновременно на первые входы блока сравнения 5 (отметим что на вторые входы блока сравнения 5 подается кодовая комбинация, соответствующая единице) и на вторые входы блока элементов И 6. В блоке сравнения 5 определяется: количество единиц в остатке больше или меньше 1. С выхода "меньше - равно" блока сравнения 5 сигнал, свидетельствующий о том, что ошибок нет или произошла одна ошибка, поступает на вторые входы блока элементов И 7 и на вход RS разрешения приема/выдачи выходного ре-

рис. 10. С выходов блока элементов И 7 вектор ошибки поступает на вторые входы сумматора по модулю два 9. В сумматоре по модулю два 9 происходит исправление одной возникшей ошибки.

Результат суммирования в сумматоре по модулю два 9 поступает на входы выходного регистра 10. С выходов выходного регистра 10 снимается исправленная комбинация. С выхода "больше" блока сравнения 5 сигнал, свидетельствующий о том, что произошло больше одной ошибки, поступает на первые входы блока элементов И 6. С выходов блока элементов И 6 кодовая комбинация поступает в блок индикации 8, в котором отображается количество возникших ошибок. При возникновении многократных ошибок выходной регистр 10 не принимает и не выдает никакой информации, так как на выходе "меньше - равно" блока сумматоров 2 уровень сигнала соответствует нулю.

Рассмотрим примеры работы устройства:

1. Случай приема информации без ошибок.

Во входном регистре 1 происходит запись двенадцатисимвольной последовательности по сигналу, поступающему на управляющий вход входного регистра 1. После записи двенадцатого символа происходит считывание из входного регистра 1 восьми информационных символов, которые проходят через сумматор по модулю два 9 без изменений, так как сигнал исправляемой ошибки не вырабатывается дешифратором 3 (т.е. на всех выходах дешифратора 3 уровень сигнала соответствует нулю). При этом, в выходной регистр 10 записываются по управляющему сигналу информационные символы принятой кодовой комбинации. С выхода выходного регистра 10 имеем достоверно принятую информацию.

2. Случай возникновения одиночной ошибки.

В случае, если произошла одиночная ошибка, выходная кодовая комбинация из входного регистра 1 поступает в блок сумматоров 2, в котором вычисляется синдром, реализующий уравнение (3)

$$\begin{array}{rcccccccccccccc}
 & : & a_1 & a_2 & a_3 & a_4 & a_5 & a_6 & a_7 & a_8 & b_1 & b_2 & b_3 & b_4 & : \\
 N = & : & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & : S_1 \\
 12,8 & : & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & : S_2 \\
 & : & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & : S_3 \\
 & : & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & : S_4
 \end{array} \quad (4)$$

Кодирующее устройство реализует следующие уравнения для вычисления проверочных символов (5).

$$\begin{array}{l}
 b_1 = a_1 + a_2 + a_6 + a_7 + a_8; \\
 b_2 = a_1 + a_2 + a_3 + a_4 + a_8;
 \end{array} \quad (5)$$

$$\begin{array}{l}
 S_1 = a_1 + a_2 + a_6 + a_7 + a_8 + b_1; \\
 S_2 = a_1 + a_2 + a_3 + a_4 + a_8 + b_2; \\
 S_3 = a_2 + a_3 + a_4 + a_5 + a_6 + b_3; \\
 S_4 = a_4 + a_5 + a_6 + a_7 + a_8 + b_4.
 \end{array} \quad (3)$$

Входной код с входной шины поступает в блок деления 11, где происходит деление кода на полином (2). На основании полученного из блока деления 11 остатка в сумматоре 4 определяется вес остатка, соответствующий количеству ошибок, которые произошли при передаче информации. Если ошибка одна или меньше, то с выхода "меньше - равно" блока сравнения 5 высокий уровень сигнала, который разрешает запись вектора ошибки с выходов дешифратора 3 (вектор ошибки вычисляется по уравнениям (1)) поступает на вторые входы сумматора по модулю два 9 через блок элементов И 7. В сумматоре по модулю два 9 происходит исправление однократных ошибок. С выходов сумматора по модулю два 9 исправленная кодовая комбинация поступает в выходной регистр 10.

3. Случай возникновения многократной ошибки.

В случае возникновения многократной ошибки на выходе сумматора 4 получим код, который соответствует числу 2 (или больше). Выходная информация из сумматора 4 одновременно поступает в блок сравнения 5 и в блок элементов И 6. Высокий сигнал с выхода "больше" блока сравнения 5, свидетельствующий о том, что ошибок больше одной, разрешает прохождение информации из сумматора 4 в блок индикации 8, где отображается количество ошибок в передаваемой информации. Следовательно, с выхода "меньше - равно" блока сравнения 5 низкий уровень сигнала запрещает запись кодовой комбинации в выходной регистр 10.

Рассмотрим на примере, как формируется укороченный циклический код и как осуществляется исправление однократных ошибок.

Проверочная матрица кода имеет вид (4):

$$\begin{array}{l}
 b_3 = a_2 + a_3 + a_4 + a_5 + a_6; \\
 b_4 = a_4 + a_5 + a_6 + a_7 + a_8
 \end{array}$$

Например, если имеется исходная кодовая комбинация:

a8 a7 a6 a5 a4 a3 a2 a1
 1 0 1 0 1 1 1 0

Ошибка произошла в третьем разряде. По выражениям (5) находим контрольные разряды укороченного циклического кода:

$$\begin{aligned} b_1 &= 0 + 1 + 1 + 0 + 1 = 1; \\ b_2 &= 0 + 1 + 1 + 1 + 1 = 0; \\ b_3 &= 1 + 1 + 1 + 0 + 1 = 0; \\ b_4 &= 1 + 0 + 1 + 0 + 1 = 1. \end{aligned}$$

По выражениям (3) находим синдром:

$$\begin{aligned} S_1 &= 0 + 1 + 1 + 0 + 1 + 1 = 0; \\ S_2 &= 0 + 1 + 0 + 1 + 1 + 0 = 1; \\ S_3 &= 1 + 0 + 1 + 0 + 1 + 0 = 1; \\ S_4 &= 1 + 0 + 1 + 0 + 1 + 1 = 0. \end{aligned}$$

По выражениям (1) находим вектор ошибки (используя матрицу (4)):

$$\begin{aligned} ea_1 &= S_1 S_2 \overline{S_3} \overline{S_4} = 0 \cdot 1 \cdot 0 \cdot 1 = 0; \\ ea_2 &= S_1 S_2 S_3 \overline{S_4} = 0 \cdot 1 \cdot 1 \cdot 1 = 0; \\ ea_3 &= \overline{S_1} S_2 S_3 \overline{S_4} = 1 \cdot 1 \cdot 1 \cdot 1 = 0; \\ ea_4 &= \overline{S_1} S_2 \overline{S_3} S_4 = 1 \cdot 1 \cdot 1 \cdot 0 = 0; \\ ea_5 &= \overline{S_1} \overline{S_2} S_3 S_4 = 1 \cdot 0 \cdot 1 \cdot 0 = 0; \\ ea_6 &= S_1 \overline{S_2} S_3 S_4 = 0 \cdot 0 \cdot 1 \cdot 0 = 0; \\ ea_7 &= S_1 \overline{S_2} \overline{S_3} S_4 = 0 \cdot 0 \cdot 0 \cdot 0 = 0; \\ ea_8 &= S_1 S_2 \overline{S_3} S_4 = 0 \cdot 1 \cdot 0 \cdot 0 = 0. \end{aligned}$$

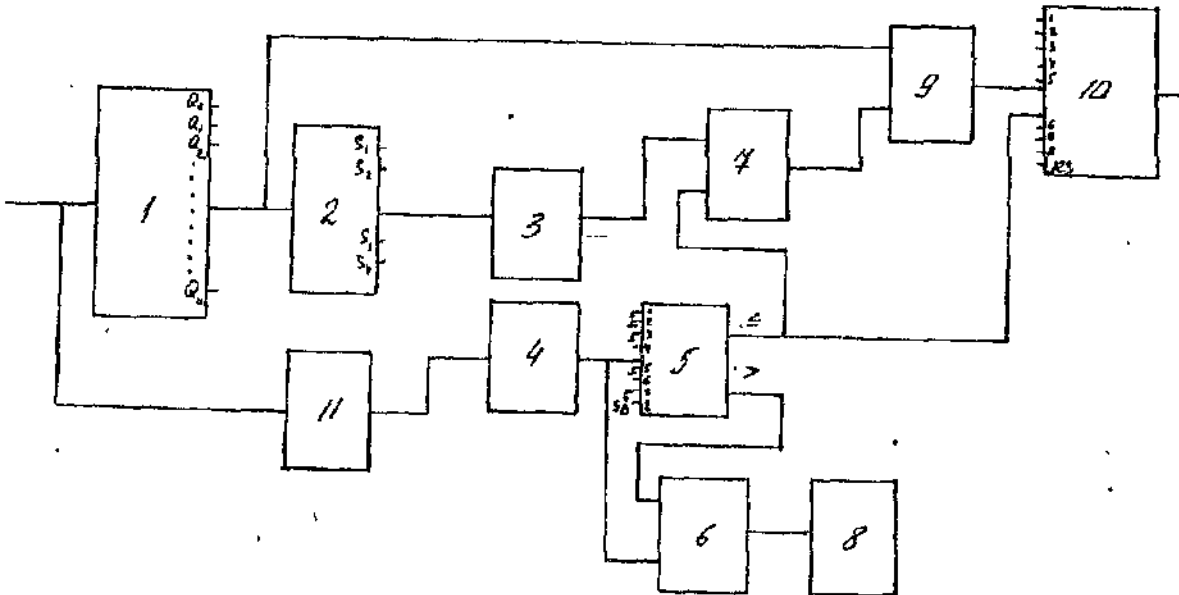
5

10

15

Вектор ошибки показывает, что ошибка произошла в третьем разряде. Принятая информация поступает в сумматор по модулю два 9. В сумматоре по модулю два 9 происходит суммирование исходной комбинации с вектором ошибки. И получаем исправленную кодовую комбинацию

10101010.



Упорядник

Техред М.Келемеш

Коректор М.Керецман

Замовлення 4566

Тираж

Підписне

Державне патентне відомство України,
 254655, ГСП, Київ-53, Львівська пл., 8

Відкрите акціонерне товариство "Патент", м. Ужгород, вул.Гагаріна, 101