

Винахід відноситься до автоматики та обчислювальної техніки та може бути використаний при розв'язанні задач паралельного підсумовування масиву чисел та при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування  $n$ -розрядних чисел масиву (а. с. 554537, кл. G06F7/385, 1977 р.), що містить суматор з зсувом,  $n$  лічильників з  $m$  розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного  $i$ -го розряду ( $1 \leq i \leq m$ ) кожного  $j$ -го лічильника ( $1 \leq j \leq n - 1$ ) з'єднаний через відповідний вентиль з входом  $i$ -го розряду ( $j + 1$ ) лічильника, вихід кожного  $i$ -го розряду  $n$ -го лічильника з'єднаний через відповідний вентиль з входом  $i$ -го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування,  $n$ -розрядний регістр, вихід кожного  $q$ -го розряду якого ( $1 \leq q \leq n$ ) з'єднаний з входом  $q$ -го додаткового вентиля, причому з метою спрощення пристрою, вихід старшого розряду кожного  $q$ -го лічильника з'єднаний з входом  $q$ -го розряду регістра, вихід  $q$ -го додаткового вентиля з'єднаний з входом  $(q + m)$ -го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел (а. с. 558276, кл. G06F7/385, 1977 р.), що містить однотипні блоки, причому кожний  $i$ -й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент  $I$ , виходи  $n$  старших розрядів вузла формування часткового результату з'єднані з входами регістра часткового результату ( $i + 1$ )-го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента  $I$ , другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату ( $i + 1$ )-го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому в  $i$ -й блок пристрою введені регістр порядку, вузол формування порядку, елемент АБО та два логічних вузла, виходи регістра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів регістра порядку ( $i + 1$ )-го блока, крім того виходи регістра порядку з'єднані з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів  $n$  старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів  $(n + 1)$ -розрядів вузла формування часткового результату, причому  $n$ -ий вихід другого логічного вузла підключений до  $n$ -го та  $(n+1)$ -го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента  $I$  з'єднаний з  $(n - 1)$ -им розрядом регістра часткового результату ( $i + 1$ )-го блока.

Недоліком даних пристроїв є значні апаратурні витрати.

Найбільш близьким по технічній суті є пристрій для паралельного додавання тривалостей групи часових інтервалів (а.с. СРСР 1119035, кл.С06G7/14,1984 г.).

Пристрій містить  $n$  входів, групу з  $n$  блоків порівняння, блок виділення загальної частини та блок послідовного підсумовування, причому перші входи групи входів кожного блока порівняння з'єднані з входами пристрою, другі входи групи входів - з першим виходом відповідного блока порівняння та відповідним входом блока виділення загальної частини, входи кожного блока порівняння підключені до виходу блока виділення загальної частини, а другі входи - до відповідних входів групи входів блока послідовного підсумовування, вхід якого з'єднаний з виходом блока виділення загальної частини.

Недоліком даного пристрою є значна апаратурна складність, яка пов'язана з високим рівнем паралелізму, що застосовується для одночасної обробки  $n$  операндів.

В основу винаходу поставлено задачу розробки конвеєрного підсумовуючого пристрою, в якому за рахунок введення нових блоків та зв'язків між ними забезпечується виконання конвеєрного способу обробки масиву  $n$  операндів, що при достатній швидкодії дозволяє зменшити апаратурну складність пристрою.

Поставлена задача вирішується тим, що в конвеєрному підсумовуючому пристрої, який містить  $n$  входів, групу з  $n$  блоків порівняння та  $n$  комірок  $i$ -ий блок порівняння входить в  $i$ -ту комірку пристрою, крім того,  $i$ -та комірка містить суматор, вузол виділення загальної частини, операндів три регістри, D-тригер, мультиплексор і блок логічних елементів  $I$ , причому перший вхід  $i$ -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, у якого вихід з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини, операндів вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів  $I$  та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вихід якого підключений до входу установаження в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів  $I$ , вихід якого є першим виходом  $i$ -ої комірки, другий вхід вузла виділення загальної частини  $i$ -ої комірки з'єднаний з другим виходом ( $i - 1$ )-ої комірки, перший вхід суматора  $i$ -ої комірки з'єднаний з третім виходом ( $i - 1$ )-ої комірки, другий вхід - з першим виходом ( $i + 1$ )-ої комірки, а вихід суматора є третім виходом  $i$ -ої комірки, вихід третього регістра є другим виходом  $i$ -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом  $i$ -ої комірки, крім того, перша комірка не містить вузла виділення загальної частини та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів  $I$ , причому у  $n$ -ої комірки вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід вузла виділення

загальної частини з'єднаний з входом другого регістра, а також підключений до других входів  $(n - 1)$  комірок, третій вихід  $n$ -ої комірки є виходом пристрою, блок логічних елементів містить  $m$  елементів  $l$  (де  $m$  - розрядність вхідних величин), перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи - з виходами блока елементів  $l$ .

Представлення пристрою у вигляді  $n$  комірок, кожна з яких містить суматор, вузол виділення загальної частини, три регістри, D-тригер, мультиплексор, блок порівняння та блок елементів  $l$  з відповідними зв'язками між ними, дозволяє організувати паралельно-послідовну (конвеєрну) обробку масиву  $n$  операндів тому, що кожна  $i$ -та комірка пристрою обробляє  $i$ -й елемент масиву, а сам процес обробки виконується послідовно.

На кресленні зображена функціональна схема пристрою. Пристрій містить  $n$ -комірок  $l$ , причому  $i$ -та комірка містить блок порівняння 2, в якості якого використовується арифметично-логічний пристрій (АЛП), суматор 3, вузол 4 виділення загальної (мінімальної) частини, операндів три регістри 5, 6, 7, мультиплексор 8, блок 9 елементів  $l$ , D-тригер 10. Вихід мультиплексора 8  $i$ -ої комірки 1 підключено до входу 11 регістра 5, у якого вихід з'єднаний з входом 12 АЛП 2 та входом 13 вузла 4. Вихід регістра 6 з'єднаний з інформаційним входом блока 9 та входом 14 АЛП 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 ознаки від'ємного результату АЛП 2 з'єднаний з D- входом D- тригера 10, R- вхід якого підключений до входу 17 установа в початковий стан пристрою. Інверсний вихід D- тригера підключено до керувального входу блока 9, вихід якого підключено до виходу 18  $i$ -ої комірки 1. Крім того, вхід 19 вузла 4  $i$ -ої комірки 1 з'єднаний з виходом 20  $(i - 1)$ -ої комірки 1, вхід 21 суматора 3  $i$ -ої комірки 1 з'єднаний з виходом 22  $(i - 1)$ -ої комірки 1, а вихід суматора 3 є виходом 22  $i$ -ої комірки 1. Вхід регістра 6 підключено до входу 23  $i$ -ої комірки 1, вихід вузла 4 з'єднаний з входом регістра 7, вихід якого є виходом 20  $i$ -ої комірки 1. Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24  $i$ -ої комірки 1, керувальний вхід - з керувальним входом 25 пристрою, а вхід 26 суматора 3  $i$ -ої комірки 1 підключено до виходу 18  $(i + 1)$ -ої комірки 1. Блок 9 містить  $m$  логічних елементів  $l$  (де  $m$  - розрядність вхідних величин), перші входи яких з'єднані з керувальним входом блока 9, другі входи - з відповідними інформаційними входами блока 9, а виходи - з відповідними інформаційними виходами блока 9. Перша комірка 1 не містить вузла 4 та регістра 7, вихід регістра 5 є виходом 20 першої комірки, а вхід 21 суматора 3 з'єднаний з виходом блока 9. Остання  $n$ -а комірка 1 замість регістра 7 містить регістр 27, вхід якого підключено до виходу суматора 3  $n$ -ої комірки 1, а вихід - до входу 26 цього ж суматора 3, вихід вузла 4 з'єднаний з входом регістра 6  $n$ -ої комірки 1, а також з входом 23 всіх  $(n-1)$  комірок 1, вихід 22  $n$ -ої комірки 1 є виходом пристрою.

Пристрій реалізує алгоритм, суть якого полягає в тому, що підсумовування  $n$  чисел зводиться до обчислення і підсумовування  $N$  часткових сум, де  $N$  - кількість різноманітних вхідних величин  $a$ , тобто

$$S = \sum_{i=1}^n a_i = \sum_{j=1}^N q_j p_j \quad (1)$$

де  $q_j$  - загальна значуща частина,  $p_j$  - кратність загальної частини,  $j$  - цикл обробки.

Алгоритм має такий вигляд.

Крок 1. Визначається загальна значуща частина всіх доданків у  $j$ -му циклі, тобто

$$q_j = \min \{ a_{i, j-1} \}_{i=1}^n, \quad (2)$$

де  $a_{i,0}$  -  $i$ -й доданок на вході.

Крок 2. Виділяється зріз різниць  $a_j$ , тобто сукупність величин різниці всіх доданків  $j$ -го циклу з їхньою загальною частиною  $q_j$ , тобто

$$A_j = \{a_{i,j}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n \quad (3)$$

В подальшому отриманий зріз різниць  $a_j$  є вхідною множиною доданків для наступного  $(j + 1)$ -го циклу.

Крок 3. Формується кратне загальної частини  $S_j$ , де кратність  $p_j$  визначається кількістю додатних ненульових доданків  $j$ -го циклу:

$$S_j = q_j p_j \quad (4)$$

На цьому ж кроці підсумовуються кратні  $S_1, \dots, S_{j-1}$ , які отримані на попередніх  $(j - 1)$ -х циклах. Кроки 4 - 6. Повторюються кроки 1 - 3.

Остаточний результат формується в процесі накопичення кратних всіх  $N$  циклів.

Кількість циклів  $N$  процесу підсумовування  $n$  чисел у цьому алгоритмі залежить від наявності груп із кількістю  $m_r$  повторюваних чисел у початковій множині  $A_0$ .

Таким чином, максимальна, мінімальна і середня кількості циклів алгоритму визначаються таким чином:

$$\begin{aligned} N_{\max} &= n, \\ N_{\min} &= 1, \\ N_{\text{ср}} &= n - \sum_{r=1}^R (m_r - 1) \end{aligned} \quad (5)$$

Максимальне число циклів відповідає обробці масиву, що складається з  $n$  різноманітних за величиною чисел, а мінімальне - коли масив складають  $n$  однакових за величиною чисел.

Пристрій працює таким чином.

На вхід  $i$ -ої комірки 1 надходить  $i$ -ий операнд з групи операндів, кількість яких  $n$ . Запис операндів в комірки 1 виконується паралельно. Через мультиплексор 8  $i$ -ий операнд надходить в регістр 5  $i$ -ої комірки 1.

Після цього виконується послідовне виділення загальної частини двох операндів -  $(i - 1)$ -го та  $i$ -го вузлом 4 і запис результату в регістр 7. Згідно із виразом (2) на кроці 1 алгоритму ця операція виконується послідовно, починаючи з другої комірки. Кінцевий результат виділення загальної частини всіх  $n$  операндів формується в  $n$ -ій комірці 1 і з виходу вузла 4 цієї комірки записується в регістри 6 всіх  $n$  комірок 1 паралельно. Після цього відбувається порівняння в АЛП 2  $i$ -го операнда, що надходить з регістра 5, та загальної частини всіх операндів, що надходить з регістра 6. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів, згідно із виразом (3) на кроці 2 алгоритму, і ця різниця записується з виходу 15 АЛП 2 через мультиплексор 8 в регістр 5. При цьому з виходу 16 ознака від'ємного результату різниці записується в D-тригер 10, який перед початком роботи пристрою був занулений сигналом по входу 17 пристрою. При відсутності одиничного сигналу ознаки від'ємного результату одиничний сигнал з інверсного виходу D-тригера 10 дозволяє проходження через блок 9 загальної частини операндів з регістра 6 в суматор 3, де відбувається накопичування загальної частини операндів за всі  $N$  цикли підсумовування операндів, де  $N$  - кількість операндів, що відрізняються, на вході. У випадку, якщо на виході 16 АЛП 2  $i$ -ої комірки 1 з'явиться одиничний сигнал ознаки від'ємного результату, то нульовий сигнал з інверсного виходу D-тригера 10 заборонить надходження загальної частини операндів в даному циклі обробки через блок 9 на вхід 26 суматора 3. В суматорах 3 кожної комірки 1 відбувається послідовне підсумовування загальних частин групи з  $n$  операндів, а в результаті на виході 22 суматора 3  $n$ -ої комірки формується часткова сума  $S_i$  операндів згідно із виразом (4) на кроці 3 алгоритму. Так виконується 1-ий цикл обробки. Далі цикли повторюються і кількість їх в середньому дорівнює величині 5. Після виконання всіх циклів  $N$  обробки на виході 22 суматора 3  $n$ -ої комірки формується остаточно сума  $S$  виду (1).

