



УКРАЇНА

(19) UA (11) 46078 (13) C2

(51) B G06F11/08, H03M13/15, H03M13/17

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ НА ВИНАХІД

(54) ПРИСТРІЙ ДЛЯ ЛОКАЛІЗАЦІЇ ПАКЕТІВ ПОМИЛОК В (N,K) - КОДАХ БОУЗА-ЧОУДХУРІ-ХОКВІНГЕМА

1

2

(21) 98063347

(22) 26 06 1998

(24) 15 05 2002

(46) 15 05 2002, Бюл. № 5, 2002 р.

(72) Семеренко Василь Петрович

(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ  
УНІВЕРСИТЕТ

(56) SU 1541607, 05 02 1990

RU 93030194, 20 11 1996

US 5420873, 30 05 1995

US 5771246, 23 06 1998

(57) 1 Пристрій для локалізації пакетів помилок в (n, k)-кодах Боуза-Чоудхурі-Хоквінгема, який містить перетворювач кодів і блок синхронізації, вихід якого з'єднаний з входом синхронізації перетворювача кодів, перший інформаційний вхід, вхід керування і вхід початкового установлення якого приєднані відповідно до інформаційного входу пристрою, до входу вибору режиму роботи і до входу початкового установлення пристрою, який відрізняється тим, що в нього введені блок формування вхідного вектора помилки і блок визначення параметрів пакетів помилок, перша і друга m-розрядні або 2m-розрядні групи інформаційних виходів якого приєднані відповідно до першої і до другої групи інформаційних виходів пристрою, причому  $m = \lceil \log_2 n \rceil$ , де  $\lceil \ ]$  означає округлювання до цілого в більший бік, вхід керування пристрою з'єднаний з першим входом керування блока синхронізації, вихід якого з'єднаний також з входом синхронізації блока формування вхідного вектора помилки, перший інформаційний вихід якого з'єднаний з інформаційним входом блока визначення параметрів пакетів помилок, інформаційний вихід якого приєднаний до першого інформаційного виходу пристрою і до другого входу керування блока синхронізації, третій вхід керування якого приєднаний до інформаційного виходу перетворювача кодів і до другого інформаційного виходу пристрою, вхід початкового установлення якого з'єднаний також з входом початкового установлення блока визначення параметрів пакетів помилок, з входом початкового установлення блока синхронізації та з першим входом початкового установлення блока формування вхідного вектора помилки, другий вхід початкового установлення і другий інформаційний вихід якого з'єднані

відповідно з виходом керування блока визначення параметрів пакетів помилок і з другим інформаційним входом перетворювача кодів

2 Пристрій за п. 1, який відрізняється тим, що перетворювач кодів містить перший RST-тригер, другий RST-тригер, елемент I-АБО, елемент I, елемент АБО, елемент HI та лінійну послідовнісну схему, r-розрядна (r=n-k) група інформаційних виходів якої з'єднана з входами елемента АБО, вихід якого приєднаний до другого інформаційного виходу пристрою, вхід керування якого з'єднаний з S-входом першого RST-тригера і входом елемента HI, вихід якого з'єднаний з R-входом першого RST-тригера, прямий та інверсний виходи якого з'єднані відповідно з першим та другим входами елемента I-АБО, вихід якого з'єднаний з інформаційним входом лінійної послідовнісної схеми, вхід синхронізації якої з'єднаний з виходом елемента I, перший вхід якого з'єднаний з прямим виходом другого RST-тригера, R-вихід якого з'єднаний з входом початкового установлення лінійної послідовнісної схеми і приєднаний до входу початкового установлення пристрою, інформаційний вхід якого з'єднаний з третім входом елемента I-АБО, четвертий вхід якого приєднаний до другого інформаційного входу перетворювача кодів, вхід синхронізації якого з'єднаний з другим входом елемента I та тактовим T-входом другого RST-тригера, на S-вихід якого і на тактовий T-вихід першого RST-тригера поданий потенціал логічного нуля

3 Пристрій за п. 1, який відрізняється тим, що блок формування вхідного вектора помилки містить перший і другий RST-тригери, перший і другий елементи I, перші входи яких з'єднані з входом синхронізації блока формування вхідного вектора помилки, перший вхід початкового установлення якого з'єднаний з R-входом першого RST-тригера і з R-входом другого RST-тригера, прямий вихід якого з'єднаний з тактовим T-входом першого RST-тригера, прямий вихід якого з'єднаний з другим входом другого елемента I, вихід якого з'єднаний з тактовим T-входом другого RST-тригера, S-вихід якого з'єднаний з S-входом першого RST-тригера і з другим входом початкового установлення блока формування вхідного вектора помилки, перший інформаційний вихід якого з'єднаний з виходом першого елемента I, другий вхід якого з'єднаний з інверсним виходом першого RST-

(13) C2

(11) 46078

(19) UA

тригера і з другим інформаційним виходом блока формування вхідного вектора помилки

4 Пристрій за п. 1, який відрізняється тим, що блок визначення параметрів пакетів помилок містить перший  $m$ -розрядний лічильник, другий  $m$ -розрядний лічильник, вихід переповнення якого з'єднаний з першим інформаційним виходом блока визначення параметрів пакетів помилок, вхід початкового установлення якого з'єднаний з виходом початкового установлення другого лічильника та з входом початкового установлення першого лічильника,  $m$ -розрядна група інформаційних виходів якого з'єднана з першою  $m$ -розрядною групою інформаційних виходів блока визначення параметрів пакетів помилок, інформаційний вхід якого з'єднаний з входом додавання першого лічильника, вихід переповнення якого з'єднаний з виходом керування блока визначення параметрів пакетів помилок і з входом додавання другого лічильника,  $m$ -розрядна група інформаційних виходів якого з'єднана з другою  $m$ -розрядною групою інформаційних виходів блока визначення параметрів пакетів помилок

5 Пристрій за п. 1, який відрізняється тим, що блок визначення параметрів пакетів помилок містить перший  $m$ -розрядний лічильник, другий  $m$ -розрядний лічильник, перший  $m$ -розрядний суматор, другий  $m$ -розрядний суматор, перша група

інформаційних входів якого з'єднана з першою групою інформаційних входів першого суматора і з групою інформаційних виходів першого лічильника, вхід додавання якого з'єднаний з інформаційним входом блока визначення параметрів пакетів помилок, вхід початкового установлення якого з'єднаний з входом початкового установлення першого лічильника та з входом початкового установлення другого лічильника, вихід переповнення якого з'єднаний з інформаційним виходом блока визначення параметрів пакетів помилок, вихід керування якого з'єднаний з виходом переповнення першого лічильника і з входом додавання другого лічильника, група інформаційних виходів якого з'єднана з другою групою інформаційних входів другого суматора, на другу групу інформаційних входів першого суматора подано число  $n$ ,  $m$ -розрядна група інформаційних виходів першого лічильника і  $m$ -розрядна група інформаційних виходів першого суматора створюють першу  $2m$ -розрядну групу інформаційних виходів блока визначення параметрів пакетів помилок,  $m$ -розрядна група інформаційних виходів другого лічильника і  $m$ -розрядна група інформаційних виходів другого суматора створюють другу  $2m$ -розрядну групу інформаційних виходів блока визначення параметрів пакетів помилок

Винахід відноситься до обчислювальної техніки і може бути використаний в системах обробки, збереження та передачі дискретних даних

Відомий пристрій для виправлення двократних помилок в блоках передачі та збереження інформації, який містить вхідний регістр, перший і другий формувачі синдрому помилки, схему порівняння, регістр помилок, блок пам'яті помилок, блок корекції, групу інверторів з керуючим виходом, елемент АБО і тригер помилки корекції [див А С СССР № 1173417, кл G06F 11/08, бюл № 30 1985р ]

Недоліком цього пристрою є низька коректуюча здатність та великі апаратні затрати

Найбільш близьким до запропонованого є пристрій для знаходження пакетних помилок, який містить перетворювач кодів, блок синхронізації, блок формування типу помилки, блок порівняння, лічильник, обчислювач адреси пакета помилки, регістр і дешифратор, причому перший вхід перетворювача кодів є першим інформаційним входом пристрою, перші виходи перетворювача кодів з'єднані з першими входами блока порівняння, другі виходи перетворювача кодів з'єднані з першими входами обчислювача адреси пакета помилки, виходи якого є першими інформаційними виходами пристрою, перший вхід лічильника є входом початкового установлення пристрою, вихід лічильника - другим інформаційним виходом пристрою, перший і другий виходи блока синхронізації з'єднані відповідно з другим входом лічильника і першим входом блока формування типу помилки, перший і другий виходи якого відповідно з'єднані з

другим входом блока порівняння і з першими входами блока синхронізації та регістра і з другими входами блока синхронізації та обчислювача адреси пакета помилки і є першим та другим керуючими виходами пристрою відповідно, треті виходи перетворювача кодів з'єднані з другими входами блока формування типу помилки та регістра і з третіми входами блока порівняння, вихід якого з'єднаний з третіми входами блока формування типу помилки, четверті і п'яті входи якого під'єднані відповідно до перших і других виходів перетворювача кодів, четверті виходи якого з'єднані з шостими входами блока формування типу помилки, виходи регістра з'єднані з третіми входами обчислювача адреси пакета помилки, четверті виходи якого і входи дешифратора під'єднані до виходів лічильника, третій і четвертий виходи блока синхронізації з'єднані відповідно з другим і третім входами перетворювача кодів, четвертий вхід якого є входом вибору режиму роботи пристрою, п'ятий вхід перетворювача кодів, сьомий вхід блока формування типу помилки і треті входи блока синхронізації і регістра даних об'єднані та під'єднані до входу початкового установлення пристрою, четвертий вхід блока синхронізації є входом синхронізації пристрою, п'ятий і другий виходи перетворювача кодів і вихід дешифратора є відповідно третім та четвертим інформаційними виходами і третім керуючим виходом пристрою [див А С СССР № 1541607 кл G06P 11/08, бюл № 5 1990р ]

Недоліком цього пристрою є значна апаратна складність та низька коректуюча здатність, яка

полягає в тому, що виявляються лише 4-розрядні пакети помилок при великій довжині циклічного  $(n, k)$ -коду (наприклад,  $n = 341$ ,  $k = 325$ ,  $r = 16$ )

В основу винаходу поставлена задача створення пристрою для визначення довжини та початкової позиції в заданому кодовому векторі одиночних пакетів помилок за допомогою  $(n, k)$ -коду Боуза-Чоудхурі-Хоквінгема (БЧХ)

Найкращим відомим циклічним кодом для локалізації та виправлення одиночного пакета помилок є двійковий код Файра. Породний багаточлен цього коду

$$P(x) = g(x) (x^c + 1),$$

де  $g(x)$  - незвідний багаточлен степеня  $v$ , пов'язаного із степенем  $m$  ( $m = 2v - 1$ ),

$c$  - просте число, яке не ділиться на  $m$  без залишку. Для виправлення одиночного пакета помилок довжиною  $z$  за допомогою коду Файра число перевірок розрядів  $r$  повинно бути

$$r = c + z \text{ або } r \geq 3z - 1,$$

а довжина  $n$  коду дорівнює найменшому спільному кратному (НСК) чисел  $c$  та  $m$ , тобто

$n = \text{НСК}(c, m)$ , при цьому величина  $n$  буде не меншою, ніж

$$(2^z - 1) (2z - 1)$$

Породний багаточлен двійкового коду БЧХ довжиною  $n$  ( $n = 2m - 1$ ), який виправляє  $z$  помилок, є НСК мінімальних багаточленів (простих незвідних багаточленів)  $m_1, \dots, m_{2z-1}$ , які належать покажчикам  $n_1, \dots, n_{2z-1}$

$$P(x) = \text{НОК}\{m_1(x), m_2(x), \dots, m_{2z-1}(x)\}$$

Використовуючи  $(n, k)$ -код БЧХ згідно із запропонованим методом можна буде виявляти одиночні пакети помилок максимальною довжиною  $z$  розрядів

$$Z = n - 1$$

Таким чином знадобиться значно менша довжина коду з відповідно меншими апаратними затратами

Поставлена задача розв'язується за рахунок того, що в пристрій для локалізації пакетів помилок в  $(n, k)$ -кодах Боуза-Чоудхурі-Хоквінгема, який містить перетворювач кодів і блок синхронізації, вихід якого з'єднаний з входом синхронізації перетворювача кодів, перший інформаційний вхід, вхід керування і вхід початкового установлення якого під'єднані відповідно до інформаційного входу пристрою, до входу вибору режиму роботи і до входу початкового установлення пристрою, введено блок формування вхідного вектора помилки і блок визначення параметрів пакетів помилок, перша і друга  $m$ -розрядні або  $2m$ -розрядні групи інформаційних виходів якого,  $m = \lceil \log_2 n \rceil$ , де  $\lceil \cdot \rceil$  означає округлення до цілого в більший бік, під'єднані відповідно до першої і до другої групи інформаційних виходів пристрою, причому вхід керування пристрою з'єднаний з першим входом керування блока синхронізації, вихід якого з'єднаний також з входом синхронізації блока формування вхідного вектора помилок, перший інформаційний вихід якого з'єднаний з інформаційним входом блока визначення параметрів пакетів помилок, інформаційний вихід якого під'єднаний до першого інформаційного виходу пристрою і до другого входу керування блока синхронізації, третій вхід керування

якого під'єднаний до інформаційного виходу перетворювача кодів і до другого інформаційного виходу пристрою, вхід початкового установлення якого з'єднаний також з входом початкового установлення блока визначення параметрів пакетів помилок, з входом початкового установлення блока синхронізації та з першим входом початкового установлення блока формування вхідного вектора помилки, другий вхід початкового установлення і другий інформаційний вихід якого з'єднані відповідно з виходом керування блока визначення параметрів пакетів помилок і з другим інформаційним входом перетворювача кодів

На Фіг 1 представлена функціональна схема пристрою, на Фіг 2 - функціональна схема перетворювача кодів, на Фіг 3 - функціональна схема блока формування вхідного вектора помилки, на Фіг 4 - функціональна схема блока визначення параметрів пакетів помилок (приклад виконання 1), на Фіг 5 - функціональна схема блока визначення параметрів пакетів помилок (приклад виконання 2), на Фіг 6 - функціональна схема можливої реалізації лінійної послідовної схеми перетворювача кодів, на Фіг 7 - часова діаграма роботи пристрою

Пристрій для локалізації пакетів помилок в  $(n, k)$ -кодах Боуза-Чоудхурі-Хоквінгема (Фіг 1) містить перетворювач кодів 1, блок 2 формування вхідного вектора помилки, блок 3 визначення параметрів пакетів помилок, блок 4 синхронізації. Вхід 5 інформаційний пристрою з'єднаний з першим інформаційним входом перетворювача кодів 1. Вхід 6 вибору режиму роботи пристрою з'єднаний з входом керування перетворювача кодів 1. Вхід 7 початкового установлення пристрою з'єднаний з входом початкового установлення перетворювача кодів 1, блока 3, блока 4 та з першим входом початкового установлення блока 2. Вхід 8 керування пристрою з'єднаний з першим входом керування блока синхронізації 4. Перша і друга  $m$ -розрядні або  $2m$ -розрядні групи інформаційних виходів блока 3,  $m = \lceil \log_2 n \rceil$ , де  $\lceil \cdot \rceil$  означає округлення до цілого в більший бік, і друга група інформаційних виходів блока 3,  $m$ -розрядна для прикладу виконання 1 блока 3 і  $2m$ -розрядна для прикладу виконання 2 блока 3, під'єднані відповідно до першої групи інформаційних виходів 9 пристрою і до другої групи інформаційних виходів 10 пристрою. Інформаційний вихід блока 3 з'єднаний з другим входом керування блока 4 і під'єднаний до першого інформаційного виходу 11 пристрою. Інформаційний вихід перетворювача кодів 1 з'єднаний з третім входом керування блока 4 і під'єднаний до другого інформаційного виходу 12 пристрою. Вихід блока 4 з'єднаний з входами синхронізації перетворювача кодів 1 і блока 2, перший інформаційний вихід якого з'єднаний з інформаційним входом блока 3, вихід керування якого з'єднаний з другим входом початкового установлення блока 2, другий інформаційний вихід якого з'єднаний з другим інформаційним входом перетворювача кодів 1

Перетворювач кодів 1 (Фіг 2) містить лінійну послідовну схему (ЛПС) 13, перший RST-тригер 14, другий RST-тригер 15, елемент І-АБО 16, елемент І 17, елемент АБО 18, елемент НІ 19. Вхід керування перетворювача кодів 1 під'єднаний до

входу 6 пристрою і з'єднаний з S-входом першого RST-тригера 14 та з входом елемента HI 19, вихід якого з'єднаний з R-входом першого RST-тригера 14, прямий та інверсний виходи якого з'єднані відповідно з першим та другим входами елемента I-АБО 16. Перший інформаційний вхід перетворювача кодів 1 під'єднаний до входу 5 пристрою і з'єднаний з третім входом елемента I-АБО 16. Другий інформаційний вхід 20 перетворювача кодів 1 з'єднаний з четвертим входом елемента I-АБО 16. Вхід початкового устанавлення перетворювача кодів 1 під'єднаний до входу 7 пристрою і з'єднаний з входом початкового устанавлення ЛПС 13 і з R-входом другого RST-тригера 15. Вхід 21 синхронізації перетворювача кодів 1 з'єднаний з другим входом елемента I 17 і з тактовим T-входом другого RST-тригера 15, прямий вихід якого з'єднаний з першим входом елемента I 17, вихід якого з'єднаний з входом синхронізації ЛПС 13. Вихід елемента I-АБО 16 з'єднаний з інформаційним входом ЛПС 13, r-розрядна ( $r = n - k$ ) група інформаційних виходів якої з'єднана з входами елемента АБО 18, вихід якого під'єднаний до другого інформаційного виходу 12 пристрою. На тактовий T-вхід першого RST-тригера 14 і на S-вхід другого RST-тригера 15 поданий потенціал логічного нуля.

Блок 2 формування вхідного вектора помилки (Фіг 3) містить перший RST-тригер 22, другий RST-тригер 23, перший елемент I 24, другий елемент I 25. Перший вхід початкового устанавлення блока 2 під'єднаний до входу 7 пристрою і з'єднаний R-входами першого RST-тригера 22 і другого RST-тригера 23. Другий вхід початкового устанавлення 26 блока 2 з'єднаний з S-входами першого RST-тригера 22 і другого RST-тригера 23. Вхід 27 синхронізації блока 2 з'єднаний з першими входами першого елемента I 24 і другого елемента I 25, вихід якого з'єднаний з тактовим T-входом другого RST-тригера 23, прямий вихід якого з'єднаний з тактовим T-входом першого RST-тригера 22, прямий вихід якого з'єднаний з другим входом другого елемента I 25. Вихід першого елемента I 24 з'єднаний з першим інформаційним виходом 28 блока 2. Інверсний вихід першого RST-тригера 22 з'єднаний з другим входом першого елемента I 24 і з другим інформаційним виходом 29 блока 2.

Блок 3 визначення параметрів пакетів помилок (приклад виконання 1 Фіг 4) містить перший m-розрядний лічильник 30, другий m-розрядний лічильник 31. Вхід початкового устанавлення блока 3 під'єднаний до входу 7 пристрою і з'єднаний з входами початкового устанавлення лічильників 30 і 31. Вхід 32 інформаційний блока 3 з'єднаний з входом додавання лічильника 30, група інформаційних виходів якого створює першу m-розрядну групу інформаційних виходів блока 3 і під'єднану до першої групи інформаційних виходів 9 пристрою, m-розрядна група інформаційних виходів лічильника 31 створює другу m-розрядну групу інформаційних виходів блока 3 і під'єднану до другої групи інформаційних виходів 10 пристрою. Вихід переповнення лічильника 31 під'єднаний до виходу 11 пристрою. Вихід переповнення лічильника 30 з'єднаний з входом додавання лічильника 31 і з виходом керування 33 блока 3.

Блок 3 визначення параметрів пакетів помилок (приклад виконання 2 Фіг 5) містить перший m-розрядний лічильник 30, другий m-розрядний лічильник 31, перший паралельний двійковий m-розрядний суматор 34, другий паралельний двійковий m-розрядний суматор 35. Вхід початкового устанавлення блока 3 під'єднаний до входу 7 пристрою і з'єднаний з входами початкового устанавлення лічильників 30 і 31. Вхід 32 інформаційний блока 3 з'єднаний з входом додавання лічильника 30, група інформаційних виходів якого з'єднана з першими групами інформаційних виходів суматора 34 та суматора 35. Група інформаційних виходів лічильника 31 з'єднана з другою групою інформаційних виходів суматора 35. Вихід переповнення лічильника 31 під'єднаний до виходу 11 пристрою. Вихід переповнення лічильника 30 з'єднаний з входом додавання лічильника 31 і з виходом керування 33 блока 3. На другу групу інформаційних виходів суматора 34 подано число n, m-розрядна група інформаційних виходів лічильника 30 і m-розрядна група інформаційних виходів суматора 34 створюють першу 2m-розрядну групу інформаційних виходів блока 3, яка під'єднана до групи інформаційних виходів 9 пристрою, m-розрядна група інформаційних виходів лічильника 31 і m-розрядна група інформаційних виходів суматора 35 створюють другу 2m-розрядну групу інформаційних виходів блока 3, яка під'єднана до групи інформаційних виходів 10 пристрою.

ЛПС 13 (варіант реалізації при  $r = 8$ ) перетворювача кодів 1 (Фіг 6) містить суматор 36 по модулю два, D-тригери 37-44, входи синхронізації яких з'єднані з тактовим входом 46 синхронізації перетворювача кодів 1, інформаційний вхід 45 якого з'єднаний з першим входом суматора 36, вихід якого з'єднаний з D-входом D-тригера 37. Виходи всіх D-тригерів 37-44 створюють 8-розрядну групу інформаційних виходів 47 перетворювача кодів 1, причому прямий вихід (i-1)-го D-тригера з'єднаний з D-входом i-го D-тригера ( $i = 2 \div 8$ ). Виходи D-тригера 37, D-тригера 38, D-тригера 40, D-тригера 44 з'єднані також з іншими чотирма входами суматора 36. Входи установки D-тригерів 37 - 44 з'єднані з входом початкового устанавлення перетворювача кодів 1 і під'єднані до входу 7 пристрою.

Пристрій працює наступним чином:

Є два режими роботи пристрою:

режим декодування,

режим локалізації помилок.

В режимі декодування в перетворювачі кодів 1 визначається вірність кодового вектора, який поступає по входу 5 пристрою.

В режимі локалізації помилок визначаються параметри пакета помилки в кодовому векторі. В цей режим роботи пристрій переходить після виявлення помилки в кодовому векторі.

Устанавлення режиму декодування (локалізації помилок) здійснюється подачею сигналу логічної 1 (логічного 0) на вхід 6 пристрою.

Теоретичною основою декодування кодів БЧХ є математичний апарат ЛПС.

В перетворювачі кодів 1 апаратно реалізована двійкова ЛПС, яка описується лінійною функцією переходів (стану) S та лінійною функцією виходів Y:

$$S = A \cdot S + B \cdot U \quad (1)$$

$$Y = S,$$

де  $S$ ,  $U$ ,  $Y$  - відповідно вектори станів, вхідний та вихідний,

$A = |a_{ij}|_{n \times n}$  - основна характеристична матриця ЛПС,

$$B = |b_i|_n - \text{характеристична матриця ЛПС}$$

В формулах (1) символи '+' та '-' позначають відповідно операції додавання та множення по модулю два

Можливі два варіанта матриць  $A$  та  $B$ , які можуть бути реалізовані апаратно в перетворювачі кодів 1

$$A = \begin{pmatrix} 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ p_0 & p_1 & p_2 & p_{r-1} \end{pmatrix} \quad B = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 1 \end{pmatrix} \quad (2)$$

або

$$A = \begin{pmatrix} 0 & 0 & 0 & p_0 \\ 1 & 0 & 0 & p_1 \\ 0 & 1 & 0 & p_2 \\ 0 & 0 & 1 & p_{r-1} \end{pmatrix} \quad B = \begin{pmatrix} 1 \\ 0 \\ 0 \\ 0 \end{pmatrix} \quad (3)$$

Елементи останнього рядка матриці  $A$  в (2) або останнього стовпчика в (3) представляють собою коефіцієнти породного багаточлена  $P(x)$  коду БЧХ

$$P(x) = p_0 + p_1 x + \dots + p_{r-1} x^{r-1} + p_r x^r$$

Під дією  $t$ -розрядного вхідного вектора

$$U_{er}^z = u(1)u(2) \dots u(w) \dots u(w+z-1), \quad (5)$$

де  $u(1) = u(2) = \dots = u(w-1) = 0, \quad u(w) = \dots = u(w+z-1) = 1, \quad w = 1 \div n,$

Особливістю двійкових циклічних кодів є те, що до одного і того ж синдрому помилки  $s_{er}(n)$  призводить кодовий вектор з двома варіантами одиночних пакетів помилок довжини відповідно  $z_1$  та  $z_2$ , які починаються в позиціях відповідно  $w_1$  та  $w_2$

$$U_{er}^{z_1} = u(1)u(2) \dots u(w_1) \dots u(w_1+z_1-1), \quad (6)$$

де  $u(1) = u(2) = \dots = u(w_1-1) = 0, \quad u(w_1) = \dots = u(w_1+z_1-1) = 1, \quad w_1 = 1 \div n,$

а для виявлення другого пакету помилок необхідно далі подати  $(w_2 + z_2 - 1)$  - розрядний вхідний вектор помилок

$$U_{er}^{z_2} = u(1)u(2) \dots u(w_2) \dots u(w_2+z_2-1), \quad (7)$$

де  $u(1) = u(2) = \dots = u(w_2-1) = 0, \quad u(w_2) = \dots = u(w_2+z_2-1) = 1, \quad w_2 = 1 \div n$

Якщо відомі параметри одного пакету помилки ( $z_1$  і  $w_1$ ), тоді можна визначити також параметри другого пакету помилок по формулах

$$z_2 = n - z_1, \quad (8)$$

$$w_2 = \begin{cases} w_1 + z_1, & \text{якщо } w_1 + z_1 \leq n, \\ w_1 + z_1 - n, & \text{якщо } w_1 + z_1 > n \end{cases} \quad (9)$$

$$U = u(1)u(2) \dots u(i) \dots u(t)$$

який поступає на вхід ЛПС, відбувається послідовна зміна її внутрішніх станів

$$S = s(0)s(1) \dots s(i-1)s(i) \dots s(t)$$

для обчислення яких замість формул (1) зручно користуватись наступними співвідношеннями

$$s(i) = \begin{cases} A \cdot s(i-1) + B, & \text{якщо } u(i-1) = 1, \\ A \cdot s(i-1), & \text{якщо } u(i-1) = 0, \end{cases} \quad (4)$$

$i = 1 \div t$

Якщо на вхід ЛПС 13 поступає  $n$ -розрядний кодовий вектор без помилок, тоді  $r$ -розрядна ЛПС 13 з початкового нульового стану  $s(0)$  через  $n$  тактів роботи знову перейде в нульовий стан

$s(n) = s(0)$ , тобто буде одержано нульовий синдром

Помилка в  $w$ -ій позиції кодового вектора, який позначимо  $C_{er}^1(x)$ , призводить до появи ненульового синдрому  $s_{er}(n)$  для переходу з якого в нульовий стан  $s(0)$  необхідно подати на вхід ЛПС 13  $w$ -розрядний вхідний вектор помилок

$$U_{er}^1 = u(1)u(2) \dots u(w-1)u(w)$$

де  $u(1) = u(2) = \dots = u(w-1) = 0, \quad u(w) = 1, \quad w = 1 \div n$

Пакет помилок довжини  $z$  в позиціях  $w, w+1, \dots, w+z-1$  кодового вектора, який позначимо  $C_{er}^z(x)$ , призводить до появи синдрому помилки  $s_{er}(n)$  для переходу з якого в нульовий стан  $s(0)$  необхідно подати на вхід ЛПС 13  $(w+z-1)$  - розрядний вхідний вектор помилок

Для виявлення першого варіанта пакету помилок потрібно на вхід ЛПС 13, яка знаходиться в стані  $s_{er}(n)$ , спочатку подати  $(w_1 + z_1 - 1)$  - розрядний вхідний вектор помилок

Вектори (6) та (7) однозначно визначають позиції та довжини обох варіантів пакетів помилок в кодовому векторі  $C_{er}^z(x)$  тому задача локалізації пакету помилок замінюється в пристрої задачею пошуку відповідних вхідних векторів помилок

Перед початком роботи пристрою на вхід 7 поступає сигнал, по якому всі блоки установлю-

ються в початковий стан

Робота пристрою в режимі декодування починається після приходу керуючого сигналу на вхід 8. Тривалість роботи пристрою в режимі декодування дорівнює  $(n+1)$  циклів, які складають один макроцикл. В кожному циклі роботи блок 4 формує один синхроімпульс, який поступає на входи перетворювача кодів 1 і блока 2.

При відсутності в кодовому векторі помилок на виході 12 пристрою в кінці макроциклу режиму декодування з'явиться сигнал логічного 0, а при наявності помилок - на виході 12 буде зберігатись значення логічної 1.

В пристрої реалізовані два варіанти функціонування в режимі локалізації помилок і, відповідно, можливі дві схемні реалізації блока 3.

Варіант 1 режиму локалізації помилок

В пристрої послідовно в часі визначаються два

$$u(1) = u(2) = \dots = u(n) = 1, \quad u(n+1) = 0 \quad (10)$$

Якщо в  $z_1$ -му циклі першого макроциклу на виході 12 пристрою з'являється нульовий сигнал, це означає, що виявлений перший пакет помилок, значення  $z_1$  довжини якого передається на першу  $m$ -розрядну групу виходів 9 пристрою, а номер  $w_1$  першої позиції в кодовому векторі цього пакета помилок передається на другу  $m$ -розрядну групу виходів 10 пристрою.

В першому макроциклі виявляються всі одиничні пакети помилок довжиною від 1 до  $(n-1)$ , які починаються в першій позиції кодового вектора.

Якщо в першому макроциклі пакет помилок не був виявлений, тоді робота пристрою продовжується в наступних макроциклах аналогічним чином. Періодична подача в кожному макроциклі вектора (10) еквівалентна формуванню вхідного вектора помилки (6). Поява в  $z_1$ -му циклі  $w_1$ -го макроцикла сигналу логічного 0 на виході 12 пристрою буде свідчити про виявлення першого можливого пакета помилок довжиною  $z_1$  який починається в  $w_1$ -ій позиції кодового вектора.

Далі робота пристрою знову продовжується. Періодична подача в кожному макроциклі вектора (10) буде еквівалентна формуванню вхідного вектора помилки (7). Поява в  $z_2$ -му циклі  $w_2$ -го макроцикла сигналу логічного 0 на виході 12 пристрою буде свідчити про виявлення другого можливого пакета помилок довжиною  $z_2$ , який починається в  $w_2$ -ій позиції кодового вектора.

Варіант 2 режиму локалізації помилок

Робота пристрою до моменту виявлення першого можливого пакету помилок відбувається аналогічно, як і по першому варіанту. Далі робота пристрою припиняється, а параметри другого можливого пакету помилок визначаються згідно формул (8) та (9). В цьому випадку величини  $z_1$  та  $z_2$  передаються відповідно по  $m$  молодшим та  $m$  старшим розрядам першої  $2m$ -розрядної групи виходів 9 пристрою. Величини  $w_1$  та  $w_2$  передаються відповідно по  $m$  молодшим та  $m$  старшим розрядам  $2m$ -розрядної групи виходів 10 пристрою.

Тривалість роботи пристрою в режимі локалізації помилок по другому варіанту може скласти

можливих пакети помилок, які відповідають заданому синдрому помилки  $s_{er}(n)$ . З цієї метою визначаються вхідні вектори помилок згідно формул (6) та (7).

Тривалість роботи пристрою в першому варіанті режиму локалізації помилок може скласти від одного до  $n$  макроциклів кожний тривалістю  $(n+1)$  циклів. Протягом одного циклу роботи блок 4 формує один синхроімпульс і перевіряється можливість наявності одного варіанту пакета помилок в кодовому векторі.

Протягом перших  $n$  циклів на виході 29 блока 2 постійно присутнє значення логічної 1, а в  $(n+1)$ -му циклі - значення логічного 0. В результаті, на інформаційному вході ЛПС 13 перетворювача кодів 1 протягом першого макроциклу формуються наступні вхідні вектори

від одного до  $\frac{n}{2}$  макроциклів

Якщо  $z_1 + w_1 > n$  або  $z_2 + w_2 > n$ , тоді, згідно циклічних властивостей коду, помилковими розрядами кодового вектора будуть перші  $h$  розрядів ( $h = z_1 + w_1 - n - 1$  або  $h = z_2 + w_2 - n - 1$ ), а також останні  $(w_1 - h)$  або  $(w_2 - h)$  розрядів.

На часовій діаграмі (Фіг 7) показана робота пристрою для локалізації пакетів помилок в (15,7) - коді БЧХ до тих пір, поки буде виявлений перший можливий пакет помилок довжиною 6, який починається в другій позиції кодового вектора.

Поява на виході 11 пристрою сигналу логічної 1 через  $n$  макроциклів роботи буде свідчити про наявність в перевіряемому кодовому векторі пакетів помилок кратності два або більше.

Перетворювач кодів 1 працює наступним чином.

Перед початком режиму декодування на вхід 7 поступає сигнал логічної 1, який устанавлює ЛПС 13 і RST-тригер 15 в нульовий стан. Потім на вхід 6 поступає сигнал логічної 1, який по S-входу устанавлює RST-тригер 14 в одиничний стан. Внаслідок цього в режимі декодування дозволяється проходження кодового вектора з входу 5 через елемент І-АБО 16 на інформаційний вхід ЛПС 13.

В першому циклі роботи в режимі декодування для поступаючого по входу 21 синхроімпульсу закритий шлях проходження через елемент І 17, і тому ЛПС 13 залишається в нульовому стані і лише RST-тригер 15 устанавлюється в одиничний стан.

Наступні  $n$  синхроімпульсів в режимі декодування поступають через елемент І 17 на інформаційний вхід ЛПС 13. При відсутності в кодовому векторі помилок ЛПС 13 з початкового стану  $s(0)$  через  $n$  циклів знову повернеться в нульовий стан  $s(0)$ , який за допомогою елемента АБО 18 призведе до появи сигналу логічного 0 на виході 12 пристрою. При наявності в кодовому векторі помилок ЛПС 13 з початкового стану  $s(0)$  через  $n$  циклів перейде в ненульовий стан  $s_{er}(n)$  (синдром помилки), і на виході 12 пристрою залишиться значення логічної 1.

Режим локалізації помилок починається з приходом на вхід 6 сигналу логічного 0 і наступною установкою RST-тригера 14 в нульовий стан. В результаті дозволяється проходженню вхідних векторів помилок з другого інформаційного входу 20 через елемент І-АБО 16 на інформаційний вхід ЛПС 13. В кожному макроциклі роботи на інформаційний вхід ЛПС 13 поступають вхідні вектори помилок (10), під дією яких ЛПС 13 із стану  $s_{er}(n)$  по чергово переходить в інші стани згідно формул (4).

Якщо в  $j$ -му макроциклі роботи ЛПС 13 із стану  $s_{er}(n)$  перейшла в нульовий стан  $s(0)$ , то це буде свідчити про виявлення в кодовому векторі пакета помилок, інакше через  $n$  циклів ЛПС 13 знову установиться в стан  $s_{er}(n)$ , потім під дією вхідного сигналу логічного 0 ЛПС 13 перейде в стан  $s_{er}(n+1)$  і розпочнеться  $(j+1)$ -й макроцикл роботи.

Розглянемо роботу ЛПС 13, апаратна реалізація якої задається матрицями  $A = \|a_{ij}\|_{n \times n}$  і  $B = \|b_i\|_n$  виду (2) та (3). При апаратній реалізації ЛПС 13 матриця  $A$  задає структуру зв'язків між елементами пам'яті (тригерами), а матриця  $B$  - структуру вхідних зв'язків. Якщо матриці  $A$  і  $B$  мають вигляд (2), тоді ЛПС 13 має вигляд  $n$ -розрядного регістра зсуву з одним багатовходовим суматором по модулю 2 на його вході. Якщо матриці  $A$  і  $B$  мають вигляд (3), тоді ЛПС 13 має вигляд  $n$ -розрядного регістра зсуву з кількома суматорами по модулю 2, які розташовані між окремими тригерами.

Елементи  $a_{ij} = 1$  останнього рядка матриці

$A \|a_{ij}\|_{n \times n}$  виду (2) показують наявність зв'язку між виходом  $j$ -го тригера і входом суматора по модулю 2, вихід якого з'єднаний з входом  $n$ -го тригера. Елементи  $a_{in} = 1$  останнього стовпчика матриці

$A \|a_{ij}\|_{n \times n}$  виду (3) показують наявність зв'язку між виходом  $n$ -го тригера і першим входом суматора по модулю 2, другий вхід якого з'єднаний з виходом  $(i-1)$ -го тригера, а вихід - з входом  $i$ -го тригера. В обох реалізаціях значення інших елементів  $a_{ij} = 1 (a_{ij} = 0)$  матриці  $A \|a_{ij}\|_{n \times n}$  показують наявність (відсутність) зв'язку між виходом  $j$ -го тригера і входом  $i$ -го тригера.

Для одновходової ЛПС 13 значення елемента  $b_i = 1 (b_i = 0)$  матриці  $B \|b_i\|_n$  показує наявність (відсутність) зв'язку інформаційного входу ЛПС 13 з входом  $i$ -го тригера через суматор по модулю 2.

На Фіг 6 показана 8-розрядна ЛПС 13, яка є апаратною реалізацією таких матриць  $A$  і  $B$

$$A = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 \end{pmatrix} \quad B = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 1 \end{pmatrix} \quad (11)$$

Матриці (11) відповідають (15,7)-коду БЧХ з породним багаточленом

$$P(x) = 1 + x^4 + x^6 + x^7 + x^8$$

Ця ЛПС 13 працює наступним чином.

Перед початком роботи пристрою поступаючим по входу 7D-тригери 37 - 44 установлюються в нульовий стан. Під дією сигналів, які приходять на інформаційний вхід 45, тригери 37 - 44 будуть по чергово змінювати свій стан.

Значення виходів тригерів 37 - 44 в будь-якому циклі роботи представляють собою 8-розрядний код внутрішнього стану ЛПС 13, який відображається на групі інформаційних виходів 47.

Нехай, наприклад, після закінчення режиму декодування в цій ЛПС 13 був сформований такий синдром помилки  $s_{er}(15)$

00011110

Після першого макроциклу роботи в режимі локалізації помилок ЛПС 13 знову перейде в наступний стан

00111100

В другому макроциклі роботи, після подачі на її входи сигналів логічної 1, ЛПС 13 буде по чергово переходити в такі стани

01111000

11110000

11100000

11000000

10000000

00000000.

Таким чином, після подачі шостого сигналу логічної 1, ЛПС 13 перейде в нульовий стан, що буде свідчити про виявлення в кодовому векторі першого можливого пакета помилок довжини 6, який починається в другій позиції кодового вектора.

Подальша робота даної ЛПС 13 призведе до виявлення другого можливого пакета помилок довжини 9, який починається в позиції 8, що еквівалентно помилкам в позиціях 1,8 - 15 кодового вектора.

Блок 2 працює наступним чином.

Перед початком роботи пристрою сигналом, який поступає по входу 7, RST-тригери 22 та 23 установлюються в нульовий стан. Синхроімпульси з входу 27, через елемент І 24 поступають протягом перших  $n$  циклів кожного макроциклу на вихід 28, а на виході 29 зберігається значення логічної 1.

В кінці  $n$ -го циклу кожного макроциклу роботи на вхід 26 блока поступає сигнал, який установлює RST-тригери 22 і 23 в одиничний стан. Внаслідок

цього, в  $(n + 1)$ -му циклі кожного макроциклу на виході 29 буде значення логічного 0 а також забороняється проходження синхроімпульсів через елемент І 24 на вихід 28 блока

Синхросигнал, який поступає в  $(n + 1)$ -му циклі цього макроциклу на вхід 27, через елемент І 25 установить в нульовий стан тригер 23, який в свою чергу установить в нульовий стан тригер 22. В результаті синхроімпульси з входу 27 в першому циклі наступного макроциклу знову будуть поступати через елемент І 24 на вихід 28, а на виході 29 знову установиться значення логічної 1

Блок 3 працює наступним чином

Перед початком роботи лічильники 30 і 31 обнуляються

В режимі декодування в кожному циклі роботи на вхід 32 надходить один синхросигнал, під дією якого вміст лічильника 30 збільшується на одиницю. Через  $(n + 1)$  циклів лічильник 30 знову переходить в нульовий стан, а сигнал логічної 1 на його виході переповнення передається на вихід 33 блоку і одночасно збільшує вміст лічильника 31 на одиницю

Для кожного варіанта режиму локалізації помилок блок 3 має різну схемну реалізацію і, відповідно, по різному працює

Варіант 1 режиму локалізації помилок (приклад виконання 1 блока 3)

В першому макроциклі режима локалізації помилок в лічильнику 31 зберігається значення логічної 1, а лічильник 30 збільшує свій вміст на одиницю в кожному циклі роботи. В кінці кожного макроциклу сигнал з виходу переповнення лічильника 30 збільшує вміст лічильника 31 на одиницю. При виявленні пакета помилок число в лічильнику 30 означає довжину пакета помилки, а число в лічильнику 31 - номер позиції першого помилкового розряду в кодовому векторі. Після виявлення першого можливого пакета помилок робота блока 3 продовжується до виявлення другого можливого пакета помилок

Варіант 2 режиму локалізації помилок (приклад виконання 2 блока 3)

До моменту виявлення першого пакета помилок робота блока 3 відбувається аналогічно, як і для першого варіанту режиму локалізації помилок

Після визначення параметрів першого можли-

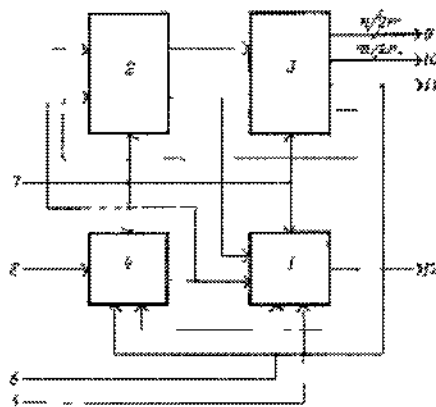


Fig. 1

вого пакета помилок на вхід 32 перестають надходити синхросигнали, а параметри другого можливого пакета помилок визначаються за допомогою суматорів 34 та 35 (величина 22 на виході суматора 34 і величина  $z_2$  на виході суматора 35)

Двійковий паралельний  $m$ -розрядний суматор 34 обчислює величину 22 по формулі (8) заміною операції віднімання операцією додавання в обернених кодах. Двійковий паралельний  $m$ -розрядний суматор 35 підсумовує числа в лічильниках 30 і 31, а також додає при потребі одиницю переносу згідно формул 9

В обох варіантах режиму локалізації помилок сигнал з виходу переповнення лічильника 31, переданий на вихід 11 пристрою, свідчить про закінчення режиму локалізації помилок і відсутність в кодовому векторі одиничних пакетів помилок

Для  $(n, k)$ -коду БЧХ лічильники 30 та 31 повинні мати коефіцієнт перерахунку  $(n + 1)$

Для оцінки техніко-економічної ефективності запропонованого і відомого пристроїв проведемо порівняння їх коректуючої здатності по формулі, яка показує відношення довжини  $n$  коду до довжини 2 виявляемого пакету помилок, тобто

$$E = \frac{n}{z}$$

В загальному випадку у відомому пристрої вказане відношення дорівнює

$$E_1 = \frac{(2^z - 1)(2z - 1)}{z} \approx 2^{z+1},$$

а в запропонованому пристрої

$$E_2 = \frac{(z - 1)}{z} \approx 1$$

Оскільки потрібна довжина  $n$  коду по запропонованому методу локалізації помилок майже в  $2^{z+1}$  разів менше в порівнянні з відомим методом, тому в запропонованому пристрої можна виявляти більш часті види помилок, тобто пакети помилок більшої довжини, які розташовані ближче один до одного в  $2^{z+1}$  разів

При цьому в запропонованому пристрої значно зменшуються апаратні затрати за рахунок меншої кількості потрібних блоків

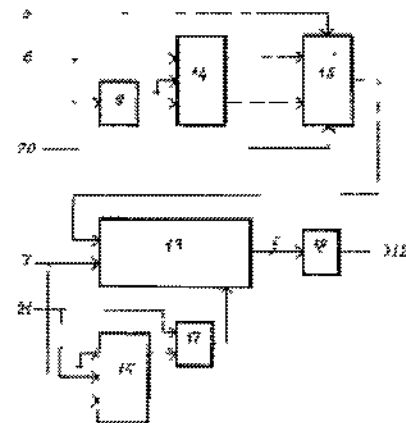


Fig. 2



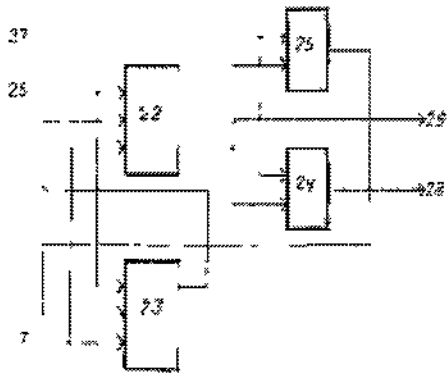


Fig. 3

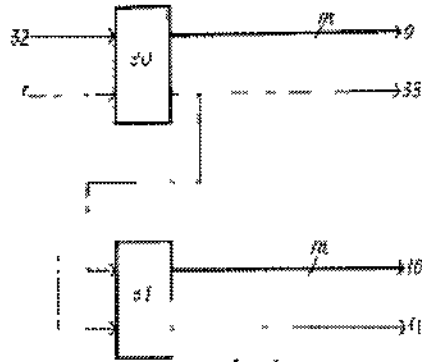


Fig 4

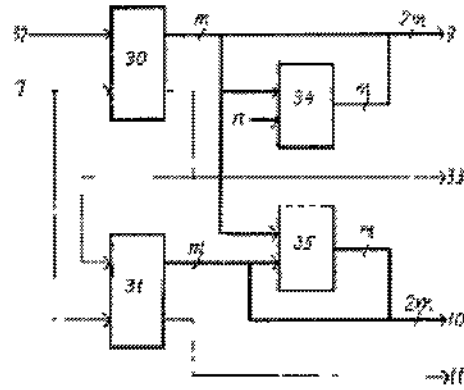


Fig 5

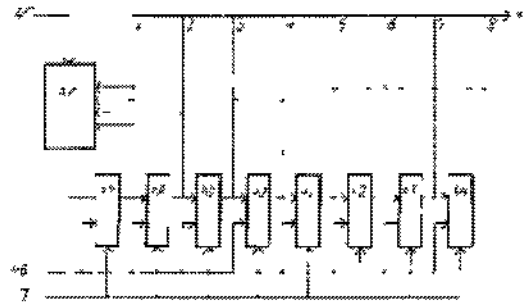


Fig 6

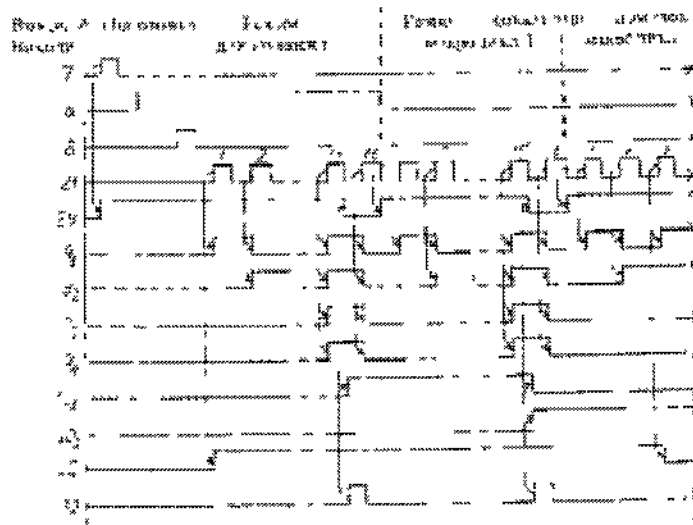


Fig.7

ДП «Український інститут промислової власності» (Укрпатент)

вул. Сім'ї Хохлових, 15, м. Київ, 04119, Україна

(044) 456 – 20 – 90

ТОВ «Міжнародний науковий комітет»

вул. Артема, 77, м. Київ, 04050, Україна

(044) 216 – 32 – 71