



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **127185** (13) **U**
(51) МПК
Н03М 1/46 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

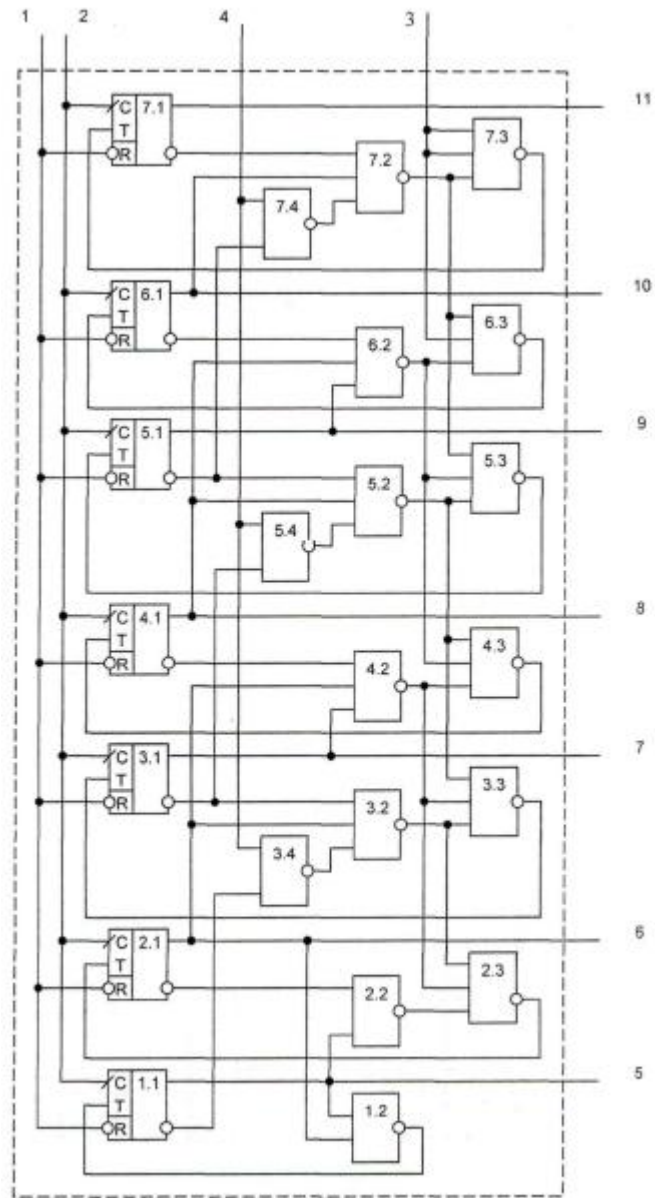
(21) Номер заявки: u 2018 00056	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA), Муращенко Олександр Григорович (UA)
(22) Дата подання заявки: 02.01.2018	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 25.07.2018	
(46) Публікація відомостей про видачу патенту: 25.07.2018, Бюл.№ 14	

(54) ЛІЧИЛЬНИК

(57) Реферат:

Лічильник має вхід початкового встановлення, вхід тактових імпульсів, вхід потенціалу логічної одиниці, вхід режиму лічби, сім інформаційних виходів та сім розрядів, кожен розряд містить лічильний тригер та перший логічний елемент І-НІ, а кожен розряд, крім першого, містить другий логічний елемент І-НІ, а третій, п'ятий і сьомий розряди містять відповідно треті логічні елементи І-НІ, причому вхід початкового встановлення з'єднаний з R-входами всіх лічильних тригерів, вхід тактових імпульсів з'єднаний з С-входами всіх лічильних тригерів, прямий вихід лічильного тригера кожного і-го розряду з'єднаний з і-м інформаційним виходом лічильника, інверсний вихід лічильного тригера кожного і-го розряду, крім першого і другого, з'єднаний з першим входом першого логічного елемента І-НІ того ж розряду, прямий вихід лічильного тригера кожного і-го розряду, крім першого, та сьомого, з'єднаний з другим входом першого логічного елемента І-НІ (і+1)-го розряду, прямий вихід лічильного тригера кожного парного і-го розряду, крім сьомого та шостого, з'єднаний з третім входом першого логічного елемента І-НІ (і+2)-го розряду.

UA 127185 U



Фиг. 1

Корисна модель належить до обчислювальної техніки і автоматики та може бути використана у цифрових пристроях.

Відомо перешкодостійкий лічильник імпульсів Борисенко-Стахова [патент на винахід UA 104939 С2 23/00 (2014/01), опублікований 25.03.2014, бюл. № 6], що складається з регістра, що містить n тригерів і n схем І, перші входи яких сполучені з входом тактових імпульсів, а виходи з входами установки в одиницю відповідних тригерів, а також має блок аналізу, що містить $(n-1)$ двовходових схем І, блок диспозицій, що містить $(n-1)$ двовходових схем І з інверторами на вході, блок контролю, що містить $(n-1)$ двовходових схем І, які об'єднані схемою АБО, блок установки нуля, що містить $(n-1)$ двовходових схем АБО і одну допоміжну схему І, до першого входу якої приєднаний вхід тактових імпульсів, при цьому входи встановлення в одиницю тригерів регістра сполучені з першими входами двовходових схем АБО сусідніх молодших розрядів блока встановлення нуля, виходи яких сполучені з входами встановлення в нуль відповідних тригерів і з другими входами схем АБО сусідніх молодших розрядів цього блока, до другого входу схеми АБО $(n-1)$ -го розряду і входу встановлення в нуль тригера n -го розряду підключений вихід допоміжної схеми І блока встановлення нуля, інверсні виходи кожного з тригерів регістра заведені на перший і другий входи відповідних йому двох двовходових схем І блока аналізу, прямий вихід кожного з перших $n-1$ тригерів заведений на другий вхід схеми І сусіднього старшого розряду регістра, прямий вихід тригера n -го розряду сполучений з другим входом допоміжної схеми І, виходи схеми І блока аналізу зв'язані через інвертори з першими і другими входами відповідних їм двох двовходових схем І блока диспозицій і з третім входом схеми І цього ж розряду регістра, вихід кожної з $n-2$ схем І блока диспозицій, починаючи з першого розряду, заведений на третій вхід сусідньої схеми І старшого розряду цього ж блока і четвертий вхід схеми І старшого розряду регістра, що стоїть через два розряди, вихід старшої $n-1$ схеми І блока диспозицій заведений на третій вхід допоміжної схеми І блока установки нуля, прямі виходи двох розміщених поруч тригерів заведені на перший і другий входи відповідних їм двох двовходових схем І блока контролю, виходи яких об'єднані схемою АБО.

Недоліком даного лічильника є великі апаратні витрати та низька швидкодія, яка визначається наявністю у схемі довгих шляхів розповсюдження сигналу через всі розряди протягом одного такту лічби.

Як найближчий аналог вибрано патент на корисну модель "Цифро-аналоговий перетворювач" (№ 94085, м. кл. H03M 1/46, опублікований 27.10.2014, бюл. № 20), в якому описано швидкодіючий лічильник у фібоначчівій системі числення, що містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів, та у кожному i -му розряді містить лічильний тригер, вхід S синхронізації якого з'єднаний з входом тактових імпульсів лічильника, вхід R встановлення у початковий стан з'єднаний з входом встановлення у початковий стан лічильника, а вихід з'єднаний з i -м інформаційним виходом лічильника, крім того перший і другий розряди лічильника містять по одному першому логічному елементу І-НІ, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи І-НІ, причому перший вхід логічного елемента І-НІ першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду; перший вхід логічного елемента І-НІ другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента І-НІ четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду; у кожному i -му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента І-НІ з'єднаний з інверсним виходом лічильного тригера i -го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера $(i-1)$ -го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера $(i-2)$ -го розряду, а вихід з'єднаний з першим входом другого логічного елемента І-НІ i -го розряду; другий вхід другого логічного елемента І-НІ i -го розряду, крім N -го, з'єднаний з виходом першого логічного елемента І-НІ $(i+1)$ -го розряду, третій вхід другого логічного елемента І-НІ i -го розряду, крім N -го та $(N-1)$ -го, з'єднаний з виходом першого логічного елемента І-НІ $(i+2)$ -го розряду, а вихід другого логічного елемента І-НІ i -го розряду з'єднаний з Т-входом лічильного тригера i -го розряду; другий і третій входи другого логічного елемента І-НІ N -го розряду та третій вхід другого логічного елемента І-НІ $(N-1)$ -го розряду з'єднані з входом одиничного потенціалу лічильника.

Недоліком лічильника є те, що лічба в ньому може виконуватись лише у фібоначчівій системі числення, що обмежує функціональні можливості.

В основу корисної моделі поставлено задачу створення такого лічильника, в якому за рахунок введення нових елементів та зв'язків організуються режими лічби у фібоначчівій

системі числення або у системі числення з вагами розрядів 1, 2, 2, 4, 4, 8, 8, ..., що призводить до розширення функціональних можливостей пристрою, що заявляється.

Поставлена задача вирішується тим, що в лічильник, що має вхід початкового встановлення, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів та N розрядів, кожен з яких містить лічильний тригер та перший логічний елемент I-НІ, а кожен розряд, крім першого і другого, містить другий логічний елемент I-НІ, причому вхід початкового встановлення з'єднаний з R-входами всіх лічильних тригерів, вхід тактових імпульсів з'єднаний з С-входами всіх лічильних тригерів, вхід одиничного потенціалу з'єднаний з першими входами других логічних елементів I-НІ шостого і сьомого розрядів та другим входом другого логічного елемента I-НІ шостого розряду, прямі виходи всіх лічильних тригерів з'єднані з відповідними інформаційними виходами лічильника, інверсний вихід лічильного тригера кожного розряду, крім першого і другого, з'єднаний з першим входом першого логічного елемента I-НІ того ж розряду, прямий вихід лічильного тригера кожного i-го розряду, крім першого, та N-го, з'єднаний з другим входом першого логічного елемента I-НІ (i+1)-го розряду, прямий вихід лічильного тригера кожного парного i-го розряду, крім N-го та (N-1)-го, з'єднаний з третім входом першого логічного елемента I-НІ (i+2)-го розряду, вихід першого логічного елемента I-НІ кожного розряду, крім першого і другого, з'єднаний з першим входом другого логічного елемента I-НІ того ж розряду, вихід першого логічного елемента I-НІ кожного i-го розряду, крім першого, другого і третього, з'єднаний з другим входом другого логічного елемента I-НІ (i-1)-го розряду, вихід першого логічного елемента I-НІ кожного i-го розряду, крім першого, другого, третього і четвертого, з'єднаний з третім входом другого логічного елемента I-НІ (i-2)-го розряду, вихід другого логічного елемента I-НІ кожного розряду з'єднаний з Т-входом лічильного тригера того ж розряду, прямий вихід лічильного тригера першого розряду з'єднаний з першим входом першого логічного елемента I-НІ першого розряду, вихід якого з'єднаний з Т-входом лічильного тригера першого розряду, вихід першого елемента I-НІ четвертого розряду з'єднаний з першим входом першого елемента I-НІ другого розряду, вихід якого з'єднаний з Т-входом лічильного тригера другого розряду, введено вхід режиму лічби, у другому розряді введено другий логічний елемент I-НІ, а у кожному розряді з непарним номером, починаючи з третього, введено третій логічний елемент I-НІ, причому прямий вихід лічильного тригера кожного непарного i-го розряду, крім N-го та (N-1)-го, з'єднаний з першим входом третього логічного елемента I-НІ (i+2)-го розряду, другий вхід якого з'єднаний з входом режиму лічби, а вихід з'єднаний з третім входом першого логічного елемента I-НІ (i+2)-го розряду, інверсний вихід лічильного тригера другого розряду з'єднаний з першим входом другого логічного елемента I-НІ другого розряду, другий вхід якого з'єднаний з прямим виходом лічильного тригера першого розряду, а вихід з'єднаний з другим входом першого логічного елемента I-НІ другого розряду, третій вхід якого з'єднаний з виходом першого логічного елемента I-НІ третього розряду.

На фіг. 1 зображено схему семи-розрядного лічильника. На фіг. 2 зображено часові діаграми роботи семи-розрядного лічильника при встановленні режиму лічби у фібоначчівій системі числення. На фіг. 3 зображено часові діаграми роботи семи-розрядного лічильника при встановленні режиму лічби у системі числення 1224488... На діаграмах не враховані затримки часу на перемикання логічних елементів і тригерів.

Лічильним має вхід 1 початкового встановлення, вхід 2 тактових імпульсів, вхід 3 одиничного потенціалу, вхід 4 режиму лічби, сім інформаційних виходів 5÷11 та сім розрядів, кожен i-й розряд містить лічильний тригер і.1 та перший логічний елемент і.2 I-НІ, а кожен i-й розряд, крім першого, містить другий логічний елемент і.3 I-НІ, а третій, п'ятий і сьомий розряди містять відповідно треті логічні елементи 3.4, 5.4, 7.4 I-НІ, причому вхід 1 початкового встановлення з'єднаний з R-входами всіх лічильних тригерів 1.1÷7.1, вхід 2 тактових імпульсів з'єднаний з С-входами всіх лічильних тригерів 1.1÷7.1, прямий вихід лічильного тригера і.1 кожного i-го розряду з'єднаний з i-м інформаційним виходом (4+i) лічильника, інверсний вихід лічильного тригера і.1 кожного i-го розряду, крім першого і другого, з'єднаний з першим входом першого логічного елемента і.2 I-НІ того ж розряду, прямий вихід лічильного тригера і.1 кожного i-го розряду, крім першого, та сьомого, з'єднаний з другим входом першого логічного елемента (i+1).2 I-НІ (i+1)-го розряду, прямий вихід лічильного тригера і.1 кожного парного i-го розряду, крім сьомого та шостого, з'єднаний з третім входом першого логічного елемента (i+2).2 I-НІ (i+2)-го розряду, вихід першого логічного елемента і.2 I-НІ кожного i-го розряду, крім першого і другого, з'єднаний з першим входом другого логічного елемента і.3 I-НІ того ж розряду, вихід першого логічного елемента і.2 I-НІ кожного i-го розряду, крім першого, другого і третього, з'єднаний з другим входом другого логічного елемента (i-1).3 I-НІ (i-1)-го розряду, вихід першого логічного елемента і.2 I-НІ кожного i-го розряду, крім першого, другого, третього і четвертого, з'єднаний з третім входом другого логічного елемента I-НІ (i-2)-го розряду, вихід другого

логічного елемента $i.3$ I-NI кожного i -го розряду з'єднаний з Т-входом лічильного тригера 1.1 того ж розряду, прямий вихід лічильного тригера 1.1 першого розряду з'єднаний з першим входом першого логічного елемента 1.2 I-NI першого розряду, другий вхід якого з'єднаний з прямим виходом лічильного тригера 2.1 другого розряду, а вихід з'єднаний з Т-входом лічильного тригера 1.1 першого розряду, вихід першого елемента 4.2 I-NI четвертого розряду з'єднаний з першим входом першого елемента 2.2 I-NI другого розряду, вихід якого з'єднаний з Т-входом лічильного тригера 2.1 другого розряду, вхід 3 одиничного потенціалу з'єднаний з другими входами відповідно других логічних елементів 6.3, 7.3 I-NI шостого і сьомого розрядів та третім входом другого логічного елемента 6.3 I-NI шостого розряду, інверсний вихід лічильного тригера кожного непарного i -го розряду, крім сьомого та шостого, з'єднаний з першим входом третього логічного елемента $(i+2).4$ I-NI $(i+2)$ -го розряду, другий вхід якого з'єднаний з входом 4 режиму лічби, а вихід з'єднаний з третім входом першого логічного елемента $(i+2).2$ I-NI $(i+2)$ -го розряду, інверсний вихід лічильного тригера 2.1 другого розряду з'єднаний з першим входом другого логічного елемента 2.3 I-NI другого розряду, другий вхід якого з'єднаний з прямим виходом лічильного тригера 1.1 першого розряду, а вихід з'єднаний з другим входом першого логічного елемента 2.2 I-NI другого розряду, третій вхід якого з'єднаний з виходом першого логічного елемента 3.2 I-NI третього розряду.

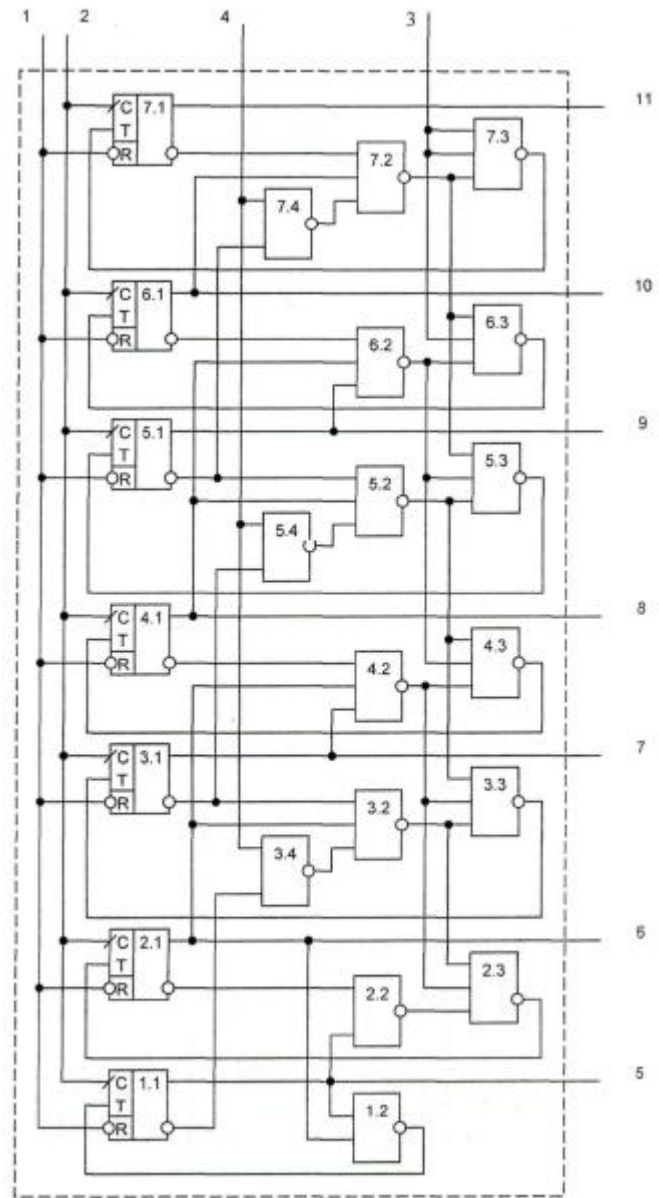
Лічильник працює таким чином. Перед початком роботи одиничний потенціал зі входу 3 одиничного потенціалу надходить на другий і третій входи другого логічного елемента 7.3 I-NI сьомого розряду та третій вхід другого логічного елемента 6.3 I-NI шостого розряду. Для виконання лічби у фібоначчівій системі числення на вході 4 режиму лічби встановлюється одиничний потенціал, який надходить на другі входи третіх логічних елементів 7.4, 5.4, 3.4 I-NI сьомого, п'ятого і третього розрядів. Робота починається з подання на вхід 1 початкового встановлення нульового сигналу, який надходить на R-входи лічильних тригерів 1.1÷7.1 розрядів з першого по сьомий. Лічильні тригери 1.1÷7.1 розрядів з першого по сьомий встановлюються у нульовий стан. У кожному i -му розряді нульовий сигнал з прямого виходу лічильного тригера $i.1$ надходить на інформаційний вихід $(4+i)$. Нульові сигнали з прямих виходів лічильних тригерів 1.1÷6.1 надходять на другі входи перших логічних елементів 3.2÷7.2, на виходах яких встановлюються одиничні сигнали. Нульовий сигнал з прямого виходу лічильного тригера 1.1 першого розряду надходить на другий вхід другого логічного елемента 2.3 I-NI другого розряду, на виході якого встановлюється одиничний сигнал. Одиничні сигнали з виходів перших логічних елементів 3.2÷7.2 I-NI розрядів з другого по сьомий та другого логічного елемента 2.3 I-NI надходять на перші, другі і треті входи других логічних елементів 3.3÷7.3 I-NI розрядів з третього по сьомий та перший, другий і третій вхід першого логічного елемента 2.2 I-NI другого розряду. На виходах цих логічних елементів встановлюються нульові сигнали, які надходять на Т-входи лічильних тригерів 2.1÷7.1 розрядів з другого по сьомий. Нульовий сигнал з прямого виходу лічильного тригера 1.1 першого розряду надходить на перший вхід першого логічного елемента 1.2 I-NI першого розряду, на виході якого встановлюється одиничний сигнал. Наявність одиничних потенціалів на других входах третіх логічних елементів 7.4, 5.4, 3.4 I-NI сьомого, п'ятого і третього розрядів призводить до того, що на виходах цих елементів будуть на кожному такті встановлюватись такі ж самі сигнали, як і на прямих виходах лічильних тригерів 5.1, 3.1, 1.1 п'ятого, третього і першого розрядів відповідно. У даному режимі при надходженні одиничного сигналу на вхід 2 тактових імпульсів лічильний тригер 1.1 першого розряду встановлюється в одиничний стан. Одиничний сигнал з прямого виходу лічильного тригера 1.1 першого розряду надходить на інформаційний вихід 5 лічильника, перший вхід першого логічного елемента 1.2 I-NI першого розряду та на другий вхід другого логічного елемента 2.3 I-NI другого розряду. На виході другого логічного елемента 2.3 I-NI другого розряду встановлюється нульовий сигнал, який надходить на другий вхід першого логічного елемента 2.2 I-NI другого розряду, з виходу якого одиничний сигнал надходить на вхід Т лічильного тригера 2.1 другого розряду. Подальша робота лічильника пояснюється за допомогою діаграм, зображених на фіг. 2. Для виконання лічби у системі числення з вагами розрядів 1, 2, 2, 4, 4, 8, 8, ... на вході 4 режиму лічби встановлюється нульовий потенціал, який надходить на другі входи третіх логічних елементів 7.4, 5.4, 3.4 I-NI сьомого, п'ятого і третього розрядів. На виходах цих логічних елементів встановлюються одиничні потенціали, які надходять на треті входи перших логічних елементів 7.2, 5.2, 3.2 I-NI тих самих розрядів. Тобто, вони не впливають на формування сигналів на виходах цих перших логічних елементів, що відповідає логіці лічби у системі числення з вагами розрядів 1, 2, 2, 4, 4, 8, 8, ... У даному режимі робота лічильника на першому такті буде такою самою, як і в попередньому режимі. Подальша робота лічильника у режимі лічби в системі числення з вагами розрядів 1, 2, 2, 4, 4, 8, 8, ... пояснюється за допомогою діаграм, зображених на фіг. 3. Можливість роботи даного лічильника

як у фібоначчівській системі числення, так і в системі числення з вагами розрядів 1, 2, 2, 4, 4, 8, 8, ... підтверджує вирішення поставленої задачі.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5

Лічильник, що має вхід початкового встановлення, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів та N розрядів, кожен з яких містить лічильний тригер та перший логічний елемент I-NI, а кожен розряд, крім першого і другого, містить другий логічний елемент I-NI, причому, вхід початкового встановлення з'єднаний з R-входами всіх лічильних тригерів, вхід тактових імпульсів з'єднаний з C-входами всіх лічильних тригерів, вхід одиничного потенціалу з'єднаний з першими входами других логічних елементів I-NI шостого і сьомого розрядів та другим входом другого логічного елемента I-NI шостого розряду, прямі виходи всіх лічильних тригерів з'єднані з відповідними інформаційними виходами лічильника, інверсний вихід лічильного тригера кожного розряду, крім першого і другого, з'єднаний з першим входом першого логічного елемента I-NI того ж розряду, прямий вихід лічильного тригера кожного i-го розряду, крім першого, та N-го, з'єднаний з другим входом першого логічного елемента I-NI (i+1)-го розряду, прямий вихід лічильного тригера кожного парного i-го розряду, крім N-го та (N-1)-го, з'єднаний з третім входом першого логічного елемента I-NI (i+2)-го розряду, вихід першого логічного елемента I-NI кожного розряду, крім першого і другого, з'єднаний з першим входом другого логічного елемента I-NI того ж розряду, вихід першого логічного елемента I-NI кожного i-го розряду, крім першого, другого і третього, з'єднаний з другим входом другого логічного елемента I-NI (i-1)-го розряду, вихід першого логічного елемента I-NI кожного i-го розряду, крім першого, другого, третього і четвертого, з'єднаний з третім входом другого логічного елемента I-NI (i-2)-го розряду, вихід другого логічного елемента I-NI кожного розряду з'єднаний з T-входом лічильного тригера того ж розряду, прямий вихід лічильного тригера першого розряду з'єднаний з першим входом першого логічного елемента I-NE першого розряду, вихід якого з'єднаний з T-входом лічильного тригера першого розряду, вихід першого елемента I-NI четвертого розряду з'єднаний з першим входом першого елемента I-NI другого розряду, вихід якого з'єднаний з T-входом лічильного тригера другого розряду, який **відрізняється** тим, що в нього введено вхід режиму лічби, у другому розряді введено другий логічний елемент I-NI, а у кожному розряді з непарним номером, починаючи з третього, введено третій логічний елемент I-NI, причому, прямий вихід лічильного тригера кожного непарного i-го розряду, крім N-го та (N-1)-го, з'єднаний з першим входом третього логічного елемента I-NI (i+2)-го розряду, другий вхід якого з'єднаний з входом режиму лічби, а вихід з'єднаний з третім входом першого логічного елемента I-NI (i+2)-го розряду, інверсний вихід лічильного тригера другого розряду з'єднаний з першим входом другого логічного елемента I-NI другого розряду, другий вхід якого з'єднаний з прямим виходом лічильного тригера першого розряду, а вихід з'єднаний з другим входом першого логічного елемента I-NI другого розряду, третій вхід якого з'єднаний з виходом першого логічного елемента I-NI третього розряду.



Фиг. 1

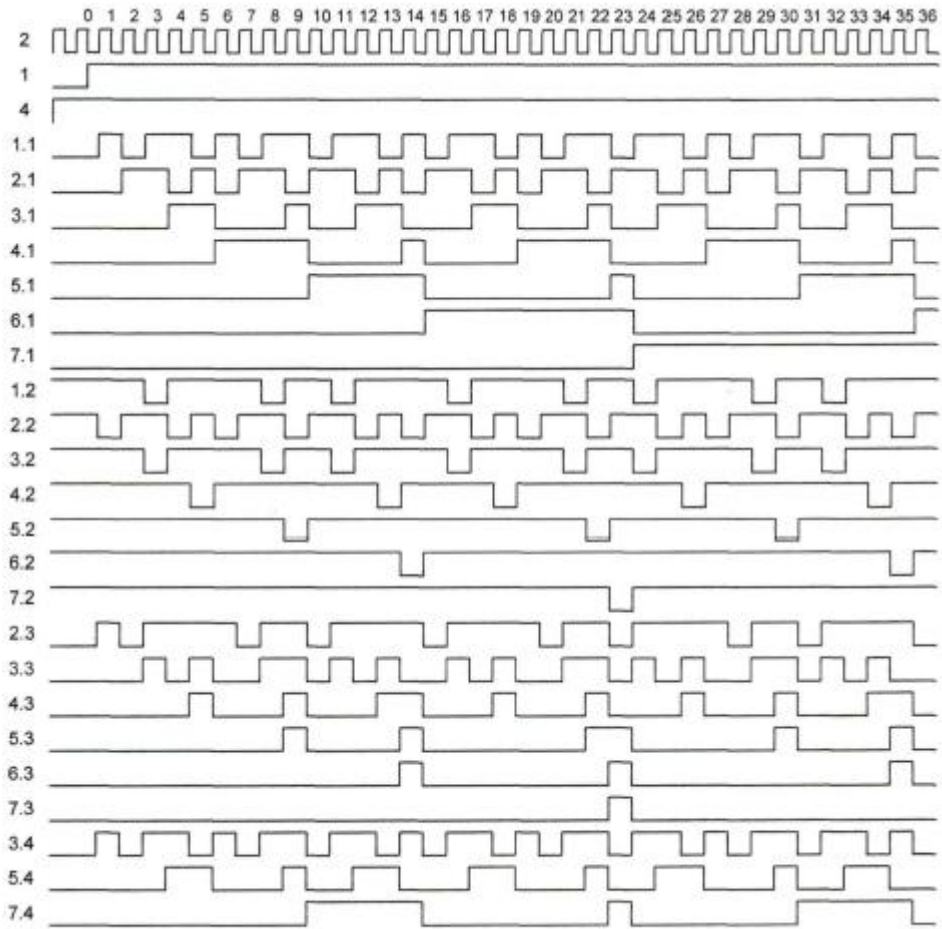
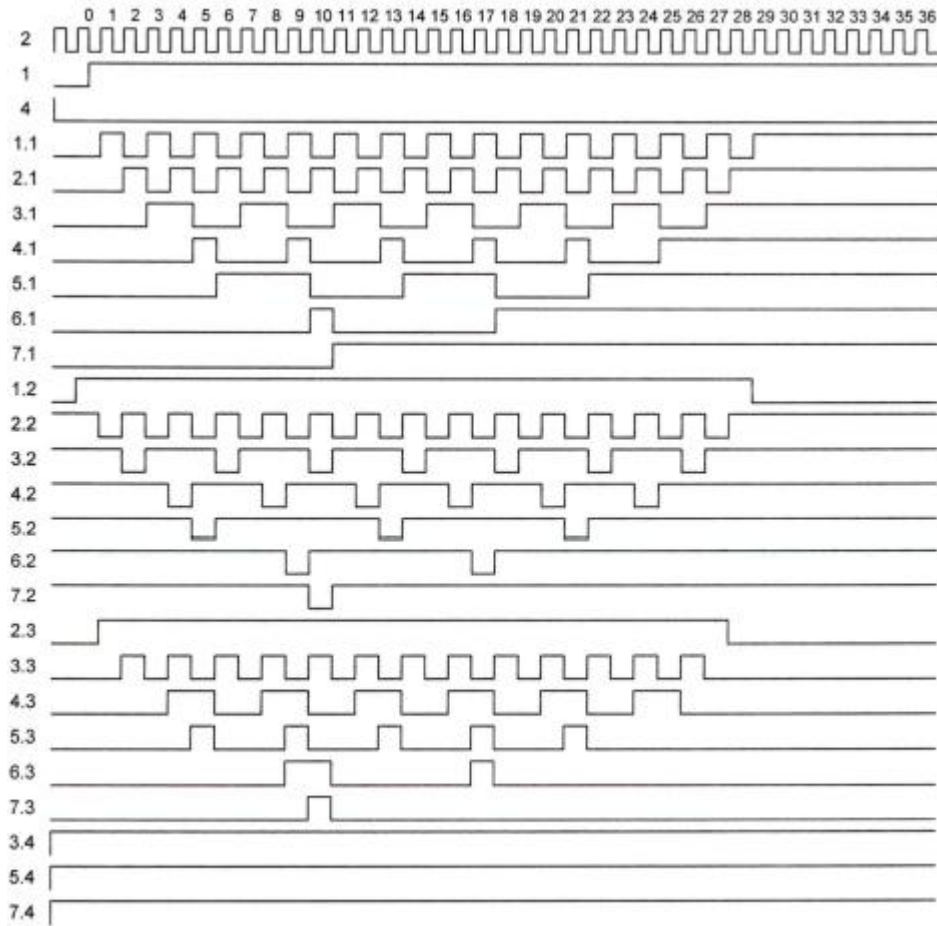


Fig. 2



Фіг. 3