

Оптико-електронна система з нейрообчислювачем на ПЛІС для обробки зображень



Розробив: ст. гр. ЛОТ-15 Безкревний О. С.

Науковий керівник: к.т.н., доц. Кожем`яко А. В.

Вінницький національний технічний університет

Актуальність тематики

Актуальністю даної тематики є перш за все обробка зображень, оскільки зараз багато де потребується якісна і швидка обробка зображень, тобто першу чергу це обумовлена необхідність у високопродуктивних нейрообчислювачах для обробки зображень. Для обробки зображень досить часто використовують нейрообчислювачі, тому доцільно буде розглянути оптико-електронну систему з нейрообчислювачем на ПЛІС.

Побудова оптико-електронної системи з нейрообчислювачем на ПЛІС для обробки зображень обумовлена тим, що ПЛІС має можливість паралельно приймати сигнали, має високу швидкодію і простий у використанні.

Мета

Метою даної роботи є розширення можливостей апаратної обробки зображень, шляхом побудови комірки оптико-електронної системи з нейрообчислювачем на програмованій логічній інтегральній схемі (ПЛІС) з паралельним та послідовним записом даних.

Досягнення мети передбачає вирішення наступних задач:

- Аналіз існуючих апаратних аналогів.
- Обрання ПЛІС для реалізації оптико-електронної системи з нейрообчислювачем на ПЛІС для обробки зображень
- Створення базової комірки для оптико-електронної системи з нейрообчислювачем на ПЛІС.
- Порівняння комірок з послідовним і паралельним записом даних.
- Отримання часової діаграми роботи комірки.

Наукова новизна

Наукова новизна полягає у вдосконаленні методу обробки зображень та його аналізу на основі математичної моделі способу подання операндів та вагових коефіцієнтів доданків, а також способу прискорення їх добутку, що дозволяє оцінити ефективність способів та обґрунтувати вибір найбільш придатного для реалізації на нейроструктурах.

Запропоновано структурні моделі нейроприскорювачів для апаратної обробки зображень, що враховують багатofункціональний характер паралельної обробки, що дозволяє покращити ефективність реалізації оптико-електронної системи з нейрообчислювачем на ПЛІС.

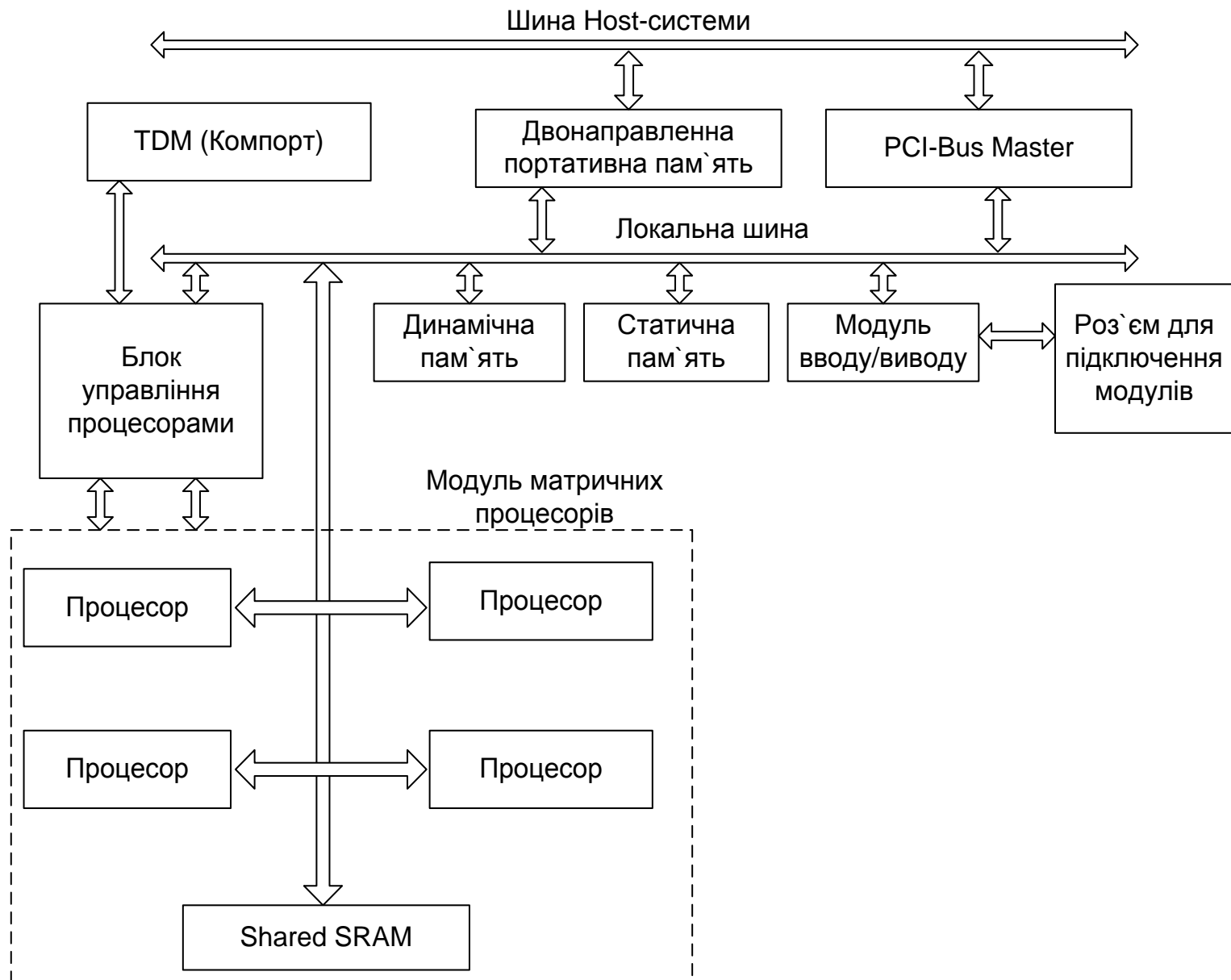
Практична цінність

1. Реалізація комірки оптико-електронної системи з нейрообчислювачем на обраній ПЛІС.
2. Розробка схеми оптико-електронної системи з нейрообчислювачем на ПЛІС для обробки зображень.
3. Порівняння двох методів реалізації комірки нейрообчислювальної системи.
4. Отримання часової діаграми роботи пристрою.

Нейрообчислювач

Нейрообчислювач – пристрій переробки інформації з урахуванням засад роботи природних нейронних систем. Ці принципи було формалізовано, що дозволило казати про теорії штучних нейронних мереж. Проблематика нейрокомп'ютерів у побудові реальних фізичних пристроїв, що дозволить не просто моделювати штучні нейронні мережі на звичайному комп'ютері, але так змінити принципи роботи комп'ютера, що буде можливим говорити, що вони працюють у відповідності до теорії штучних нейронних мереж.

Приклад нейрообчислювача



Програмована логічна інтегральна схема (ПЛІС)

Програмована логічна інтегральна схема, ПЛІС (англ. programmable logic device, PLD) — електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші).

Порівняння деяких видів ПЛІС

	Рік випуску	Технологія процесу, нм	Влашованої пам`яті, Кб	Кількість регістрів	Кількість логічних елементів	Кількість виводів
Arria II GZ	2010	40	11115	179200	224	878
Arria II GX	2009	40	8550	205200	244	692
Statix V	2010	28	13312	356000	236	664
Statix IV	2008	40	14283	182400	228	584
Cyclone IV	2009	60	6480	92400	150	508
Cyclone III	2007	65	3888	85600	119	347

	Рік випуску	Технологія процесу, нм	Влашованої пам`яті, Кб	Кількість регістрів	Кількість логічних елементів	Кількість виводів
Spartan 7	2009	28	1100	102400	240	400
Artix 7	2010	28	2888	215360	210	500
Kintex 7	2010	28	6788	356160	325	500
Virtex 7	2011	28	13275	305400	350	600

Алгоритм класифікації

Початковими даними для алгоритму класифікації є: вхідний образ Z у вигляді n – вимірного вектора $Z=(z_1, \dots, z_n)$; матриця ваг $\mathbf{W}=(w_{ij})$, $i=\overline{1, m}$, $j=\overline{1, n}$; матриця елементів дискримінантних функцій A^0 розміром $m \times n$:

$$A^0 = \begin{pmatrix} a_{1,1}^0 & \dots & a_{1,j}^0 & \dots & a_{1,n}^0 \\ \vdots & & \vdots & & \vdots \\ a_{i,1}^0 & \dots & a_{i,j}^0 & \dots & a_{i,n}^0 \\ \vdots & & \vdots & & \vdots \\ a_{m,1}^0 & \dots & a_{m,j}^0 & \dots & a_{m,n}^0 \end{pmatrix} = \begin{pmatrix} A_1^0 \\ \vdots \\ A_i^0 \\ \vdots \\ A_m^0 \end{pmatrix},$$

Виконують визначення мінімального елемента вигляду:

$$\min_j^{t-1} = \min_i a_{i,j}^{t-1}, j = \overline{1, n}, t = \overline{1, N},$$

Формують невпорядковану матрицю вигляду \overline{A}^t , причому:

$$\overline{a}_{i,j}^t = a_{i,j}^t - \min_j^{t-1}$$

Далі перевіряють дві умови: умову наявності m нульових рядків, тобто:

$$\forall \overline{A}_i^t = 0, t = \overline{1, N}$$

де N – кількість циклів оброблення.

Умова появи поточного k -го нульового рядка:

$$\overline{A}_k^t = 0, k = \overline{1, m}$$

Виконання транспозиції елементів з просуванням праворуч усіх нульових елементів вигляду:

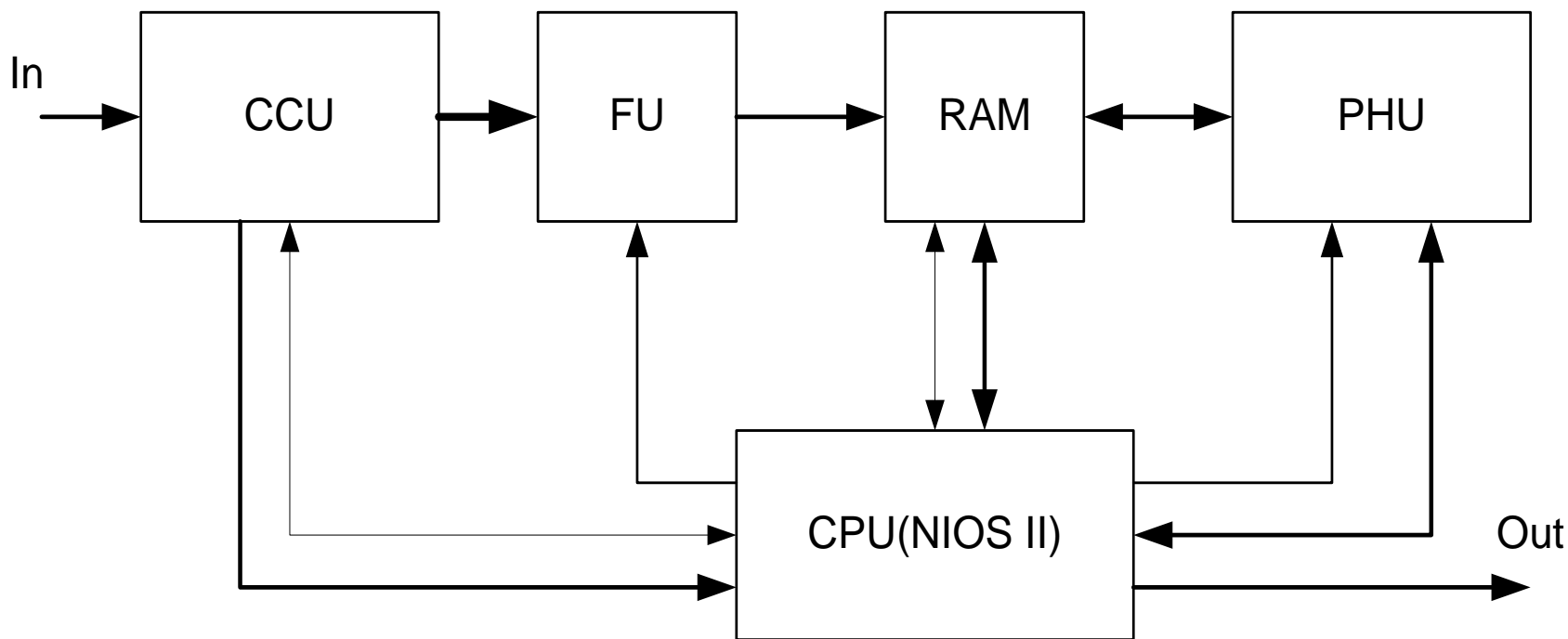
$$A^t = Tr(\overline{A}^t)$$

Завершення процесу. Величина N дорівнює кількості циклів оброблення, виконаних в процесі пошуку максимального масиву чисел

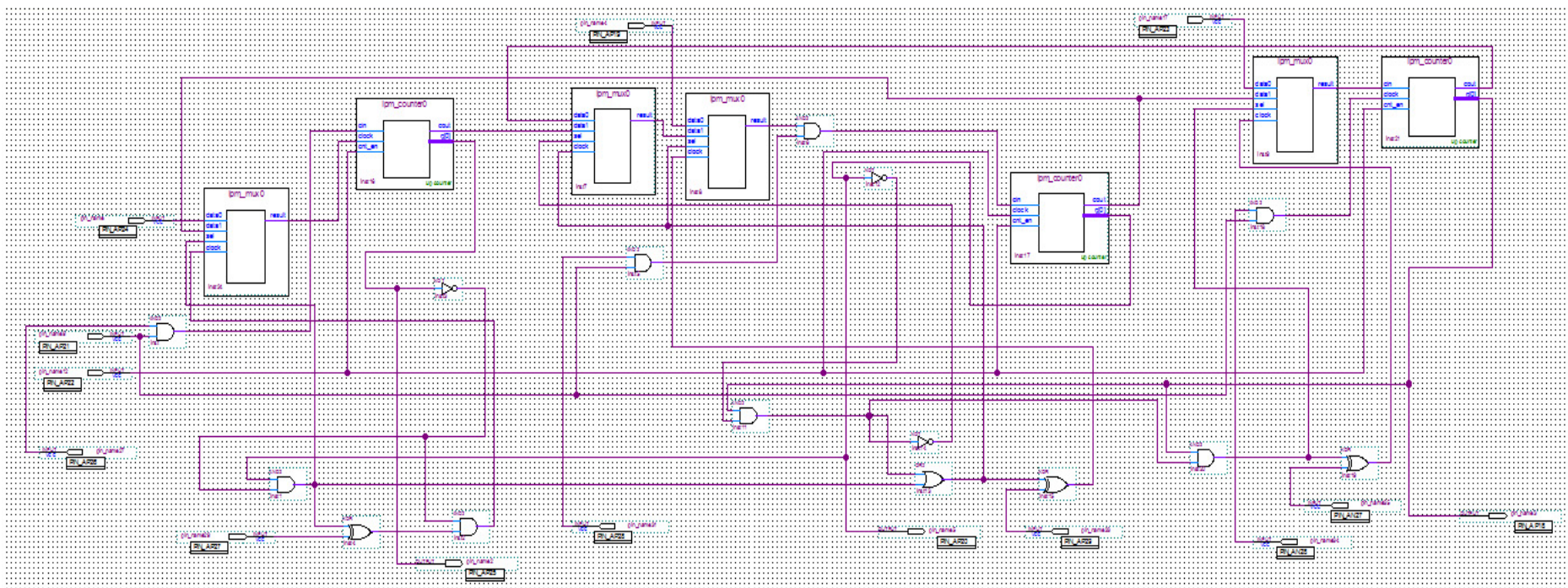
Отже, в обчислювачі необхідно реалізувати за наведеним алгоритмом такі функції, як:

- а) запис елементів матриці A^0 ;
- б) паралельне визначення мінімального елемента в кожному стовпці матриці A^{t-1} ;
- в) паралельне вилучення мінімального елемента в кожному стовпці матриці A^{t-1} ;
- г) паралельну транспозицію нульових елементів праворуч у кожному рядку матриці A^{t-1} .

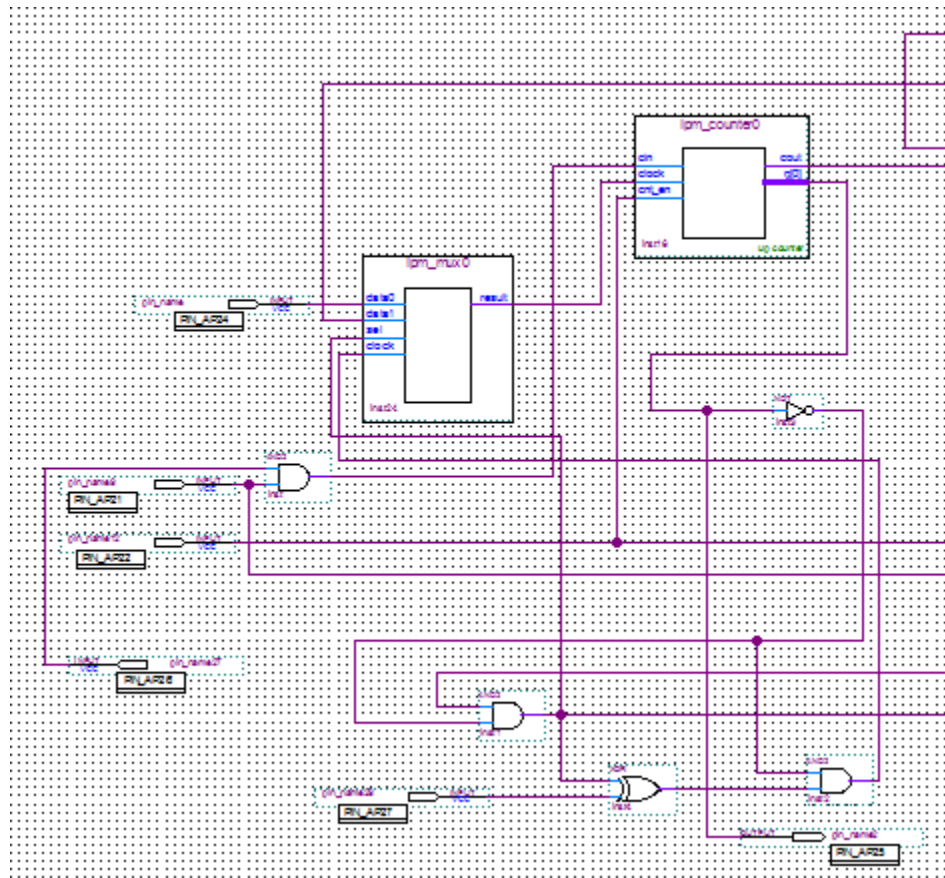
Структурна схема блоку передачі сигналу на ПЛІС



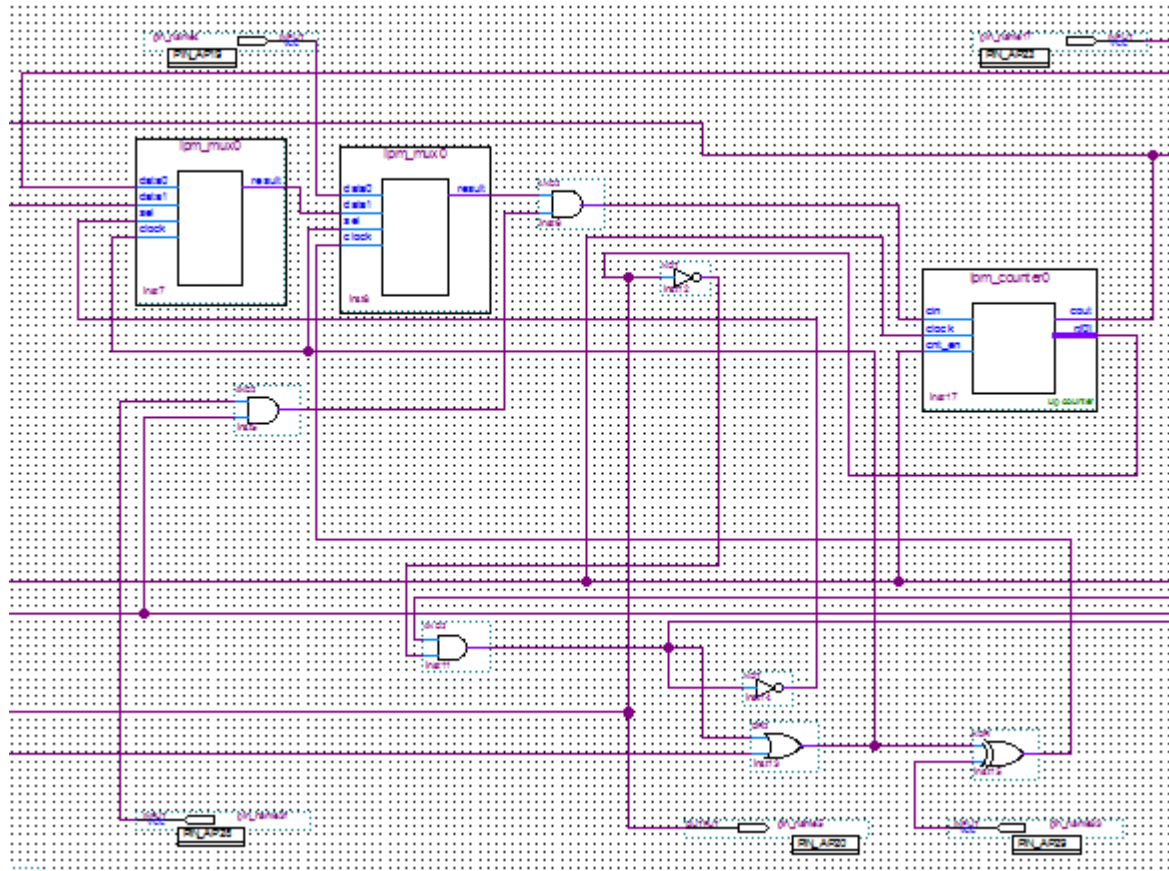
Комірка однорідної структури нейрообчислювальної системи, з паралельним записом даних



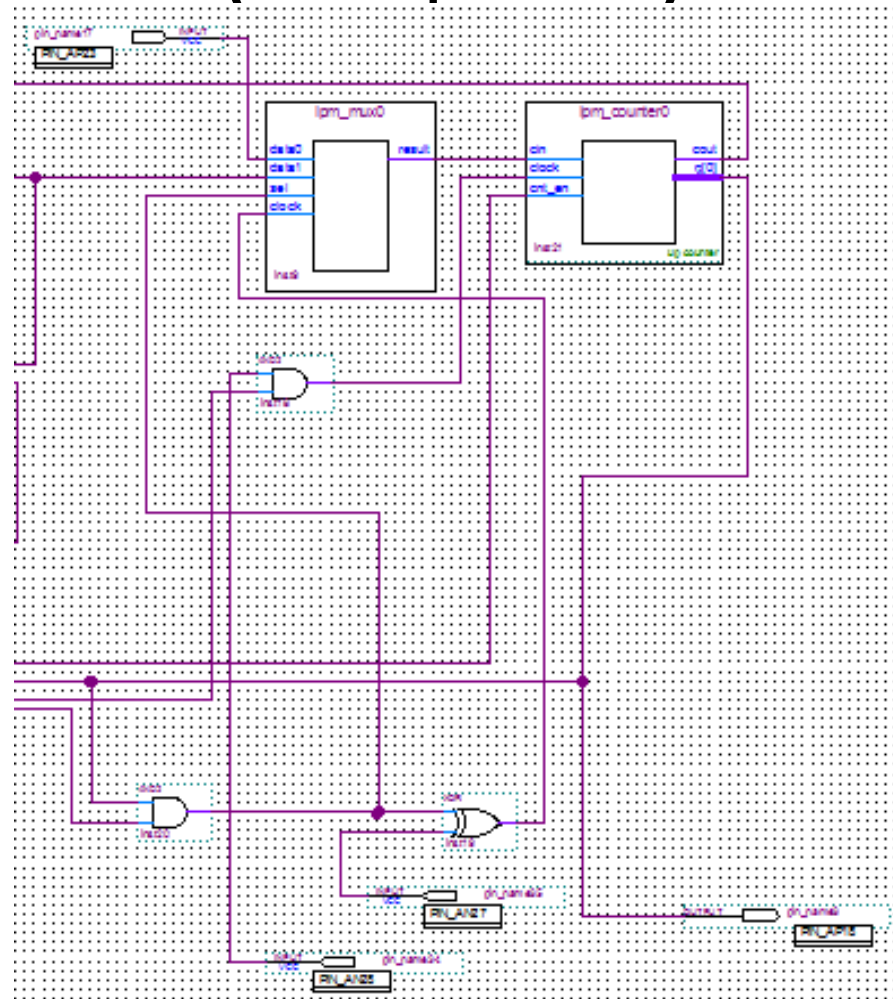
Перший блок комірки нейрообчислювальної системи (початковий)



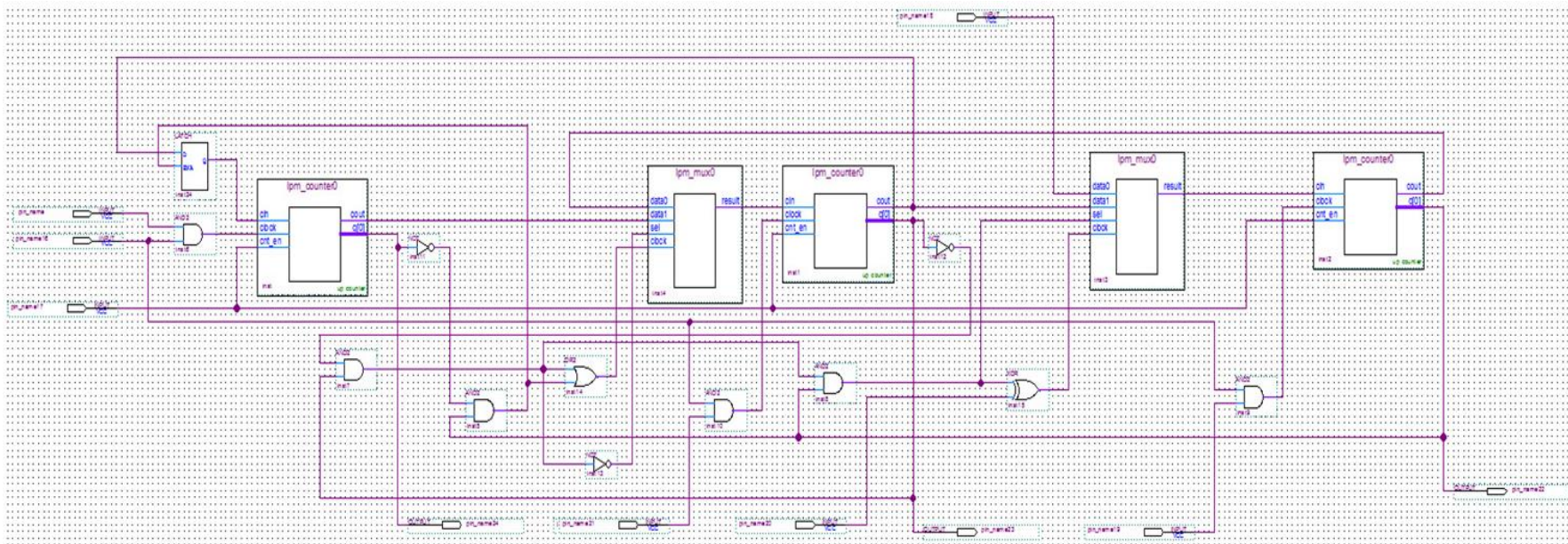
Другий блок комірки нейрообчислювальної системи



Третій блок комірки нейрообчислювальної системи (кінцевий)



Комірка однорідної структури нейрообчислювальної системи, з послідовним записом даних



Результату моделювання комірки з паралельним записом даних

Flow Status	Successful - Tue Jan 03 21:29:27 2017
Quartus II Version	10.1 Build 153 11/29/2010 SJ Full Version
Revision Name	plis
Top-level Entity Name	plis
Family	Arria II GX
Device	EP2AGX260FF35I5
Timing Models	Final
Logic utilization	< 1 %
Combinational ALUTs	20 / 205,200 (< 1 %)
Memory ALUTs	0 / 102,600 (0 %)
Dedicated logic registers	7 / 205,200 (< 1 %)
Total registers	7
Total pins	14 / 692 (2 %)
Total virtual pins	0
Total block memory bits	0 / 8,755,200 (0 %)
DSP block 18-bit elements	0 / 736 (0 %)
Total GXB Receiver Channel PCS	0 / 16 (0 %)
Total GXB Receiver Channel PMA	0 / 16 (0 %)
Total GXB Transmitter Channel PCS	0 / 16 (0 %)
Total GXB Transmitter Channel PMA	0 / 16 (0 %)
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 2 (0 %)

Результату моделювання комірки з послідовним записом даних

Flow Status	In progress - Sat Jan 14 13:45:10 2017
Quartus II Version	10.1 Build 153 11/29/2010 SJ Full Version
Revision Name	plis
Top-level Entity Name	plis
Family	Arria II GX
Device	EP2AGX260FF35I5
Timing Models	Final
▲ Logic utilization	< 1 %
Combinational ALUTs	13 / 205,200 (< 1 %)
Memory ALUTs	0 / 102,600 (0 %)
Dedicated logic registers	5 / 205,200 (< 1 %)
Total registers	5
Total pins	10 / 692 (1 %)
Total virtual pins	0
Total block memory bits	0 / 8,755,200 (0 %)
DSP block 18-bit elements	0 / 736 (0 %)
Total GXB Receiver Channel PCS	0 / 16 (0 %)
Total GXB Receiver Channel PMA	0 / 16 (0 %)
Total GXB Transmitter Channel PCS	0 / 16 (0 %)
Total GXB Transmitter Channel PMA	0 / 16 (0 %)
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 2 (0 %)

Висновки

Було проведено огляд матеріалу стосовно нейрообчислювачів та ПЛІС. Проведено порівняння ПЛІС фірм-виробників Altera та Xilinx. Було обрано ПЛІС Arria II GX а саме EP2AGX260FF35I5 для реалізації поставленої задачі. Описано алгоритм класифікації образів. Розроблено структурну схему відповідно до поставленого завдання. Змодельовано два види функціональних схем пристрою: з паралельним записом даних та послідовним. Як показали файли-рапорти – при послідовному записі використовується менше елементів, що дозволяє зробити більше комірок, але зменшується швидкість обробки у порівнянні з паралельним методом.

Публікації та апробації

- За результатами роботи було опубліковано 1 статтю у фаховому виданні наукового журналу «Інформаційні технології та комп'ютерна інженерія».
- Отримано патент на корисну модель.
- Апробовано результати на 2 наукових конференціях

Дякую за увагу!