



УКРАЇНА

(19) UA (11) 7265 (13) U

(51) 7 G06F7/50

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ  
НА КОРИСНУ МОДЕЛЬвидається під  
відповідальність  
власника  
патенту

(54) КОНВЕЕРНИЙ ПРИСТРІЙ

1

2

(21) 20041109338

(22) 15.11.2004

(24) 15.06.2005

(46) 15.06.2005, Бюл. № 6, 2005 р.

(72) Мартинюк Тетяна Борисівна, Вербицький Ігор  
Анатолійович, Фофанова Наталія Володимирівна,  
Мороз Ірина Віталіївна

(73) Вінницький національний технічний університет

(57) Конвеєрний пристрій, який містить  $n$  входів та  $n$  комірок, крім того,  $i$ -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів I, причому перший вхід  $i$ -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вихід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I, вихід якого є першим виходом  $i$ -ої комірки, другий вхід вузла виділення загальної частини операндів  $i$ -ої комірки з'єднаний з другим виходом  $(i-1)$ -ої комірки, перший вхід суматора  $i$ -ої комірки з'єднаний з третім виходом  $(i-1)$ -ої комірки, другий вхід з'єднаний з першим виходом  $(i+1)$ -ої комірки, а вихід суматора є третім виходом  $i$ -ої комірки, вихід третього регістра є другим виходом  $i$ -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом  $i$ -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний

з виходом блока елементів I, при цьому в  $n$ -ій комірці вхід третього регістра з'єднано з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу  $(n-1)$  комірок, третій вихід  $n$ -ої комірки є виходом пристрою, блок логічних елементів містить  $m$  елементів I, де  $m$  - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів I, який відрізняється тим, що він містить у кожній комірці четвертий регістр і другий блок логічних елементів I, а у  $n$ -ій комірці другий D-тригер і елемент АБО-НІ, причому вхід четвертого регістра  $i$ -ої комірки з'єднаний з першим входом цієї комірки, а вихід з'єднаний з першим входом другого блока логічних елементів I, третій вихід блока порівняння  $i$ -ої комірки з'єднаний з другим входом другого блока логічних елементів I, вихід якого є четвертим виходом  $i$ -ої комірки, причому другий блок логічних елементів містить  $m$  елементів I, перші входи яких з'єднані з першим входом другого блока, другі входи з'єднані з другим входом другого блока, а виходи з'єднані з виходами другого блока логічних елементів I, D-вихід другого D-тригера  $n$ -ої комірки з'єднаний з виходом елемента АБО-НІ,  $m$ -розрядний вхід якого з'єднаний з виходом вузла виділення загальної частини операндів  $n$ -ої комірки, R-вихід другого D-тригера з'єднаний з входом установлення в початковий стан пристрою, а його прямий вихід є виходом сигналу „Кінець” пристрою, перший і другий знакові входи вузла виділення загальної частини операндів  $i$ -ої комірки з'єднані відповідно з другим виходом блока порівняння  $i$ -ої комірки і п'ятим виходом  $(i-1)$ -ої комірки, причому у всіх комірках, крім першої і  $n$ -ої, знаковий вихід третього регістра є п'ятим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є п'ятим виходом першої комірки.

U  
(13)7265  
(11)UA  
(19)

Корисна модель відноситься до автоматики та обчислювальної техніки і може бути використана при розв'язанні задач паралельного підсумовування та одночасного сортування елементів вхідного масиву даних при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування  $n$ -розрядних чисел масиву [а. с. 554537, кл. G06 F7/385, 1977 р.], що містить суматор з зсувом,  $n$  лічильників з  $m$  розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного  $i$ -го розряду ( $1 < i < m$ ) кожного  $j$ -го лічильника ( $1 < j < n$ ) з'єднаний через відповідний вентиль з входом  $i$ -го розряду ( $j+1$ ) лічильника, вихід кожного  $i$ -го розряду  $n$ -го лічильника з'єднаний через відповідний вентиль з входом  $i$ -го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування,  $n$ -розрядний регістр, вихід кожного  $q$ -го розряду якого ( $1 < q < n$ ) з'єднаний з входом  $q$ -го додаткового вентиля, причому вихід старшого розряду кожного  $q$ -го лічильника з'єднаний з входом  $q$ -го розряду регістра, вихід  $q$ -го додаткового вентиля з'єднаний з входом  $(q+m)$ -го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Недоліком даного пристрою є вузькі функціональні можливості через неможливість одночасного сортування чисел масиву.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел [а.с.558276, кл. G06 F7/385, 1977 р.], що містить однотипні блоки, причому кожний  $i$ -й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент  $I$ , виходи старших розрядів вузла формування часткового результату з'єднані з входами регістра часткового результату  $(i+1)$ -го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента  $I$ , другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату  $(i-1)$ -го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому в  $i$ -й блок пристрою введені регістр порядку, вузол формування порядку, елемент АБО та два логічних вузли, причому виходи регістра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів регістра порядку  $(i+1)$ -го блока, крім того виходи регістра порядку з'єднані з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів  $p$  старших розрядів вузла формування

часткового результату, а виходи другого логічного вузла підключені до входів  $(n+1)$ -го розряду вузла формування часткового результату, причому  $n$ -ий вихід другого логічного вузла підключений до  $n$ -го та  $(n+1)$ -го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента  $I$  з'єднаний з  $(n-1)$ -им розрядом регістра часткового результату  $(i+1)$ -го блока.

Недоліком даного пристрою є обмежені функціональні можливості, оскільки в процесі додавання відсутня можливість одночасного сортування вхідної множини чисел.

Найбільш близьким по технічній суті є конвеєрний підсумовуючий пристрій [патент України №46877, МПК7 G06G7/14, G06F7/50, 2002 р.], в подальшому поійменованій як конвеєрний пристрій, який містить  $n$  входів і  $n$  комірок, крім того,  $i$ -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів  $I$ , причому перший вхід  $i$ -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів  $I$  та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вхід якого підключений до входу установаження в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів  $I$ , вихід якого є першим виходом  $i$ -ої комірки, другий вхід вузла виділення загальної частини операндів  $i$ -ої комірки з'єднаний з другим виходом  $(i-1)$ -ої комірки, перший вхід суматора  $i$ -ої комірки з'єднаний з третім виходом  $(i-1)$ -ої комірки, другий вхід - з першим виходом  $(i+1)$ -ої комірки, а вихід суматора є третім виходом  $i$ -ої комірки, вихід третього регістра є другим виходом  $i$ -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом  $i$ -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів  $I$ , при цьому в  $n$ -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу  $(n-1)$  комірок, третій вихід  $n$ -ої комірки є виходом пристрою, блок логічних елементів містить  $m$  елементів  $I$ , де  $m$  - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи - з виходами блока елементів  $I$ .

Недоліком цього пристрою є те, що в процесі обробки в ньому відсутня можливість одночасного сортування елементів разом із підсумовуванням чисел масиву.

В основу корисної моделі поставлена задача створення конвеєрного пристрою, в якому введення нових блоків та нових зв'язків дає можливість разом із формуванням суми відсортувати елементи вхідного масиву, що приводить до розширення функціональних можливостей пристрою.

Поставлена задача досягається тим, що в конвеєрний пристрій, який містить  $n$  входів та  $n$  комірок, крім того,  $i$ -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів I, причому перший вхід  $i$ -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I, вихід якого є першим виходом  $i$ -ої комірки, другий вхід вузла виділення загальної частини операндів  $i$ -ої комірки з'єднаний з другим виходом  $(i-1)$ -ої комірки, перший вхід суматора  $i$ -ої комірки з'єднаний з третім виходом  $(i-1)$ -ої комірки, другий вхід з'єднаний з першим виходом  $(i+1)$ -ої комірки, а вихід суматора є третім виходом  $i$ -ої комірки, вихід третього регістра є другим виходом  $i$ -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом  $i$ -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів I, при цьому в  $n$ -ій комірці вхід третього регістра з'єднано з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу  $(n-1)$  комірок, третій вихід  $n$ -ої комірки є виходом пристрою, блок логічних елементів містить  $m$  елементів I, де  $m$  - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів I, введені в кожну комірку четвертий регістр і другий блок логічних елементів I, а у  $n$ -ту комірку другий D-тригер і елемент АБО-НІ, причому вхід четвертого регістра  $i$ -ої комірки з'єднаний з першим входом цієї комірки, а вихід з'єднаний з першим входом другого блока логічних елементів I, третій вихід блока порівняння  $i$ -ої комірки з'єднаний з другим входом другого блока логічних елементів I, вихід якого є четвертим виходом  $i$ -ої комірки, причому другий блок логічних елементів містить  $m$  елементів I, перші входи яких з'єднані з першим входом другого блока, другі входи з'єднані з другим входом другого блока, а виходи з'єднані з виходами другого блока логічних елементів I, D- вхід другого D-тригера  $n$ -

ої комірки з'єднаний з виходом елемента АБО-НІ,  $m$ - розрядний вхід якого з'єднаний з виходом вузла виділення загальної частини операндів  $n$ -ої комірки, R- вхід другого D- тригера з'єднаний з входом установлення в початковий стан пристрою, а його прямий вихід є виходом сигналу „Кінець” пристрою, перший і другий знакові входи вузла виділення загальної частини операндів  $i$ -ої комірки з'єднані відповідно з другим виходом блока порівняння  $i$ -ої комірки і п'ятим виходом  $(i-1)$ -ої комірки, причому у всіх комірках, крім першої і  $n$ -ої, знаковий вихід третього регістра є п'ятим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є п'ятим виходом першої комірки.

На кресленні зображена функціональна схема першої,  $i$ -ої та  $n$ -ої комірок пристрою.

Конвеєрний пристрій містить  $n$  комірок 1, причому  $i$ -та комірка 1 містить блок порівняння, в якості якого використовується арифметично-логічний пристрій (АЛП) 2, суматор 3, вузол 4 виділення загальної частини операндів (крім першої комірки), регістри 5, 6 і регістр 7 (крім першої і  $n$ -ої комірки), мультиплексор 8, блок 9 елементів I, D-тригер 10. Вихід мультиплексора 8  $i$ -ої комірки 1 підключений до входу 11 регістра 5, у якого вихід з'єднаний з виходом 12 АЛП 2 та входом 13 вузла 4 виділення загальної частини операндів. Вихід регістра 6 з'єднаний з інформаційним входом блока 9 елементів I та входом 14 АЛП 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 ознаки від'ємного результату АЛП 2 з'єднаний з D-входом D-тригера 10, R-вхід якого підключений до входу 17 установлення в початковий стан пристрою. Інверсний вихід D-тригера 10 підключений до керувального входу блока 9 елементів I, вихід якого підключений до виходу 18  $i$ -ої комірки 1.

Крім того, вхід 19 вузла 4 виділення загальної частини операндів  $(i+1)$ -ої комірки 1 з'єднаний з виходом 20  $i$ -ої комірки 1, вхід 21 суматора 3  $i$ -ої комірки 1, крім першої, з'єднаний з виходом 22  $(i-1)$ -ої комірки 1, а вихід суматора 3 є виходом 22  $i$ -ої комірки 1. Вхід регістра 6 підключено до входу 23  $i$ -ої комірки 1 (крім  $n$ -ої), вихід вузла 4 виділення загальної частини операндів з'єднаний з входом регістра 7, інформаційний вихід якого є виходом 20  $i$ -ої комірки 1, крім першої і  $n$ -ої. Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24  $i$ -ої комірки 1, керувальний вхід з'єднаний з керувальним входом 25 пристрою, а вхід 26 суматора 3  $i$ -ої комірки 1 підключено до виходу 18  $(i+1)$ -ої комірки 1.

У першій комірці 1 вихід регістра 5 є виходом 20 першої комірки 1, а вхід 21 суматора 3 з'єднаний з виходом блока 9 елементів I цієї комірки. Остання  $n$ -та комірка 1 містить регістр 27, вхід якого підключений до виходу суматора 3  $n$ -ої комірки 1, а вихід підключений до входу 26 цього ж суматора 3, вихід вузла 4 виділення загальної частини операндів з'єднаний з входом регістра 6 цієї комірки 1, а також з входом 23 всіх молодших  $(n-1)$ -х комірок 1, вихід 22  $n$ -ої комірки 1 є виходом пристрою. Знакові входи 28 і 29 вузла 4 виділення загальної частини операндів  $i$ -ої комірки 1 з'єднані відповідно з виходом 16 АЛП 2  $i$ -ої комірки 1 і виходом 30  $(i-1)$ -ої комірки 1, причому в усіх комірках

1, крім першої і  $n$ -ої, знаковий вихід регістра 7 є виходом 30 цієї комірки 1, а у першій комірці 1 вихід 16 АЛП 2 є виходом 30 цієї комірки 1.

Крім того,  $i$ -а комірка 1 містить регістр 31 і блок 32 елементів  $l$ , причому вхід регістра 31 з'єднаний з входом 24  $i$ -ої комірки, а вихід з'єднаний з інформаційним входом блока 32 елементів  $l$ . Вихід 33 ознаки нуля АЛП 2 з'єднаний з керувальним входом блока 32 елементів  $l$ , вихід якого є виходом 34  $i$ -ої комірки. Блоки 9, 32 логічних елементів містять  $m$  елементів  $l$ , де  $m$  - розрядність операндів вхідного масиву, причому перші входи елементів  $l$  з'єднані з інформаційними входами блоків 9, 32, другі входи з'єднані з відповідним керувальним входом блоків 9, 32 елементів  $l$ , а виходи підключені до відповідних інформаційних виходів блоків 9, 32.

Крім того,  $n$ -та комірка 1 містить D- тригер 35 і елемент АБО-НІ 36,  $m$ - розрядний вхід якого з'єднаний з виходом вузла 4 виділення загальної частини операндів  $n$ -ої комірки, а вихід підключений до D- входу D- тригера 35, R-вхід якого з'єднаний з входом 17 установлення в початковий стан пристрою, а прямиий вихід є виходом 37 сигналу „Кінець” пристрою.

Пристрій працює таким чином. Операції підсумовування і сортування виконуються в такий спосіб.

Крок 1. Визначається загальна значуща частина всіх доданків масиву  $A_{j-1}$  у  $j$ -му циклі, тобто

$$q_j = \min\{a_{i,j-1}\}_{i=1}^n, \quad (1)$$

де  $a_{i,0}$  -  $i$ -й доданок на вході 24 пристрою;  $1 \leq j \leq n$ ,

Перевіряється умова

$$q_j = 0. \quad (2)$$

Якщо так, то процес підсумовування закінчується. Якщо ні, то виконується крок 2.

Крок 2. Виділяється зріз різниць  $A_j$ , тобто сукупність величин різниці всіх доданків масиву  $A_{j-1}$   $j$ -го циклу з їхньою загальною частиною  $q_j$  тобто

$$A_j = \{a_{i,j}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n, \quad (3)$$

В подальшому отриманий зріз різниць  $A_j$  є вхідним масивом доданків для наступного  $(j+1)$ -го циклу. Формуються бінарні маски  $F_j$ ,  $G_j$ , елементи яких визначаються таким чином:

$$f_{i,j} = \begin{cases} 1, \text{ якщо } a_{i,j} \geq 0, \\ 0, \text{ якщо } a_{i,j} < 0. \end{cases} \quad (4)$$

$$g_{i,j} = \begin{cases} 1, \text{ якщо } a_{i,j} = 0, \\ 0, \text{ якщо } a_{i,j} \neq 0. \end{cases} \quad (5)$$

Крок 3. Формується часткова сума  $S_j$ , де кратність  $p_j$  визначається кількістю додатних ненульових доданків масиву  $A_{j-1}$   $j$ -го циклу, тобто

$$S_j = q_j p_j = q_j \cdot \sum_{i=1}^n f_{i,j}. \quad (6)$$

На цьому ж кроці підсумовуються часткові суми  $S_1, \dots, S_j$ , які отримані на попередніх  $(j-1)$ -х і у поточному  $j$ -му циклах, тобто

$$S_k = q_j p_j = q_j \cdot \sum_{i=1}^n f_{i,j}. \quad (7)$$

Повторюються кроки 1 -3, доки на кроці 1  $j$ -го циклу не буде виконуватись умова (2).

Таким чином, остаточний результат формується в процесі накопичення часткових сум всіх  $N$  циклів, причому  $N_{\max} = n$ , а середнє значення кількості циклів визначається за формулою

$$N = n - \sum_{r=1}^R (m_r - 1), \quad (8)$$

де  $R$  - кількість груп з кількістю піг повторюваних чисел у початковому масиві даних.

Формування у кожному  $j$ -му циклі маски

$G_j = \{g_{i,j}\}_{i=1}^n$  дозволяє у цьому циклі визначити мінімальний елемент у зрізі різниць  $A_{j-1}$ . У першому циклі таким чином визначається мінімальний елемент у вхідному масиві чисел  $A_0$ . В результаті за  $N$  циклів одночасно із підсумовуванням виконується сортування елементів вхідного масиву за зростанням.

Отже, на вхід 24  $i$ -ої комірки 1 надходить  $i$ -ий операнд  $a_{i,0}$  з масиву операндів  $A_0$ , розмірність якого дорівнює  $n$ . Запис операндів  $a_{i,0}$  в комірки 1 виконується паралельно. Через мультиплексор 8  $i$ -ий операнд  $a_{i,0}$  надходить по входу 11 в регістр 5, а також безпосередньо з входу 24 у регістр 31  $i$ -ої комірки 1. Після цього виконується послідовне виділення загальної частини двох операндів -  $(i-1)$ -го та  $i$ -го вузлом 4 виділення загальної частини операндів за інформацією, що подається на його інформаційні входи 13 і 19 та знакові входи 28 і 29, і здійснюється запис результату в регістр 7. Ця операція виконується послідовно, починаючи з другої комірки 1, згідно із виразом (1) на 1-му кроці обробки. Кінцевий результат виділення загальної частини  $q_j$  всіх  $n$  операндів виду (1) формується в  $n$ -ій комірці 1 і з виходу вузла 4 виділення загальної частини операндів цієї комірки 1 мінімальна складова  $q_j$  (загальна частина всіх операндів) записується в регістр 6 всіх  $n$  комірок 1 паралельно, якщо величина  $q_j$  ненульова і на виході 37 пристрою відсутній одиничний сигнал „Кінець”. При запису у регістр 6 задіяний вхід 23 всіх комірок 1, крім  $n$ -ої. Після цього відбувається порівняння в АЛП 2  $i$ -го операнда  $a_{i,0}$ , що надходить по входу 12 з регістра 5, та загальної частини  $q_j$  всіх операндів, що надходить по входу 14 з регістра 6  $i$ -ої комірки 1. Порівняння відбувається в процесі віднімання від величини операнда  $a_{i,0}$  загальної частини  $q_j$  всіх операндів, згідно із виразом (3) на 2-му кроці обробки, а різниця записується з виходу 15 АЛП 2 через мультиплексор 8 в регістр 5. При цьому з виходу 16 ознака від'ємного результату

різниці, тобто сигнал  $\bar{f}_{i,1}$  (4) записується в D-тригер 10, який перед початком роботи пристрою був занулений сигналом по входу 17 установлення в початковий стан пристрою.

Одночасно з виходу 33 ознаки нуля АЛП2 у блок 32 елементів і і-ої комірки 1 на його керувальний вхід подається відповідний сигнал  $g_{i,1}$  (5). Перед початком роботи регістри 5,6,7,27,31 всіх комірок 1 занулені. При відсутності одиничного сигналу ознаки від'ємного результату одиничний сигнал  $\{z$  з інверсного виходу D-тригера 10 дозволяє проходження через блок 9 елементів і загальної частини операндів  $q_i$  з регістра 6 через вихід 18 і-ої комірки на вхід 26 суматора 3 (і-1)-ої комірки (крім п-ої), де відбувається формування часткових сум  $S_j$  виду (6) у відповідні j-ті цикли підсумовування операндів.

В першій комірці 1 величина  $q_1$  з регістра 6 проходить на вхід 21 суматора 3 цієї комірки 1 через блок 9 елементів і. У випадку, якщо на виході 16 АЛП 2 і-ої комірки 1 з'явиться одиничний сигнал ознаки від'ємного результату, то нульовий сигнал  $f_{i,1}$  з інверсного-виходу D-тригера 10 заборонить проходження величини  $q_1$  в даному циклі обробки через блок 9 елементів і на вхід 26 суматора 3 (і-1)-ої комірки 1.

Одночасно одиничний сигнал  $q_{i,1}$  (5) дозволяє проходження на вихід 34 і-ої комірки 1 вмісту регістра 31, значення якого є мінімальним елементом вхідного масиву  $A_0$ . Це обумовлено тим, що умова  $q_{i,1}=1$  виконується, якщо  $a_{i,1} = a_{i,0} - q_1 = 0$ , тобто  $a_{i,0} = q_1$ , де  $q_1$  визначається за виразом (1).

Таким чином, в суматорах 3 кожної комірки 1 відбувається послідовне підсумовування величин  $q_1$ , а в результаті на виході 22 суматора 3 п-ої комірки 1 формується часткова сума  $S_i$  операндів згідно з виразом (6) на 3-му кроці обробки, а на виході 34 і-ої комірки 1 за позицією нульового елемента  $a_{i,1}$  масиву  $A_1$  фіксується значення мінімального елемента  $a_{i,0}$  вхідного масиву  $A_0$ . Так виконується 1-ий цикл обробки. Далі цикли повторюються і кількість їх в середньому дорівнює величині (8). Після виконання всіх циклів N обробки на виході 22 суматора 3 п-ої комірки 1 формується остаточна сума  $S_N$  виду (7), а на виході 34 і-ої комірки 1 за позицією нульового елемента  $a_{i,N}$  масиву  $A_N$  фіксується значення максимального елемента вхідного масиву  $A_0$ .

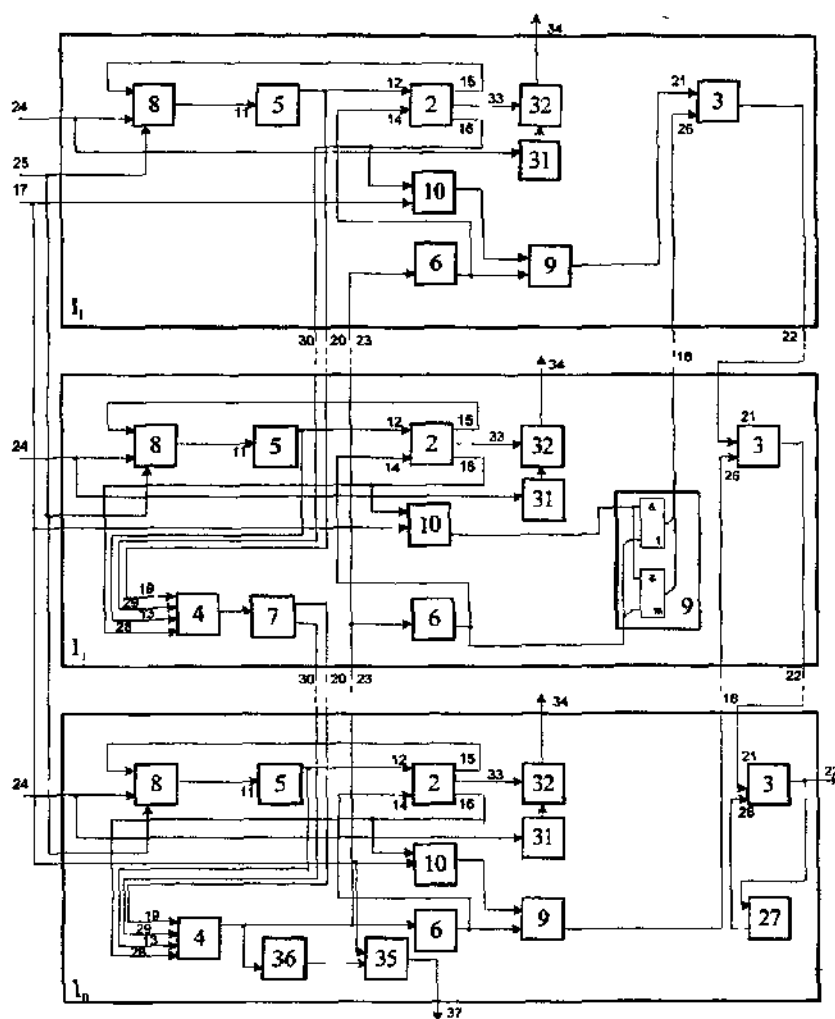
У таблиці наведено приклад формування суми чисел {11, 3, 5, 8, 15}, формування відсортованого масиву чисел, а також двох бінарних матриць масок F і G, причому рискою позначені від'ємні елементи  $a_{i,j}$ . Аналіз даних з таблиці показує, що остаточна сума  $S_N$  (7) і відсортований масив елементів {3, 5, 8, 11, 15} формуються за п'ять циклів, оскільки серед елементів вхідного масиву немає однакових. В результаті у шостому циклі величина  $q_6$  буде дорівнювати нулю, тобто на виході елемента АБО-НІ 36 п-ої комірки 1 з'явиться одиничний сигнал, який зафіксується на прямому виході D-тригера 35, а отже, процес підсумовування і сортування елементів вхідного масиву  $A_0$  закінчиться через наявність одиничного сигналу „Кінець” на виході 37 пристрою.

Таблиця

Масиви A		Елементи масивів $a_{i,j}$					
		$A_0$	$A_1$	$A_2$	$A_3$	$A_4$	$A_5$
$a_{1,j}$		11	8	6	3	0	-
$a_{2,j}$		3	0	-	-	-	-
$a_{3,j}$		5	2	0	-	-	-
$a_{4,j}$		8	5	3	0	-	-
$a_{5,j}$		15	12	10	7	4	0
Цикли обробки $t_i$			1	2	3	4	5
Найменше число $q_i$			3	2	3	3	4
Часткова сума $S_i$			15	8	9	6	4
Накопичення часткових сум $S_j$			15	23	32	38	42

Продовження таблиці

Бінарні маски F		F <sub>1</sub>	F <sub>2</sub>	F <sub>3</sub>	F <sub>4</sub>	F <sub>5</sub>
Елементи масок f <sub>i,j</sub>						
f <sub>1,1</sub>		1	1	1	1	0
f <sub>2,1</sub>		1	0	0	0	0
f <sub>3,1</sub>		1	1	0	0	0
f <sub>4,1</sub>		1	1	1	0	0
f <sub>5,1</sub>		1	1	1	1	1
Бінарні маски G		G <sub>1</sub>	G <sub>2</sub>	G <sub>3</sub>	G <sub>4</sub>	G <sub>5</sub>
Елементи масок g <sub>i,j</sub>						
g <sub>1,1</sub>		0	0	0	1	0
g <sub>2,1</sub>		1	0	0	0	0
g <sub>3,1</sub>		0	1	0	0	0
g <sub>4,1</sub>		0	0	1	0	0
g <sub>5,1</sub>		0	0	0	0	1
Елементи відсортованого масиву		3	5	8	11	15



Комп'ютерна верстка М Мацело

Підписне

Тираж 28 прим

Міністерство освіти і науки України

Державний департамент інтелектуальної власності, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ - 42, 01601