



УКРАЇНА

(19) UA

(11) 5781

(13) U

(51) 7 G06F7/50

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) КОНВЕЄРНИЙ ПРИСТРІЙ

1

(21) 20040807004

(22) 21.08.2004

(24) 15.03.2005

(46) 15.03.2005, Бюл. № 3, 2005 р.

(72) Мартинюк Тетяна Борисівна, Андрухова Ольга
Олександрівна, Кожем'яко Андрій Вікторович, Вол-
торніста Олена Едуардівна(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(57) Конвеєрний пристрій, який містить n входів та n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів I, причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I, вихід якого є першим виходом i -ої комірки, другий вихід вузла виділення загальної частини операндів i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, при цьому в n -ій комірці вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ -х комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів I, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів I, який відрізняється тим, що він містить запам'ятовуючий блок, а в i -й

2

комірці містить другий та третій мультиплексори, четвертий і п'ятий регістри, другий блок логічних елементів I та демультимплексор, інверсний вихід D-тригера i -ої комірки підключений через четвертий регістр до першого входу другого блока логічних елементів I, другий вхід якого підключений до другого входу пристрою, а вихід підключений до другого входу другого мультиплексора, перший вихід $(i+1)$ -ої комірки $(i = \overline{1, n-1})$ підключений до першого входу третього мультиплексора i -ої комірки, вхід вибору операції пристрою підключений до входів керування другого і третього мультиплексорів кожної комірки і до входу керування демультимплексора кожної комірки, крім n -ої, в i -ій комірці виходи другого та третього мультиплексорів підключені до першого та другого входів суматора відповідно, крім того, перший вихід демультимплексора кожної комірки, крім n -ої, з'єднаний з третім виходом цієї комірки, а вихід суматора підключений до входу демультимплексора, другий вихід якого підключений до входу п'ятого регістра, вихід якого з'єднаний з другим входом третього мультиплексора, а також з четвертим виходом кожної комірки, причому вихід суматора n -ої комірки є третім виходом цієї комірки, третій вихід i -ої комірки з'єднаний з першим входом другого мультиплексора $(i+1)$ -ої комірки, а перший вхід другого мультиплексора першої комірки підключений до виходу першого блока логічних елементів I цієї комірки, в n -ій комірці вихід суматора з'єднаний з входом п'ятого регістра, третій мультиплексор має один інформаційний вхід, який з'єднаний з виходом п'ятого регістра, а вихід другого регістра є другим виходом пристрою, вхід зсуву четвертого регістра всіх комірок підключений до третього входу пристрою, другий вихід якого з'єднаний з входом запам'ятовуючого блока, вихід якого підключений до другого входу пристрою, а адресний вхід підключений до четвертого входу пристрою, другий блок логічних елементів містить m елементів I, причому перші входи елементів I підключені до першого входу другого блока, другі входи підключені до другого входу другого блока, а виходи підключені до виходів другого блока логічних елементів I, в i -ій комірці другий вихід блока порівняння підключений до першого знакового входу вузла виділення загальної частини операндів, другий знаковий вхід

(19) UA (11) 5781 (13) U

якого з'єднаний з п'ятим виходом $(i-1)$ -ої комірки, знаковий вихід третього регістра є п'ятим входом i -ої комірки, крім першої, в якій п'ятим виходом є

другий вихід блока порівняння, четверті виходи всіх комірок є третіми виходами пристрою

Корисна модель відноситься до автоматики та обчислювальної техніки та може бути використана при розв'язанні задач паралельного підсумовування та відновлення вхідного масиву даних при побудові спеціалізованих обчислювальних систем

Відомий пристрій для підсумовування n -розрядних чисел масиву (а с 554537, кл G06F7/385, 1977р), що містить суматор з зсувом, p лічильників з m розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного i -го розряду $(1 < i < m)$ кожного j -го лічильника $(1 < j < n)$ з'єднаний через відповідний вентиль з входом i -го розряду $(j+1)$ лічильника, вихід кожного i -го розряду n -го лічильника з'єднаний через відповідний вентиль з входом i -го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування, p -розрядний реєстр, вихід кожного q -го розряду якого $(1 < q < n)$ з'єднаний з входом q -го додаткового вентиля, причому вихід старшого розряду кожного q -го лічильника з'єднаний з входом q -го розряду реєстра, вихід q -го додаткового вентиля з'єднаний з входом $(q+m)$ -го розряду суматора, входи всіх додаткових вентилів та нульові входи реєстра з'єднані з виходом блока керування

Пристрій виконує підсумовування масиву чисел, що подаються одночасно на входи пристрою, за рахунок послідовного підсумовування перетворених кодів на суматорі

Недоліком даного пристрою є неможливість відновлення вхідного масиву чисел після закінчення операції підсумовування

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел (а с 558276, кл G06F7/385, 1977р), що містить однотипні блоки, причому кожний i -й блок містить реєстр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент I , виходи старших розрядів вузла формування часткового результату з'єднані з входами реєстра часткового результату $(i+1)$ -го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента I , другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату $(i-1)$ -го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригера зберігання молодшого розряду часткового результату, формування кінцевого результату та реєстра часткового результату підключені до шини тактових імпульсів, причому в i -й блок пристрою введені реєстр порядку, вузол формування порядку, еле-

мент або та два логічних вузли, причому виходи реєстра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів реєстра порядку $(i+1)$ -го блока, крім того виходи реєстра порядку з'єднані з входами елемента або, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керувальними входами логічних вузлів, виходи реєстра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів p старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів $(n+1)$ -го розряду вузла формування часткового результату, причому n -ий вихід другого логічного вузла підключений до n -го та $(n+1)$ -го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента I з'єднаний з $(n-1)$ -им розрядом реєстра часткового результату $(i+1)$ -го блока

Пристрій реалізує операцію додавання послідовності чисел з плаваючою комою

Недоліком даного пристрою є обмежені функціональні можливості, оскільки спосіб додавання не дозволяє реалізувати відновлення вхідного масиву чисел

Найбільш близьким по технічній суті є конвеєрний підсумовуючий пристрій (патент України №46877, МПК7 G06G7/14, G06F7/50, 2002), в подальшому поійменованій як конвеєрний пристрій, який містить n входів і n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три реєстри, D-тригер, мультиплексор і блок логічних елементів I , причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого реєстра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім реєстром, а вихід другого реєстра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вхід якого підключений до входу установаження в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів I , вихід якого є першим виходом i -ої комірки, другий вхід вузла виділення загальної частини операндів i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід - з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього реєстра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід

другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів I , при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ -х комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів I , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи - з виходами блока елементів I .

Недоліком цього пристрою є те, що після обробки операндів у цьому пристрої відсутня можливість відновлення вхідного масиву чисел.

В основу корисної моделі поставлена задача створення конвеєрного пристрою, в якому введення нових блоків та нових зв'язків дає можливість реалізувати операцію відновлення вхідного масиву чисел, що призводить до розширення функціональних можливостей пристрою.

Поставлена задача досягається тим, що в конвеєрний пристрій, який містить n входів та n комірок, крім того, i -та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D -тригер, мультиплексор і блок логічних елементів I , причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів I та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D -входом D -тригера, R -вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D -тригера підключений до другого входу блока елементів I , вихід якого є першим виходом i -ої комірки, другий вхід вузла виділення загальної частини операндів i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, при цьому в n -ій комірці вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ -х комірок, третій вихід n -ої комірки є виходом пристрою, блок логічних елементів містить m елементів I , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів I , введено запам'ятовувачий блок, а в i -у комірку введені другий та тре-

тій мультиплексори, четвертий і п'ятий регістри, другий блок логічних елементів I та демультимплексор, інверсний вихід D -тригера i -ої комірки підключений через четвертий регістр до першого входу другого блока логічних елементів I , другий вхід якого підключений до другого входу пристрою, а вихід підключений до другого входу другого мультиплексора, перший вихід $(i+1)$ -ої комірки ($i=1, n-1$) підключений до першого входу третього мультиплексора i -ої комірки, вхід вибору операції пристрою підключений до входів керування другого і третього мультиплексорів кожної комірки і до входу керування демультимплексора кожної комірки, крім n -ої, в i -ій комірці виходи другого та третього мультиплексорів підключені до першого та другого входів суматора відповідно, крім того, перший вихід демультимплексора кожної комірки, крім n -ої, з'єднаний з третім виходом цієї комірки, а вихід суматора підключений до входу демультимплексора, другий вихід якого підключений до входу п'ятого регістра, вихід якого з'єднаний з другим входом третього мультиплексора, а також з четвертим виходом кожної комірки, причому вихід суматора n -ої комірки є третім виходом цієї комірки, третій вихід i -ої комірки з'єднаний з першим входом другого мультиплексора $(i+1)$ -ої комірки, а перший вхід другого мультиплексора першої комірки підключений до виходу першого блока логічних елементів I цієї комірки, в n -ій комірці вихід суматора з'єднаний з входом п'ятого регістра, третій мультиплексор має один інформаційний вхід, який з'єднаний з виходом п'ятого регістра, а вихід другого регістра є другим виходом пристрою, вхід зсуву четвертого регістра всіх комірок підключений до третього входу пристрою, другий вихід якого з'єднаний з входом запам'ятовуючого блока, вихід якого підключений до другого входу пристрою, а адресний вхід підключений до четвертого входу пристрою, другий блок логічних елементів містить m елементів I , причому перші входи елементів I підключені до першого входу другого блока, другі виходи підключені до другого входу другого блока, а виходи підключені до виходів другого блока логічних елементів I , в i -ій комірці другий вихід блока порівняння підключений до першого знакового входу вузла виділення загальної частини операндів, другий знаковий вхід якого з'єднаний з п'ятим виходом $(i-1)$ -ої комірки, знаковий вихід третього регістра є п'ятим входом i -ої комірки, крім першої, в якій п'ятим виходом є другий вихід блока порівняння, четверті виходи всіх комірок є третіми виходами пристрою.

На кресленні зображена функціональна схема першої, i -ої та n -ої комірок пристрою, а також запам'ятовувачий блок. Конвеєрний пристрій містить n комірок 1, причому i -та комірка 1 містить блок порівняння, в якості якого використовується арифметично-логічний пристрій (АЛП) 2, суматор 3, вузол 4 виділення загальної частини операндів (крім першої комірки), п'ять регістрів 5, 6, 7 (крім першої і n -ої комірок), 8, 9, D -тригер 10, мультиплексори 11, 12, 13, демультимплексор 14 (крім n -ої комірки), блоки 15, 16 елементів I . Вхід 17 i -ої комірки 1 з'єднаний з першим входом мультиплексора 11, вихід якого підключений до входу 18 регістра 5, у якого вихід з'єднаний з входом 19 АЛП 2 та

входом 20 вузла 4 Вихід реєстра 6 з'єднаний з першим входом блока 15 елементів I та входом 21 АЛП 2, вихід 22 якого з'єднаний з другим входом мультиплексора 11, а вихід 23 ознаки від'ємного результату АЛП 2 з'єднаний з D-входом D-тригера 10, R-вхід якого підключений до входу 24 установлення в початковий стан пристрою, а інверсний вихід D-тригера 10 підключений до входу 25 блока 15 елементів I і через реєстр 8 до входу 26 блока 16 елементів I Другий вхід блока 16 елементів I підключений до входу 27 пристрою, а його вихід підключений до входу 28 мультиплексора 12

Вихід блока 15 елементів I (i+1)-ої комірки 1 підключений до входу 29 мультиплексора 13 i-ої комірки 1 Вхід 30 вибору операції пристрою підключений до входу керування мультиплексорів 12 і 13 всіх комірок 1 і до входу керування демультиплексора 14 кожної комірки 1, крім n-ої Вихід мультиплексора 12 i-ої комірки 1 підключений до входу 31 суматора 3, а вихід мультиплексора 13 підключений до входу 32 суматора 3 Крім того, вхід 33 вузла 4 (i+1)-ої комірки 1 з'єднаний з виходом 34 i-ої комірки 1 У всіх комірках 1, крім n-ої, вихід 35 демультиплексора 14 з'єднаний з виходом 36 цієї комірки 1, а вихід суматора 3 підключений до входу демультиплексора 14, вихід 37 якого підключений до входу реєстра 9, вихід якого з'єднаний з входом 38 мультиплексора 13, а також є виходом 39 кожної комірки 1 Вихід вузла 4 з'єднаний з входом реєстра 7, перший вихід якого з'єднаний з виходом 34 i-ої комірки 1 (крім n-ої), причому вихід 40 суматора 3 n-ої комірки є виходом пристрою, вихід 36 i-ої комірки 1 з'єднаний з входом 41 мультиплексора 12 (i+1)-ої комірки 1, а вхід 41 мультиплексора 12 першої комірки 1 підключений до виходу блока 15 елементів I цієї комірки 1 Вихід вузла 4 n-ої комірки 1 з'єднаний з входом реєстра 6 цієї комірки 1, а також є виходом 34 n-ої комірки 1, який з'єднаний з входами 42 молодших (n-1)-х комірок 1 В кожній комірці 1, крім n-ої, вхід 42 підключений до входу реєстра 6 В першій комірці 1 її вихід 34 з'єднаний з виходом реєстра 5, а в кожній комірці 1 входи керування мультиплексора 11 з'єднані з входом 43 адреси пристрою

Крім того, в n-ій комірці вихід суматора 3 з'єднаний з входом реєстра 9, мультиплексор 13 має один інформаційний вхід 38, який з'єднаний з виходом реєстра 9, а вихід реєстра 6 є виходом 44 пристрою Вхід зсуву реєстрів 8 всіх комірок 1 підключений до входу 45 пристрою, вихід 44 якого з'єднаний з входом запам'ятовуючого блока 46, вихід якого підключений до входу 27 пристрою, а адресний вхід є входом 47 пристрою Блоки 15 і 16 елементів I містять m елементів I, де m - розрядність операндів вхідного масиву, причому перші входи елементів I блока 15 підключені до виходу реєстра 6, другі входи підключені до входу 25 блока 15, а виходи підключені до виходу блока 15, знакові входи 48 і 49 вузла 4 i-ої комірки 1 з'єднані відповідно з виходом 23 АЛП 2 i-ої комірки 1 і виходом 50 (i-1)-ої комірки 1, причому в усіх комірках 1, крім першої і n-ої, знаковий вихід реєстра 7 є виходом 50 цієї комірки 1, а у першій комірці 1 вихід 23 АЛП 2 є виходом 50 цієї комірки 1

Пристрій реалізує такий спосіб підсумовуван-

ня

Крок 1 Визначається загальна значуща частина всіх доданків у j-му циклі, тобто

$$q_j = \min \{ a_{i,j-1} \}_{i=1}^n, \quad (1)$$

де $a_{i,0}$ - i-й доданок на вході 17 пристрою, $1 \leq j \leq n$

Крок 2 Виділяється зріз різниць A_j , тобто сукупність величин різниці всіх доданків j-го циклу з їхньою загальною частиною q_j , тобто

$$A_j = \{ a_{i,j} \}_{i=1}^n = \{ a_{i,j-1} - q_j \}_{i=1}^n \quad (2)$$

В подальшому отриманий зріз різниць A_j є вхідною множиною доданків для наступного (j+1)-го циклу Формується бінарна маска F_j , елементи якої визначаються таким чином

$$f_{i,j} = \begin{cases} 1, & \text{якщо } a_{i,j} \geq 0, \\ 0, & \text{якщо } a_{i,j} < 0 \end{cases} \quad (3)$$

Крок 3 Формується часткова сума S_j , де кратність p_j визначається кількістю додатних доданків j-го циклу, тобто

$$S_j = q_j p_j = q_j \sum_{i=1}^n f_{i,j} \quad (4)$$

На цьому ж кроці підсумовуються часткові суми S_1, \dots, S_{j-1} , які отримані на попередніх (j-1)-х циклах, тобто

$$S = \sum_{j=1}^k S_j = \sum_{j=1}^k q_j p_j, \quad k = \overline{1, \bar{n}} \quad (5)$$

Повторюються кроки 1-3

Таким чином, остаточний результат формується в процесі накопичення часткових сум всіх N циклів, причому $N_{\max} = n$, а середнє значення кількості циклів визначається за формулою

$$N = n - \sum_{r=1}^R (m_r - 1) \quad (6)$$

де R - кількість груп з кількістю m_r повторюваних чисел у початковому масиві даних

Одночасно з сумою S формується матриця бінарних масок F виду

$$F = (f_1, \dots, f_n), \quad (7)$$

та вектор Q виду

$$Q = (q_1, \dots, q_n) \quad (8)$$

Пристрій реалізує спосіб відновлення вхідного масиву даних, який базується на виконанні операції множення матриці бінарних масок F на вектор-стовпець Q, тобто

$$A_0 = FQ, \quad (9)$$

причому елемент $a_{i,0}$ зрізу A_0 визначається в такий спосіб

$$a_{i,0} = \sum_{j=1}^n f_{i,j} q_j, \quad i, j = \overline{1, \bar{n}} \quad (10)$$

Пристрій працює таким чином

При роботі пристрою в режимі підсумовування масиву чисел на його вході 30 вибору операції присутній нульовий сигнал, який дозволяє проходження через мультиплексори 12, 13 інформації з їх входів 41, 29 відповідно і через демультиплексор 14 на його вихід 35

На вхід 17 i-ої комірки 1 надходить i-ий операнд $a_{i,0}$ з масиву операндів A_0 , розмірність якого дорівнює n Запис операндів $a_{i,0}$ в комірки 1 виконується паралельно Через мультиплексор 11 i-ий

операнд $a_{i,0}$ надходить в реєстр 5 i -ої комірки 1 по його входу 18. Після цього виконується послідовне виділення загальної частини двох операндів - $(i-1)$ -го та i -го вузлом 4 за інформацією, що подається на його інформаційні входи 20 і 33 та знакові входи 48 і 49 і здійснюється запис результату в реєстр 7. Ця операція виконується послідовно, починаючи з другої комірки 1, згідно із виразом (1) на 1-му кроці обробки. Кінцевий результат виділення загальної частини q_i всіх p операндів виду (1) формується в p -ій комірки 1 і з виходу вузла 4 через вихід 34 цієї комірки 1 мінімальна складова q_i (загальна частина всіх операндів) записується в реєстри 6 всіх p комірок 1 паралельно. Після цього відбувається порівняння в АЛП 2 i -го операнда, що надходить з реєстра 5, та загальної частини всіх операндів, що надходить з реєстра 6, на його входи 19, 21 відповідно. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх операндів, згідно із виразом (2) на 2-му кроці обробки і ця різниця записується з виходу 22 АЛП 2 через мультиплексор 11 в реєстр 5. При цьому з виходу 23 ознака від'ємного результату різниці, тобто сигнал $\bar{f}_{i,j}$ (3) записується в D-

тригер, який перед початком роботи пристрою був занулений сигналом по входу 24 пристрою. При відсутності одиничного сигналу ознаки від'ємного результату одиничний сигнал $f_{i,1}$ з інверсного виходу D-тригера 10 i -ої комірки 1 записується у перший розряд реєстра 8 і одночасно дозволяє проходження через блок 15 елементів l і демультимплексор 13 по його входу 29 загальної частини операндів q_i з реєстра 6 в суматор 3 ($i-1$ -ої комірки 1, де відбувається формування часткових сум S_j виду (4) за всі N цикли підсумовування операндів.

В першій комірки 1 величина q_1 з реєстра 6 проходить на вхід 31 суматора 3 через блок 15 елементів l і мультиплексор 12 по його входу 41. У випадку, якщо на виході 23 АЛП 2 i -ої комірки 1 з'явиться одиничний сигнал ознаки від'ємного результату, то нульовий сигнал $f_{i,1}$ з інверсного виходу D-тригера 10 запишеться у реєстрі 8 і одночасно заборонить проходження величини q_1 в даному циклі обробки через блок елементів l і мультиплексор 13 на вхід 32 суматора 3 ($i-1$ -ої комірки 1).

В режимі підсумовування масиву чисел в кож-

ній комірки 1 (крім p -ої) задіяні вхід 41 мультиплексора 12, вхід 29 мультиплексора 13 і вихід 35 демультимплексора 14. Таким чином, в суматорах 3 кожної комірки 1 відбувається послідовне підсумовування величин q_i , а в результаті на виході 40 суматора 3 p -ої комірки 1 формується часткова сума S_1 операндів згідно з виразом (4) на 3-му кроці обробки. Зміст реєстра 8 зсувається на один розряд праворуч, а величина q_1 записується у першу комірку 1 запам'ятовуючого блока 46. Так виконується 1-ий цикл обробки. Далі цикли повторюються і кількість їх в середньому дорівнює величині (6). Після виконання всіх циклів N обробки на виході 40 суматора 3 p -ої комірки 1 формується остаточна сума S виду (5), у реєстрі 8 i -ої комірки 1 фіксується транспонований i -ий рядок матриці бінарних масок F (7), а у p комірках запам'ятовуючого блока 46 формуються елементи q_j вектора Q (8). У табл. 1 наведено приклад формування суми чисел 11, 3, 5, 8, 15, причому рискою позначені від'ємні елементи $a_{i,j}$.

Для відновлення вхідного масиву A_0 чисел необхідно подати одиничний сигнал на вхід 30 вибору операції пристрою, що дозволить проходження інформації через мультиплексори 12, 13 з входів 28, 38 відповідно і через демультимплексор 14 на його вихід 37. Перед відновленням вхідного масиву чисел реєстр 9 у кожній комірки 1 повинен бути занулений.

У кожному j -му циклі відновлення вхідного масиву чисел виконується зчитування з j -ої комірки запам'ятовуючого блока 46 j -го елемента q_j вектора Q (8) та його надходження через вхід 27 пристрою до блока 16 елементів l всіх комірок 1, а також надходження на вхід 26 блока 16 j -го елемента f_j з реєстра 8 кожної комірки 1, причому зчитування відбувається, починаючи зі старшого розряду реєстра 8. При наявності одиничного значення елемента f_j , величина q_j надходить до суматора 3 i -ої комірки 1, де сумується з попередньою інформацією, що накопичується у реєстрі 9. Таким чином, у реєстрі 9 i -ої комірки 1 формується величина $a_{i,0}$ згідно із виразом (10), яка надходить на i -й вихід 39 пристрою. У табл. 2 наведено приклад відновлення вхідного масиву чисел 11, 3, 5, 8, 15. Треба зауважити, що величина $b_{i,j}$ із табл. 2 формується на виході блока 16 елементів l , величина $c_{i,j}$ - у реєстрі 9 відповідної i -ої комірки 1.

Таблиця 1

Групи A_j						
Елемент груп $a_{i,j}$	A_0	A_1	A_2	A_3	A_4	A_5
$a_{1,j}$	11	8	6	3	0	-
$a_{2,j}$	3	0	-	-	-	-
$a_{3,j}$	5	2	0	-	-	-
$a_{4,j}$	8	5	3	0	-	-
$a_{5,j}$	15	12	10	7	4	0
Цикли обробки t_i		1	2	3	4	5
Найменше число q_i		3	2	3	3	4
Часткова сума S_i		15	8	9	6	4
Накопичення часткових сум S_i		15	23	32	38	42

Продовження таблиці 1

1	2	3	4	5	6
Бінарні маски F_j	F_1	F_2	F_3	F_4	F_5
Елементи масок $f_{i,j}$					
f_{1j}	1	1	1	1	0
f_{2j}	1	0	0	0	0
f_{3j}	1	1	0	0	0
f_{4j}	1	1	1	0	0
f_{5j}	1	1	1	1	1

Таблиця 2

Бінарні маски F_j	F_1	F_2	F_3	F_4	F_5
Елементи масок $f_{i,j}$					
f_{1j}	1	1	1	1	0
f_{1j}	1	0	0	0	0
f_{1j}	1	1	0	0	0
f_{1j}	1	1	1	0	0
f_{15j}	1	1	1	1	1
Цикли обробки t_i	1	2	3	4	5
Найменше число $q_{i,j}$	3	2	3	3	4
Групи B_i					
Елементи груп $f_{i,j}$	B_1	B_2	B_3	B_4	B_5
b_{1j}	3	2	3	3	0
b_{2j}	3	0	0	0	0
b_{3j}	3	2	0	0	0
b_{4j}	3	2	3	0	0
b_{5j}	3	2	3	3	4
Групи C_i					
Елементи груп $c_{i,j}$	C_1	C_2	C_3	C_4	C_5
c_{1j}	3	5	8	11	11
c_{2j}	3	3	3	3	3
c_{3j}	3	5	5	5	5
c_{4j}	3	5	8	8	8
c_{5j}	3	5	8	11	15

