



УКРАЇНА

(19) UA (11) 40568 (13) U
(51) МПК (2009)
G11B 5/09

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ КАНАЛЬНОГО КОДУВАННЯ

1

2

(21) u200815041

(22) 26.12.2008

(24) 10.04.2009

(46) 10.04.2009, Бюл.№ 7, 2009 р.

(72) МАРЦЕНЮК ВАЛЕРІЙ ПАНТЕЛЕЙМОНОВИЧ,
УА, ОСТАПЕНКО АЛІНА ВАСИЛІВНА, УА

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ, УА

(57) Пристрій каналного кодування, який містить генератор синхроімпульсів, перший, другий та третій лічильники імпульсів, інвертор, схему I, схему 2I-NI, формувач імпульсів, перший та другий лічильні тригери, перший та другий регістри зсуву, дешифратор, паралельний регістр, перший-восьмий блоки пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістра зсуву, вхід синхронізації якого з'єднаний із входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильників імпульсів, вхід інвертора з'єднано із входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-дванадцятий входи паралельного регістра під'єднано до першого-дванадцятим виходів першого регістра зсуву, а перший-дванадцятий виходи паралельного регістра з'єднано з першим-

дванадцятим виходами цифрового компаратора, виходи якого також з'єднано з шиною опорного коду, перший-дванадцятий виходи паралельного регістра з'єднано з першим-дванадцятим входами блоків пам'яті, перші-дванадцяті виходи блоків пам'яті під'єднано до першого-дванадцятим інформаційних входів другого регістра зсуву, вихід цифрового компаратора під'єднано до тринадцятого входу третього регістра, вихід якого з'єднано з входом синхронізації другого тригера, прямиий вхід якого під'єднано до блока запису, а інверсний - до свого інформаційного входу, перший-другий входи третього лічильника імпульсів під'єднано до першого-другого входів схеми 2I-NI, виходи якої з'єднано із входом синхронізації паралельного регістра та формувача імпульсів, вихід першого лічильника імпульсів під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього виходів другого елемента I відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-одинадцятий виходи другого регістра під'єднано відповідно до першого-другого входів дешифратора, перший-восьмий виходи якого під'єднано до виходів керування режимами першого-восьмого блоків пам'яті, дешифратор, до першого-третього входів якого під'єднані дев'ятий-одинадцятий виходи паралельного регістра, який **відрізняється** тим, що в пристрої каналного кодування введено дев'ятий-шістнадцятий блоки пам'яті, перший-шістнадцятий виходи дешифратора під'єднано до входів керування режимами першого-шістнадцятого блоків пам'яті.

Корисна модель відноситься до обчислювальної техніки, а саме, до пристроїв формування сигналів для високої щільності запису цифрової інформації на магнітний носій.

Відомий пристрій для магнітного запису цифрової інформації [патент України №36896, М. кл., G11B5/09, 16.04.2001, бюл. №3 -2001], який розрахований на збільшення щільності магнітного запису за рахунок перекодування інформації в каналний код Каутса-Фібоначчі з параметрами $n=9$, $m=10$, $d=0$, $k=3$.

Недоліком пристрою є невисока щільність запису внаслідок малого значення вікна детектування.

За прототип обрано пристрій каналного кодування [патент України №10481, М. кл., G11B5/09, 15.11.2005, бюл. №11, 2005], який містить генератор синхроімпульсів, перший, другий та третій лічильники імпульсів, інвертор, схему I, схему 2I-NI, формувач імпульсів, перший та другий лічильні тригери, перший та другий регістри зсуву, дешифратор, паралельний регістр, перший, другий, третій та четвертий блоки пам'яті, блок запису, циф-

(13) U

(11) 40568

(19) UA

ровій компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістру зсуву, вхід синхронізації якого з'єднаний із входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано із входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістру під'єднано до першого-десятого виходів першого регістра зсуву, а перший-десятий виходи паралельного регістра з'єднано з першим-десятим виходом цифрового компаратора, виходи якого також з'єднано з шиною опорного коду, перший-восьмий виходи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяті виходи першого та другого блоків пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компаратора під'єднано до одинадцятого входу третього регістра, вихід якого з'єднано з входом синхронізації другого тригера, прямий вхід якого під'єднано до блока запису, а інверсний - до свого інформаційного входу, перший-другий вхід третього лічильника імпульсів під'єднано до першого-другого входу схеми 21-НІ, виходи якої з'єднано із входом синхронізації паралельного регістра та формувача імпульсів, вихід першого лічильника імпульсів під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього виходів другого елемента "І" відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-десятий виходи другого регістру під'єднано відповідно до першого-другого входів дешифратора, перший-четвертий виходи якого під'єднано до виходів управління режимами першого, другого, третього та четвертого блоків пам'яті, дешифратор, до першого-третього входів якого під'єднанні дев'ятий-одинадцятий виходи паралельного регістра, причому, в пристрої каналного кодування введено п'ятий, шостий, сьомий та восьмий блоки пам'яті, перший-восьмий виходи дешифратора під'єднано до входів управління режимами першого, другого, третього та четвертого, п'ятого, шостого, сьомого, восьмого блоків пам'яті, причому в даній схемі використовується три розрядний дешифратор.

Недолік пристрою - низька швидкодія за рахунок недостатньої щільності запису цифрової інформації на магнітний носій.

В основу корисної моделі поставлено задачу розробки пристрою каналного кодування, в якому за рахунок введення нових блоків та зв'язків між ними досягається збільшення щільності запису інформації на магнітний носій при збереженні умов самосинхронізації, що дозволяє збільшити кількість інформації, яка записується на звичайний

магнітний носій при використанні перекодування в код Каутса-Фібоначчі з параметрами $n=12$, $m=13$, $d=0$, $k=3$.

Поставлена задача досягається тим, що в пристрій каналного кодування, який містить генератор синхроімпульсів, перший, другий та третій лічильники імпульсів, інвертор, схему І, схему 21-НІ, формувач імпульсів, перший та другий лічильний тригери, перший та другий регістри зсуву, дешифратор, паралельний регістр, перший, другий, третій та четвертий блоки пам'яті, блок запису, цифровий компаратор, шину опорного коду та вхідну шину, причому вхідна шина під'єднана до інформаційного входу першого регістру зсуву, вхід синхронізації якого з'єднаний із входом синхронізації третього лічильника імпульсів третім виходом другого лічильника імпульсів, вихід генератора синхроімпульсів під'єднано до входів синхронізації першого та другого лічильника імпульсів, вхід інвертора з'єднано із входом синхронізації паралельного регістра, а вихід першого інвертора під'єднано до входу синхронізації першого лічильного тригера, вихід якого під'єднано до входу встановлення режиму роботи другого регістра зсуву, а вхід встановлення нуля зв'язано з виходом формувача імпульсів, перший-десятий входи паралельного регістру під'єднано до першого-десятого виходів першого регістра зсуву, а перший-десятий виходи паралельного регістра з'єднано з першим-десятим виходом цифрового компаратора, виходи якого також з'єднано з шиною опорного коду, перший-восьмий виходи паралельного регістра з'єднано з першим-восьмим входами першого та другого блока пам'яті, перші-десяті виходи першого та другого блоків пам'яті під'єднано до першого-десятого інформаційного входу другого регістра зсуву, вихід цифрового компаратора під'єднано до одинадцятого входу третього регістра, вихід якого з'єднано з входом синхронізації другого тригера, прямий вхід якого під'єднано до блока запису, а інверсний - до свого інформаційного входу, перший-другий вхід третього лічильника імпульсів під'єднано до першого-другого входу схеми 21-НІ, виходи якої з'єднано із входом синхронізації паралельного регістра та формувача імпульсів, вихід першого лічильника імпульсів під'єднано до входу інвертора, перший-третій виходи другого лічильника імпульсів під'єднано до першого-третього виходів другого елемента "І" відповідно, вихід якого з'єднано з входом встановлення в одиницю другого лічильника імпульсів, дев'ятий-десятий виходи другого регістру під'єднано відповідно до першого-другого входів дешифратора, перший-четвертий виходи якого під'єднано до виходів управління режимами першого, другого, третього та четвертого блоків пам'яті, дешифратор, до першого-третього входів якого під'єднанні дев'ятий-одинадцятий виходи паралельного регістра, причому, в пристрої каналного кодування введено дев'ятий-шістнадцятий блоки пам'яті, перший-шістнадцятий виходи дешифратора під'єднано до входів управління режимами першого - шістнадцятого блоків пам'яті.

На Фіг.1 представлено функціональну схему пристрою каналного кодування.

На Фіг.2 представленні часові діаграми роботи пристрою каналного кодування.

Пристрій складається з генератора синхроімпульсів 1 від'єданого входом до лічильного входу першого 2 і другого 3 лічильники імпульсів. Вихід першого лічильника 2 з'єднаний із входом інвертора 8 та синхрвходом другого регістру зсуву 22, вихід інвертора 8 з'єднаний із синхрвходом першого тригера 12, вихід якого під'єднано до керуючого входу другого регістру зсуву 22, вихід якого з'єднано із лічильним входом другого тригера 23, інверсний вихід якого з'єднано із інформаційним входом цього тригера, а прямий вихід з'єднано з входом блоку запису 24. Вихід блоку запису 24 з'єднаний із магнітною голівкою на кресленні не показано. Виходи другого лічильника імпульсів 3 зв'язані через елемент "І" 9 з його входом скидання в нуль. При цьому один із виходів другого лічильника імпульсів 3 під'єднаний до синхрвходу третього лічильника імпульсів 4 та синхрвходу першого регістру 5. Виходи третього лічильника імпульсів 4 під'єднанні до входу схеми 2I-НІ 10, вихід якої з'єднано із формувачем імпульсів 11 та синхрвходом паралельного регістру 7. Вихід формувача імпульсів 11 з'єднано із входом встановлення в одиницю першого тригера 12. До інформаційного входу D першого регістру 5 підключена вхідна шина 25, перший-дванадцятий інформаційні виходи першого регістру 5 під'єднанні до першого-дванадцятото інформаційних входів другого регістру 7. Перший-дванадцятий виходи другого регістру 7 з'єднані із першим-дванадцятим. А входом компаратора 13, а виходи В цифрового компаратора 13 під'єднанні до шини опорного сигналу 26, вихід цифрового компаратора 13 з'єднаний із інформаційним входом D 13 другого регістру зсуву 22. Перший-дев'ятий виходи паралельного регістру 7 під'єднанні до першого-дев'ятого адресного входу (А1-А9) першого 14, другого 15, третього 16, четвертого 17, п'ятого 18, шостого 19, сьомого 20, восьмого 21 та дев'ятого-шістнадцятого відповідно 27-34 блоків пам'яті, виходи яких під'єднанні до першого-дванадцятото інформаційних входів другого регістру зсуву 22. Десятий одинадцятий та дванадцятий виходи паралельного регістру 7 під'єднанні до входів дешифратора 6, виходи якого з'єднані із входами установки режиму роботи Е відповідно до першого 14, другого 15, третього 16, четвертого 17, п'ятого 18, шостого 19, сьомого 20, восьмого 21 та дев'ятого-шістнадцятого відповідно 27-34 блоків пам'яті.

В запропонованому пристрої кодування двійкового дванадцятирозрядного коду в тринадцятирозрядний код Каутса-Фібоначчі інформаційне дванадцятирозрядне слово розвертається за допомогою першого регістру 5 з послідовної двійкової форми в паралельну. В подальшому за допомогою елементів 14, 15, 16, 17, 18, 19, 20, 21, 27-34 це слово перетворюється у тринадцятирозрядне кодове слово Каутса-Фібоначчі. За допомогою другого регістру 22 паралельне кодове тринадцятирозрядне слово Каутса-Фібоначчі також переводиться у послідовну форму і подається на блок запису 24 для подальшої реєстрації на магнітний носій (стрічка, диск).

Пристрій працює таким чином. Вхідний двійковий код розділяють на рівномірні часові послідовності по дванадцять бітових інтервалів, перетворюють за допомогою каналних кодів Каутса-Фібоначчі в тринадцятисимвольні послідовності і в подальшому в струм запису. Сигнал тактової частоти (Фіг.2а), сформований генератором 1 ділиться на 12 за допомогою першого лічильника імпульсів 2 (Фіг.2б), та на 13 за допомогою другого лічильника імпульсів 3 (Фіг.2в). Інформаційні сигнали в двійковому коді з виходу першого регістра 5 записуються в другий регістр 7 в момент позитивного перепаду сигналу, який надходить із виходу схеми 2I-НІ 10 (Фіг.2г). Вихідні імпульси формувача імпульсів 11 (Фіг.2д) надходять на вхід встановлення в одиницю першого тригера 12 вихідний сигнал (Фіг.2е) якого подається на вхід установки режиму роботи Е другого регістру зсуву 22 встановлює режим паралельного чи послідовного зсуву. В блоках пам'яті 14, 15, 16, 17, 18, 19, 20, 21, 27-34 виконується перекодування інформації із дванадцятирозрядного двійкового коду у тринадцятирозрядний код Каутса-Фібоначчі. Другий регістр зсуву 22 перетворює паралельний запис цього коду в послідовний зсув кодової інформації, яка після перетворення надходить в блок запису 24 для формування сигналів запису на магнітний носій.

В загальному випадку каналного кодування інформаційні комбінації з n-символів двійкового коду заміщується групою з t-символів каналного коду. При цьому відношення числа символів n до m визначає параметр, який називається кодовою швидкістю

$$V_k = n/m$$

Параметр кодової швидкості характеризує ступінь зменшення швидкості проходження інформації через фізичний канал магнітної реєстрації при її заміщенні за методами каналного кодування. Як правило, чим вища кодова швидкість каналного коду, тим менша його надлишковість

$$H = ((m-n)/n) * 100\%$$

Канальні коди є кодами з обмеженням довжини нулів та одиниць. Обмеження довжини серій символів каналного коду дозволяє забезпечити можливість самосинхронізації каналу цифрової магнітної реєстрації. З точки зору самосинхронізації усі методи каналного кодування можуть бути охарактеризовані параметрами d та k, причому, параметр d визначає мінімальну кількість нулів між сусідніми одиницями (при реакції на одиницю), параметр k визначає максимальну кількість нулів між двома одиницями. Ступінь самосинхронізації буде тим більший, чим менше відношення максимальної та мінімальної довжини переходів намагніченості носія інформації, що визначаються як:

$$T_{\min} = V_k * (d+1) * T$$

$$T_{\max} = V_k * (k+1) * T$$

де T - довжина тактового інтервалу, що відповідає одному біту, записаному за методом БПНМ (без повернення до нуля модифікований). Ступінь самосинхронізації оцінюється коефіцієнтом само-синхронізації, що визначається як:

$$K_s = T_{\max} / T_{\min} = (V_k * (k+1) * T) / (V_k * (d+1) * T) = (k+1) / (d+1)$$

На практиці значення коефіцієнту самосинхронізації вибирають в межах $K_s=2...4$.

Для визначення параметру густини переходу намагніченості носія інформації, що характеризує можливу щільність та швидкість реєстрації інформації, використовують параметр, який називається коефіцієнтом можливої густини. Цей коефіцієнт визначається як:

$$K_m = T_{\min}/T$$

і має тим більше значення, чим далі рознесені по магнітному носію переходи намагніченості. Рознесення переходів дозволяє зменшувати верхню частоту в спектрі каналного коду та звукувати АЧХ каналу або ж у існуючому каналі реєструвати інформацію з більшою швидкістю.

На практиці проведення операції заміщення n – символів двійкової інформації на m -символів каналного коду призводить до появи надлишковості i , при $d=0$ параметр $T_{\min} < T$. Тоді K_m зменшується разом із швидкістю реєстрації. В той же час надлишковість каналного коду не знижує, а підвищує K_m щільність та швидкість реєстрації при $d > 0$.

В той же час, можливе значення коефіцієнта збільшення швидкості реєстрації обернено пропорційно пов'язане з параметром вікна детектування. Вікно детектування визначає можливість правильного розпізнавання імпульсів сигналів на виході каналу магнітної реєстрації і залежить від кодової швидкості та довжини тактового інтервалу:

$$T_g = V_k * T$$

Зменшення вікна детектування призводить до значного ускладнення схем відтворення на виході каналу магнітної реєстрації.

Враховуючи взаємо-зворотну дію коефіцієнта густини переходів намагніченості та вікна детекту-

вання слід застосовувати деякий комплексний показник. Назвемо його коефіцієнтом ефективної густини переходів намагніченості, визначається як:

$$K_{em} = K_m * T_g / T = K_m * V_k$$

Виконавши деякі спрощення шляхом підстановки $T_g/T = V_k$, $T_{\min} = V_k * (d+1) * T$,

$$V_k = n/m \text{ одержимо}$$

$$K_{em} = n^{2*}(d+1)/m^2 \text{ або}$$

$$K_{em} = V_k^{2*}(d+1)$$

Використовуючи коефіцієнт K_{em} , вибір каналного коду проводять виходячи із максимального його значення $K_s=2...4$.

Задачу побудови оптимального каналного коду можна вирішити шляхом використання рекурентних рядів Каутса-Фібоначчі, для яких вага члена ряду в будь-якій позиції дорівнює деякій сумі попередніх членів ряду. Таке відображення дозволяє, при проведенні операції кодування одержувати обмежені серії нулів та одиниць, що забезпечує самосинхронізацію. Найбільш поширенні числові ряди Каутса-Фібоначчі позначення відповідних їм каналних кодів наведені в таблиці 1.

Порівняльний аналіз відомих та запропонованих каналних кодів по параметрах синхронізації K_s та K_{em} дозволяє побудувати таблицю 2, з якої можна зробити висновок, що при однаковому коефіцієнті самосинхронізації коди з параметрами $n=12$, $m=13$, $d=0$, $k=3$. дозволяють забезпечити найбільш високе значення коефіцієнту ефективної густини переходів намагніченості K_{em} , причому він зростає відповідно збільшенню кількості розрядів коду.

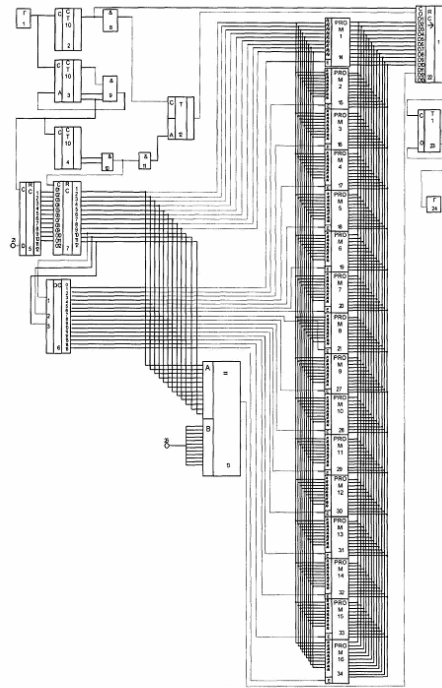
Використання корисної моделі дозволяє збільшити щільність запису на магнітний носій при умові самосинхронізації.

Таблиця 1

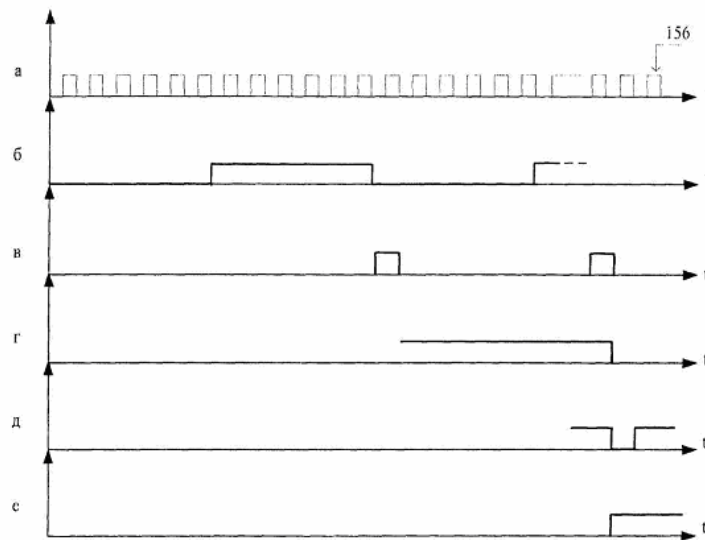
Умовне зображення каналного коду КФ (d,k)	Породжуюча формула	Числовий ряд
КФ(0,1)	$Y_i = Y_{i-1} + Y_{i-2}$	1.1.2.3.5.8.13.21.34.55
КФ(0,2)	$Y_i = Y_{i-1} + Y_{i-2} + Y_{i-3}$	1.1.2.4.7.13.24.44.81.149
КФ(0,3)	$Y_i = Y_{i-1} + Y_{i-2} + Y_{i-3} + Y_{i-4}$	1.1.2.4.8.15.29.56.108.208
КФ(1,2)	$Y_i = Y_{i-2} + Y_{i-3}$	1.1.1.2.2.3.4.5.7.9.12
КФ(1,3)	$Y_i = Y_{i-2} + Y_{i-3} + Y_{i-4}$	1.1.2.3.4.6.9.13.19.28
КФ(1,4)	$Y_i = Y_{i-2} + Y_{i-3} + Y_{i-4} + Y_{i-5}$	1.1.1.2.3.5.7.11.26.40
КФ(2,3)	$Y_i = Y_{i-3} + Y_{i-4}$	1.1.1.1.2.2.2.3.4.4.5.7.8.9

Таблиця 2

Група кодів	КОД	K_m	$T_g = V_k * T$	K_{em}	$H = ((m-n)/n) * 100\%$
$K_s=4$	ГК5/6	0,833	0,833	0,694	20
$K_s=4$	НДМ-3	2	0,33	0,66	200
$K_s=4$	ЗРМ	1,5	0,5	0,75	100
$K_s=4$	КФ(0,3,8,9)	0,889	0,889	0,79	12,5
$K_s=4$	КФ(0,3,9,10)	0,9	0,9	0,81	11,1
$K_s=4$	КФ(0,3,10,11)	0,91	0,91	0,83	10
$K_s=4$	КФ(0,3,11,12)	0,917	0,917	0,84	9,1
$K_s=4$	КФ(0,3,12,13)	0,925	0,925	0,85	8,3



Фиг. 1



Фиг. 2