



УКРАЇНА

(19) UA (11) 40283 (13) U  
(51) МПК (2009)  
G06F 7/00МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ  
НА КОРИСНУ МОДЕЛЬвидається під  
відповідальність  
власника  
патенту

## (54) ПРИСТРІЙ ДЛЯ АЛГЕБРАЇЧНОГО ДОДАВАННЯ ЧИСЕЛ

1

2

(21) u200814050

(22) 05.12.2008

(24) 25.03.2009

(46) 25.03.2009, Бюл.№ 6, 2009 р.

(72) МАРТИНЮК ТЕТЯНА БОРИСІВНА, UA, СА-  
ЧАНЮК-КАВЕЦЬКА НАТАЛІЯ ВАСИЛІВНА, UA,  
БОТВИН РОМАН ІГОРОВИЧ, UA, ГАНИШ НАТА-  
ЛІЯ ВАСИЛІВНА, UA(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ  
УНІВЕРСИТЕТ, UA

(57) Пристрій для алгебраїчного додавання чисел, який містить три регістри зсуву, суматор, вузол підсумовування за модулем два, який містить три елементи I, два елементи АБО і елемент HI, і вузол запису знака результату, який містить елемент АБО і два елементи I, причому входи розрядів першого регістра зсуву з'єднані з входами першого операнда пристрою, входи розрядів другого регістра зсуву з'єднані з входами другого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до першого входу синхронізації пристрою, виходи першого і другого регістрів зсуву підключені до відповідних входів вузла підсумовування за модулем два, входи розрядів суматора підключені до входів першого операнда пристрою, перший і другий входи першого елемента I вузла підсумовування за модулем два з'єднані відповідно з першим і другим входами вузла підсумовування за модулем два, а вихід підключений до входу елемента HI вузла підсумовування за модулем два, вихід якого підключений до перших входів другого і третього елементів I вузла підсумовування за модулем два, другі входи яких з'єднані відповідно з першим і другим входами першого елемента I вузла підсумовування за модулем два, а виходи підключені до входів першого елемента АБО вузла підсумовування за модулем два, вихід якого підключений до інформаційного входу третього регістра зсуву, входи другого елемента АБО вузла підсумовування за модулем два з'єднані з виходами першого і третього елементів I вузла підсумовування за модулем два, а вихід підключений до інформаційного

входу суматора, виходи знакових розрядів першого і другого регістрів зсуву підключені до перших входів відповідних елементів I вузла запису знака, другі входи яких з'єднані з виходами відповідно другого і третього елементів I вузла підсумовування за модулем два, входи елемента АБО вузла запису знака підключені до виходів першого і другого елементів I вузла запису знака, а вихід підключений до входу знакового розряду третього регістра зсуву, вхід керування зсувом якого з'єднаний з другим входом синхронізації пристрою, вхід керування суматора підключений до другого входу синхронізації пристрою, який відрізняється тим, що в нього введено вузол аналізу, який містить перший та другий елементи I і перший та другий D-тригери, причому перші входи елементів I з'єднані з першим і другим входами вузла аналізу відповідно, які підключені до першого і другого входів вузла підсумовування за модулем два, другі входи елементів I з'єднані з третім входом вузла аналізу, який підключений до інформаційного входу третього регістра зсуву, а їх інверсні входи підключені до четвертого входу вузла аналізу, який з'єднаний з виходом ознаки нуля третього регістра зсуву, крім того, у вузлі аналізу вихід першого елемента I з'єднаний з D-входом першого D-тригера, вихід другого елемента I з'єднаний з D-входом другого D-тригера, прямий вихід першого D-тригера є виходом логічної ознаки (>) пристрою, прямий вихід другого D-тригера є виходом логічної ознаки (<) пристрою, а вихід логічної ознаки (=) пристрою з'єднаний з інверсними входами першого і другого елементів I вузла аналізу, установний вхід пристрою підключений до входів скиду першого і другого D-тригерів вузла аналізу, а також до установних входів трьох регістрів зсуву і суматора, третій вхід синхронізації пристрою з'єднаний з входом запису першого регістра зсуву і суматора, четвертий вхід синхронізації пристрою з'єднаний з входом запису другого регістра зсуву, а п'ятий вхід синхронізації пристрою з'єднаний з входами тактових імпульсів трьох регістрів зсуву і суматора.

(19) UA (11) 40283 (13) U

Корисна модель відноситься до обчислювальної техніки і може бути застосована в операційних схемах цифрових процесорів логіко - часового типу.

Відомий пристрій для послідовного додавання та віднімання чисел [а. с. СРСР № 579613, кл. G 06 F 7/50, 1976], який складається з однорозрядного суматора-віднімача, регістрів зсуву першого і другого доданків, блока корекції, елемента затримки, елементів I і АБО, причому перший і другий входи суматора-віднімача з'єднані з виходами молодших розрядів регістрів зсуву відповідно першого і другого доданків, а вихід суматора-віднімача підключений до входу старшого розряду регістра зсуву першого доданку, регістр зсуву другого доданку містить додатковий розряд, вихід якого підключений до входу старшого розряду цього регістра зсуву, а вхід - до виходу блока корекції, перший, другий і третій входи якого підключені до виходів трьох старших розрядів регістра зсуву першого доданку, четвертий вхід - до виходу першого елемента I, перший вхід якого через елемент затримки підключений до виходу переносу однорозрядного суматора-віднімача, а другий вхід - до шини дозволу переносу, п'ятий вхід блока корекції підключений до першого керуючого входу пристрою, вихід блока корекції підключений також до першого входу елемента АБО, вихід якого з'єднаний з другим і третім старшими розрядами регістра зсуву другого доданку, другий вхід елемента АБО з'єднаний з виходом другого елемента I, перший вхід якого підключений до виходу першого елемента I, а другий вхід - до другого керуючого входу пристрою.

Даний пристрій має обмежені функціональні можливості, оскільки виконує тільки операцію додавання - віднімання двійкових чисел без визначення співвідношення між операндами, тобто формування логічних ознак (>, <, =) операндів.

Найбільш близьким за технічною суттю є пристрій для алгебраїчного додавання чисел [а. с. СРСР № 1136148, кл. G 06 F 7/50, 1985, Бюл. № 3], який містить три регістри зсуву, суматор, вузол підсумовування за модулем два, який містить три елемента I, два елемента АБО і елемент Ш, і вузол запису знака результату, який містить елемент АБО і два елемента I, причому входи розрядів першого регістра зсуву з'єднані з входами першого операнда пристрою, входи розрядів другого регістра зсуву з'єднані з входами другого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до входу синхронізації пристрою, в подальшому до першого входу синхронізації пристрою, виходи першого і другого регістрів зсуву підключені до відповідних входів вузла підсумовування за модулем два, крім того, входи розрядів суматора підключені до входів першого операнда пристрою, перший і другий входи першого елемента I вузла підсумовування за модулем два з'єднані відповідно з першим і другим входами вузла підсумовування за модулем два, а вихід підключений до входу елемента Ш вузла підсумовування за модулем два, вихід якого підключений до перших входів другого і третього елементів I вузла підсумовування за модулем два,

другі входи яких з'єднані відповідно з першим і другим входами першого елемента I вузла підсумовування за модулем два, а виходи підключені до входів першого елемента АБО вузла підсумовування за модулем два, вихід якого підключений до інформаційного входу третього регістра зсуву, входи другого елемента АБО вузла підсумовування за модулем два з'єднані з виходами першого і третього елементів I вузла підсумовування за модулем два, а вихід підключений до інформаційного входу суматора, виходи знакових розрядів першого і другого регістрів зсуву підключені до перших входів відповідних елементів I вузла запису знака, другі входи яких з'єднані з виходами відповідно другого і третього елементів I вузла підсумовування за модулем два, входи елемента АБО вузла запису знака підключені до виходів першого і другого елементів I вузла запису знака, а вихід підключений до входу знакового розряду третього регістра зсуву, вхід керування зсувом якого з'єднаний з входом синхронізації пристрою, в подальшому з другим входом синхронізації пристрою, вхід керування суматора підключений до входу синхронізації пристрою, в подальшому до другого входу синхронізації пристрою.

Недоліком даного пристрою є обмежені функціональні можливості, оскільки не використовується можливість визначення співвідношення між операндами, тобто формування логічних ознак (>, <, =) порівняння операндів.

В основу корисної моделі поставлено задачу створення пристрою для алгебраїчного додавання чисел, в якому за рахунок введення нових вузлів та зв'язків досягається розширення функціональних можливостей через формування логічних ознак (>, <, =) між операндами.

Поставлена задача вирішується тим, що у пристрій для алгебраїчного додавання чисел, який містить три регістри зсуву, суматор, вузол підсумовування за модулем два, який містить три елемента I, два елемента АБО і елемент Ш, і вузол запису знака результату, який містить елемент АБО і два елемента I, причому входи розрядів першого регістра зсуву з'єднані з входами першого операнда пристрою, входи розрядів другого регістра зсуву з'єднані з входами другого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до першого входу синхронізації пристрою, виходи першого і другого регістрів зсуву підключені до відповідних входів вузла підсумовування за модулем два, входи розрядів суматора підключені до входів першого операнда пристрою, перший і другий входи першого елемента I вузла підсумовування за модулем два з'єднані відповідно з першим і другим входами вузла підсумовування за модулем два, а вихід підключений до входу елемента Ш вузла підсумовування за модулем два, вихід якого підключений до перших входів другого і третього елементів I вузла підсумовування за модулем два, другі входи яких з'єднані відповідно з першим і другим входами першого елемента I вузла підсумовування за модулем два, а виходи підключені до входів першого елемента АБО вузла підсумовування за модулем два, вихід якого підключений до інформаци-

ційного входу третього регістра зсуву, входи другого елемента АБО вузла підсумовування за модулем два з'єднані з виходами першого і третього елементів І вузла підсумовування за модулем два, а вихід підключений до інформаційного входу суматора, виходи знакових розрядів першого і другого регістрів зсуву підключені до перших входів відповідних елементів І вузла запису знака, другі входи яких з'єднані з виходами відповідно другого і третього елементів І вузла підсумовування за модулем два, входи елемента АБО вузла запису знака підключені до виходів першого і другого елементів І вузла запису знака, а вихід підключений до входу знакового розряду третього регістра зсуву, вхід керування зсувом якого з'єднаний з другим входом синхронізації пристрою, вхід керування суматора підключений до другого входу синхронізації пристрою, введено вузол аналізу, який містить перший та другий елементи І і перший та другий D - тригери, причому перші входи елементів І з'єднані з першим і другим входами вузла аналізу відповідно, які підключені до першого і другого входів вузла підсумовування за модулем два, другі входи елементів І з'єднані з третім входом вузла аналізу, який підключений до інформаційного входу третього регістра зсуву, а їх інверсні входи підключені до четвертого входу вузла аналізу, який з'єднаний з виходом ознаки нуля третього регістра зсуву, крім того, у вузлі аналізу вихід першого елемента І з'єднаний з D- входом першого D - тригера, вихід другого елемента І з'єднаний з D- входом другого D - тригера, прямий вихід першого D - тригера є виходом логічної ознаки (>) пристрою, прямий вихід другого D - тригера є виходом логічної ознаки (<) пристрою, а вихід логічної ознаки (=) пристрою з'єднаний з інверсними входами першого і другого елементів І вузла аналізу, установний вхід пристрою підключений до входів скиду першого і другого D - тригерів вузла аналізу, а також до установних входів трьох регістрів зсуву і суматора, третій вхід синхронізації пристрою з'єднаний з входом запису першого регістра зсуву і суматора, четвертий вхід синхронізації пристрою з'єднаний з входом запису другого регістра зсуву, а п'ятий вхід синхронізації пристрою з'єднаний з входами тактових імпульсів трьох регістрів зсуву і суматора.

На Фіг.1 зображено структурну схему пристрою для алгебраїчного додавання чисел, на Фіг.2 подано функціональну схему регістра 1.

Пристрій для алгебраїчного додавання чисел (Фіг.1) містить два регістри зсуву 1 і 2, суматор 3, регістр зсуву 4, вузол 5 підсумовування за модулем два, вузол 6 запису знака. Вузол 5 підсумовування за модулем два містить три елементи 17-9, елемент Ш 10 і два елемента АБО 11 і 12. Виходи регістрів зсуву 1 і 2 з'єднані з входами 13 і 14 вузла 5 підсумовування за модулем два, вихід 15 якого з'єднаний з інформаційним входом суматора 3, вихід 16 з'єднаний з інформаційним входом регістра зсуву 4, а виходи 17 і 18 з'єднані з відповідними входами вузла 6 запису знака.

Входи елемента І 7 вузла 5 підсумовування за модулем два з'єднані з його входами 13 і 14, а вихід з'єднаний з входом елемента Ш 10, вихід якого з'єднаний з першими входами елементів І 8 і 9, другі входи яких підключені до відповідних вхо-

дів елемента І 7. Входи елемента АБО 11 вузла 5 підсумовування за модулем два з'єднані з виходами елементів І 7 і 9, а його вихід є виходом 15 вузла 5 підсумовування за модулем два. Входи елемента АБО 12 вузла 5 підсумовування за модулем два з'єднані з виходами елементів І 8 і 9, а його вихід є виходом 16 вузла 5 підсумовування за модулем два. Виходи елементів І 8 і 9 є відповідно виходами 17 і 18 вузла 5 підсумовування за модулем два.

Вузол 6 запису знака містить два елементи І 19 і 20 і елемент АБО 21, а його входи 22 і 23 підключені до виходів знакових розрядів регістрів зсуву 1 і 2 відповідно. Входи елемента І 19 вузла 6 запису знака з'єднані з входом 22 вузла 6 запису знака і виходом 17 вузла 5 підсумовування за модулем два, а входи елемента І 20 з'єднані з входом 23 вузла 6 запису знака і виходом 18 вузла 5 підсумовування за модулем два. Виходи елементів І 19 і 20 з'єднані з входами елемента АБО 21, вихід якого є виходом 24 вузла 6 запису знака і з'єднаний з входом знакового розряду регістра зсуву 4.

Вузол 25 аналізу містить два елементи І 26, 27 і два D - тригери 28, 29. Перші входи елементів І 26, 27 з'єднані з входами 30 і 31 вузла 25 аналізу відповідно, які підключені до входів 13 і 14 вузла 5 підсумовування за модулем два. Другі входи елементів І 26, 27 з'єднані з входом 32 вузла 25 аналізу, який підключений до виходу 16 вузла 5 підсумовування за модулем два, а їх інверсні входи з'єднані з виходом 33 ознаки нуля регістра зсуву 4. У вузлі 25 аналізу вихід елемента І 26 з'єднаний з D-входом D - тригера 28, вихід елемента І 27 з'єднаний з 3D- входом D - тригера 29, прямий вихід D-тригера 28 є виходом 34 логічної ознаки (>) пристрою, прямий вихід D -тригера 29 є виходом 35 логічної ознаки (<) пристрою, а вихід 36 логічної ознаки (=) пристрою з'єднаний з інверсними входами елементів І 26, І 27 вузла 25 аналізу.

Установний вхід 37 пристрою підключений до входів скиду D -тригерів 28,29 вузла 25 аналізу, а також до установних входів регістрів зсуву 1, 2, 4, і суматора 3, вхід 38 першого операнда А підключений до входів розрядів регістра зсуву 1 і суматора 3, вхід 39 другого операнда В підключений до входів розрядів регістра зсуву 2. Вхід 40 синхронізації пристрою з'єднаний з входами керування зсувом регістрів зсуву 1 і 2, вхід 41 синхронізації пристрою з'єднаний з входом керування суматора 3 і входом керування зсувом регістра зсуву 4, вхід 42 синхронізації пристрою з'єднаний з входами запису регістра зсуву 1 і суматора 3, вхід синхронізації 43 пристрою з'єднаний з входом запису регістра зсуву 2, а вхід синхронізації 44 пристрою з'єднаний з входами тактових імпульсів регістрів зсуву 1, 2, 4 і суматора 3.

Регістр зсуву 1 (Фіг.2) містить розрядні комірки 45.1, ..., 45, n, комірку 46 початкового стану, D-тригер 47, вузол 48 перемикання напрямку лічби, першу шину 49 непарних імпульсів, першу шину 50 парних імпульсів, другу шину 51 непарних імпульсів, другу шину 52 парних імпульсів, третю шину 53 непарних імпульсів, третю шину 54 парних імпульсів, RS - тригер 55, вхід 56 прямої лічби, вхід 57 зворотної лічби, чотири елементи І 58 - 61. Від-

повідно розрядні комірки 45.1, ..., 45, n і комірка 46 початкового стану мають три входи 62 - 64 керування і містять транзистор 65, джерело 66 світла з п'ятьма оптичними виходами 67-71, крім комірки 46 початкового стану, яка містить джерело 66 світла з чотирма оптичними виходами 67, 68, 70, 71, та розрядної комірки 45.n, яка містить джерело 66 світла з чотирма оптичними виходами 67 - 70, п'ять фотоприймачів 72 - 76, крім комірки 46 початкового стану, яка містить чотири фотоприймачі 72 - 75, та розрядної комірки 45.n, яка містить три фотоприймачі 72, 73, 76, три розділові діоди 77-79. Регістр зсуву 1 містить також загальну шину 80, шину 81 живлення, елемент АБО-НІ 82, три елементи І 83 - 85, елемент НІ 86, елемент АБО 87, генератор 88 тактових імпульсів. Крім того, регістр зсуву 1 містить четверту шину 89 непарних імпульсів і четверту шину 90 парних імпульсів, а комірка 46 початкового стану містить світлодіод 91 і резистор 92.

Перший і другий входи вузла 48 перемикання напрямку лічби підключені до прямого та інверсного виходів D - тригера 47 відповідно, перший вихід вузла 48 перемикання напрямку лічби підключений до першої шини 49 непарних імпульсів, другий - четвертий виходи підключені до першої шини 50 парних імпульсів, другої шини 51 непарних імпульсів і до другої шини 52 парних імпульсів відповідно. Перша шина 49 непарних імпульсів підключена до входів 62 керування непарних розрядних комірок 45.1, ..., 45, n, якщо n непарне число, перша шина 50 парних імпульсів підключена до входів 62 керування парних розрядних комірок 45.2, ..., 45, n-1 та комірки 46 початкового стану, друга шина 51 непарних імпульсів підключена до входів 63 керування непарних розрядних комірок 45.1, ..., 45, n, друга шина 52 парних імпульсів підключена до входів 63 керування парних розрядних комірок 45.2, ..., 45, n-1 та комірки 46 початкового стану.

У розрядних комірках 45.1, ..., 45, n і комірки 46 початкового стану перший вивід джерела 66 світла підключений до шини 81 живлення, другий вивід підключений до колектора транзистора 65, емітер якого підключений до загальної шини 80, база підключена до перших виводів фотоприймачів 72- 76, крім розрядної комірки 45, n, в якій база підключена до перших виводів фотоприймачів 72, 73, 76 і комірки 46 початкового стану, в якій база підключена до перших виводів фотоприймачів 72-75. Оптичний вихід 67 джерела 66 світла з'єднаний з фотоприймачем 72 своєї комірки, оптичний вихід 68 з'єднаний з фотоприймачем 73 наступної розрядної комірки, оптичний вихід 69 з'єднаний з фотоприймачем 75 попередньої розрядної комірки, крім комірки 46 початкового стану, оптичний вихід 70 з'єднаний з фотоприймачем 74 попередньої розрядної комірки, оптичний вихід 71 з'єднаний з фотоприймачем 76 наступної розрядної комірки, крім останньої розрядної комірки 45, n. Прямий вихід RS - тригера 55 підключений до перших входів елементів І 58, 59, інверсний вихід підключений до перших входів елементів І 60, 61, перший вхід вузла 48 перемикання напрямку лічби підключений до других входів елементів І 58, 60, другий вхід підключений до других входів елементів І 59, 61, виходи елементів І 58 - 61 підключені відповідно

до першого - четвертого виходів вузла 48 перемикання напрямку лічби.

Третя шина 53 непарних імпульсів підключена до прямого виходу D - тригера 47 і до входу 64 керування непарних розрядних комірок 45.1, ..., 45, n, третя шина 54 парних імпульсів підключена до інверсного виходу D-тригера 47, до його D-входу і до входу 64 керування парних розрядних комірок 45.2, ..., 45, n-1 і комірки 46 початкового стану, в якій світлодіод 91 оптично зв'язаний з фотоприймачем 73. Анод світлодіода 91 через резистор 92 підключений до шини 81 живлення, катод підключений до інверсного R-входу D-тригера 47 і до входу 56 прямої лічби пристрою, який з'єднаний з інверсним S - входом RS - тригера 55, інверсний R - вхід якого підключений до входу 57 зворотної лічби. Четверта шина 89 непарних імпульсів підключена до прямого виходу RS - тригера 55 і до других виводів фотоприймачів 76 непарних розрядних комірок 45.1, ..., 45, n, а четверта шина 90 парних імпульсів підключена до інверсного виходу RS - тригера 55 і до других виводів фотоприймачів 75 парних розрядних комірок 45.2, ..., 45, n-1 і комірки 46 початкового стану.

У всіх розрядних комірках 45.1, ..., 45, n і у комірки 46 початкового стану між входами 62 - 64 керування і другими виводами фотоприймачів 73, 74, 72 включені відповідно розділові діоди 77 - 79, а в якості п'ятих фотоприймачів 72 - 76 використовуються фотодіоди. С - вхід D - тригера 47 підключений до виходу елемента АБО 87, перший вхід якого підключений до виходу елемента І 83, а другий вхід підключений до виходу елемента І 84.

Оптичний вихід 70 джерела 66 світла комірки 46 початкового стану є оптичним виходом позики регістра зсуву 1, оптичний вихід 68 джерела 66 світла останньої розрядної комірки 45, n є оптичним виходом переносу регістра зсуву 1, вивід з колектора транзистора 65 комірки 46 початкового стану через елемент І 85 з'єднаний з інформаційним виходом 13 регістра зсуву 1.

Вхід 37 встановлення у початковий стан регістра зсуву 1 з'єднаний з першим входом елемента АБО - НІ 82, другий вхід якого з'єднаний з входом 42 запису, вхід 40 керування зсувом регістра зсуву 1 через елемент НІ 86 підключений до входу 57 зворотної лічби, а вихід елемента АБО - НІ 82 підключений до входу 56 прямої лічби. Вхід 40 керування зсувом регістра зсуву 1 підключений до входу запуску генератора 88 тактових імпульсів і до першого входу елемента І 84, другий вхід якого з'єднаний з виходом генератора 88 тактових імпульсів, а інверсний вхід з'єднаний з інформаційним входом 38 регістра зсуву 1. Вихід елемента І 84 з'єднаний також з першим входом елемента І 85, другий вхід якого з'єднаний з колекторним виводом транзистора 65 комірки 46 початкового стану, а вихід елемента І 85 є інформаційним виходом 13 регістра зсуву 1, перший вхід елемента І 83 з'єднаний з входом 44 тактових імпульсів, а його другий вхід з'єднаний з інформаційним входом 38 регістра зсуву 1.

Пристрій для алгебраїчного додавання чисел (Фіг.1) працює таким чином.

Під час першого такту роботи пристрою виконується запис першого операнда А зі входу 38

пристрою у регістр зсуву 1 і суматор 3 за наявності сигналу запису на вході 42 синхронізації пристрою. За другий такт записується другий операнд В зі входу 39 пристрою у регістр зсуву 2 за наявності сигналу запису на вході 43 синхронізації пристрою. Запис операндів здійснюється в одиничному позиційному коді. Потім виконується обробка вузлом 5 підсумовування за модулем два і вузлом 25 аналізу інформації, що подається на їх відповідні входи 13, 14 і 30, 31 в результаті одночасного зсуву вмісту обох регістрів зсуву 1 і 2 до їх повного обнуління за сигналами керування зсувом на вході 40 синхронізації пристрою. Вузлом 5 підсумовування за модулем два визначається загальна частина обох операндів, яка з його виходу 15 подається на інформаційний вхід суматора 3, де підсумовується з операндом А, записаним раніше. Таким чином, у суматорі 3 фіксується сума двох

операндів А і В, якщо виконується співвідношення  $A > B$ , або подвоєне значення операнда А, якщо  $A < B$ .

Різниця  $|A-B|$  операндів А і В з виходу 15 вузла 5 підсумовування за модулем два подається на інформаційний вхід суматора 3 для формування суми операндів А і В у випадку, якщо  $A < B$ , а з виходу 16 вузла 5 підсумовування за модулем два різниця  $|A-B|$  записується в регістр зсуву 4. Одиничний сигнал на виході 17 вузла 5 підсумовування за модулем два дозволяє запис в знаковий розряд регістра зсуву 4 знака операнда А, що подається на вхід 22 вузла 6 запису знака, для випадку, коли  $A > B$ , а одиничний сигнал на виході 18 вузла 5 підсумовування за модулем два дозволяє запис знака операнда В, що подається на вхід 23 вузла 6 запису знака, для випадку, коли  $A < B$ .

Таблиця 1

Знак першого операнда	Код операції	Знак другого операнда	Перетворений знак другого операнда	Знак результату	Виконувана операція
+	+	+	+	+	+
+	+	-	-	Знак більшого операнда	-
-	+	+	+	Знак більшого операнда	-
-	+	-	-	-	+
+	-	+	-	Знак більшого операнда	-
+	-	-	+	+	+
-	-	+	-	-	+
-	-	-	+	Знак більшого операнда	-

Знак операції враховується при записі другого операнда, тобто у разі операції додавання його знак залишається без зміни, у разі операції віднімання - змінюється на протилежний. Таким чином, у пристрої виконуються операції над операндами, знаки яких не впливають на вибір виконуваної операції, оскільки за один цикл роботи пристрою формуються одночасно і сума і різниця операндів А і В. Знаки операндів враховуються при фіксації знака результату, причому знак суми співпадає зі знаком операнда А, а знаку різниці привласнюється знак більшого з операндів, як впливає з таблиці 1.

Відповідно до даних таблиці 1 можна визначити знаходження результату таким чином: якщо знаки операндів, які записані в знакові розряди регістрів зсуву 1 і 2, співпадають, то результат знаходиться в суматорі 3, інакше результат слід зчитувати з регістра зсуву 4. Зсув інформації в регістрах зсуву 1 і 2 виконується при надходженні сигналів керування зсувом з входу 40 синхронізації пристрою, зсув інформації в суматорі 3 і регістрі зсуву 4 - при надходженні сигналів керування зсувом з входу 41 синхронізації пристрою.

З виходів регістрів зсуву 1 і 2 через відповідні входи 30 і 31 вузла 25 аналізу поступають одиничні сигнали при зсуві даних в цих регістрах. На ви-

ході елемента І 26 вузла 25 аналізу одиничний сигнал буде присутній в тому випадку, якщо буде відсутній одиничний сигнал на виході 33 ознаки нуля регістра зсуву 4 і присутні одиничні сигнали на вході 30 вузла 25 аналізу і на виході 16 вузла 5 підсумовування за модулем два. А це можливо тільки тоді, коли виконується таке співвідношення між операндами:  $A > B$ . В результаті D - тригер 28 встановлюється в одиничний стан і на виході 34 логічної ознаки (>) пристрою фіксується одиничний сигнал.

На виході елемента І 27 вузла 25 аналізу одиничний сигнал буде присутній в тому випадку, якщо буде відсутній одиничний сигнал на виході 33 ознаки нуля регістра зсуву 4 і присутні одиничні сигнали на вході 31 вузла 25 аналізу і на виході 16 вузла 5 підсумовування за модулем два. А це можливо тільки тоді, коли виконується таке співвідношення між операндами:  $A < B$ . В результаті D - тригер 29 встановлюється в одиничний стан і на виході 35 логічної ознаки (<) пристрою фіксується одиничний сигнал.

У випадку наявності одиничного сигналу на виході 33 ознаки нуля регістра зсуву 4 присутній одиничний сигнал на виході 36 логічної ознаки (=) пристрою.

Розглянемо приклад алгебраїчного додавання двох чисел  $A = 9$  і  $B = 4$ , які в регістрах зсуву 1 і 2 і суматорі 3 представлені в такому вигляді:

Суматор 3 : 000000001 (A)

Регістр 1 : 000000001 (A)

Регістр 2: 000100000 (B)

При одночасному зсуві вмісту обох регістрів зсуву 1 і 2 на виході елемента І 7 присутній одиничний сигнал протягом  $4\tau$ , де  $\tau$  - час зсуву однієї одиниці в регістрах зсуву 1, 2 і 4 і суматорі 3, який при подачі через елемент АБО 11 з виходу 15 вузла 5 підсумовування за модулем два на вхід суматора 3 приводить до збільшення його вмісту, тобто раніше записаного операнда А, на величину загальної частини операндів А і В, тобто на число 4. В результаті цього додавання в суматорі 3 утворюється сума операндів  $(A + B)$ , а регістр зсуву 2 обнулюється.

При подальшому зсуві інформації в регістрі зсуву 1 одиничний сигнал присутній на виході елемента І 8, а отже, на виходах 16 і 17 вузла 5 підсумовування за модулем два протягом часу  $5\tau$ . Таким чином відбувається запис різниці  $|A - B|$  в регістр зсуву 4 з виходу 16 вузла 5 підсумовування за модулем два, одночасно з цим здійснюється запис знака операнда А через елементи І 19 і АБО 21 вузла 6 запису знака з його виходу 24 у знаковий розряд регістра зсуву 4, оскільки в даному випадку виконується співвідношення  $A > B$  і знаку різниці присвоюється значення знака більшого операнда А. Зсув інформації в регістрі зсуву 1 виконується до повного його обнулення за сигналом керування зсувом з входу 40 синхронізації пристрою.

При алгебраїчному додаванні двох чисел можливий випадок, коли  $A < B$  тобто коли операнди мають такі значення:  $A=4$  і  $B=9$ . В цьому випадку загальна частина обох чисел, яка визначається вузлом 5 підсумовування за модулем два і подається з його виходу 15, при підсумовуванні з операндом А, що знаходиться в суматорі 3, дає подвоєне значення загальної частини операндів А і В, тобто величину  $2A$ , що дорівнює 8. Різниця операндів  $|A - B|$  у вигляді тривалості одиничного сигналу, що існує на виході елемента І 9 протягом часу  $5\tau$ , приводить до появи одиничного сигналу такої ж тривалості на виходах 15, 16 і 18 вузла 5 підсумовування за модулем два. Таким чином, різниця операндів  $|A - B|$  подається на вхід суматора 3 і бере участь у формуванні суми операндів, оскільки  $A + B = 2A + |A - B|$ . З виходу 16 вузла 5 підсумовування за модулем два різниця  $|A - B|$  записується в регістр зсуву 4, а також дозволяється запис знака операнда В через елементи І 20 і АБО 21 вузла 6 запису знака в знаковий розряд регістра зсуву 4 за сигналом з виходу 18 вузла 5 підсумовування за модулем два. Зсув вмісту регістра зсуву 2 виконується до повного його обнулення за сигналом керування зсувом з входу 40 синхронізації пристрою. Отже, сума двох операндів формується в суматорі 3, різниця в регістрі зсуву 4, причому знаку різниці присвоюється значення знака більшого з двох операндів.

Регістр зсуву 1 (фіг.2) працює в такий спосіб.

Для готовності регістра зсуву 1 до запису інформації на шину 81 живлення подається напруга

живлення. Для встановлення початкового стану при наявності одиничного сигналу на установному вході 37 регістра зсуву 1 на виході елемента АБО - Ш 82 формується нульовий сигнал, тобто присутній нульовий сигнал на вході 56 прямої лічби і одиничний сигнал на вході 57 зворотної лічби, а отже, RS-тригер 55 встановлюється в одиничний стан, а D-тригер 47 встановлюється в нульовий стан. В результаті на перший вхід елемента І 59 надходить логічна "1" з прямого виходу RS-тригера 55, а на другий вхід надходить логічна "1" з інверсного виходу D-тригера 47. Отже, у вузлі 48 перемикання напрямку лічби на виході елемента І 59 з'являється високий потенціал, на виходах елементів І 58, 60, 61 з'являються низькі потенціали, на шині 89 фіксується високий потенціал, а на шині 90 - низький потенціал.

Одночасно з цим відбувається збудження комірки 46 початкового стану. На катоді світлодіода 91 присутній низький потенціал, по колу шина 81 живлення - резистор 92 - світлодіод 91 тече струм, що збуджує світлодіод 91, який, у свою чергу, оптично діє на фотоприймач 73 комірки 46 початкового стану. Під дією цього зв'язку і високого потенціалу на шині 50 і на вході 62 керування опір фотоприймача 73 різко зменшується й в результаті транзистор 65 відкривається. По колу джерело 66 світла - колектор - емітер транзистора 65 ~ загальна шина 80 тече струм, джерело 66 світла випромінює світло, по колу вихід 67 - фотоприймач 72 при наявності високого потенціалу на шині 54 і на вході 64 керування забезпечується позитивний зворотний зв'язок, комірка 46 початкового стану запам'ятовує інформацію, тобто зберігає одиничний сигнал. З виходу 68 джерела 66 світла комірки 46 початкового стану оптичний сигнал впливає на фотоприймач 73 наступної розрядної комірки 45.1, підготовляючи її до роботи.

При виконанні запису інформації необхідно подати одиничний сигнал на вхід 42 запису і нульовий сигнал на установний вхід 37 регістра зсуву 1, тобто на інверсний S - вхід RS - тригера 55 через елемент АБО - Ш 82 подати низький потенціал, що встановлює його в одиничний стан. В результаті шини 49, 50, 89 підключені, а шини 51, 52, 90 відключені, крім того, шини 49 і 50, 53 і 54 мають високі потенціали попарно поперемінно, в залежності від величини тривалості сигналу на інформаційному вході 38. На перший вхід елемента І 83 з інформаційного входу 38 регістра зсуву 1 надходять інформаційні сигнали, а на його другий вхід надходять тактові імпульси з входу 44. D - тригер 47 починає працювати в режимі лічби.

З приходом одиничного сигналу з інформаційного входу 38 тактовий імпульс з входу 44 через елементи І 83 і АБО 87 подається на С - вхід D - тригера 47. В результаті D - тригер 47 перейде в одиничний стан, тобто на його прямому виході з'являється логічна "1", а на інверсному з'являється логічний "0". В результаті на виході елемента І 59 з'явиться низький потенціал, тому що на його другий вхід надходить логічний "0" з інверсного виходу D-тригера 47, а на виході елемента І 58 з'явиться високий потенціал, тому що на його перший вхід надходить логічна "1" з прямого виходу

RS - тригера 55, а на другий вхід надходить логічна "1" з прямого виходу D - тригера 47.

Під дією оптичного сигналу з виходу 68 джерела 66 світла комірки 46 початкового стану і високого потенціалу, що надходить з шини 49 на вхід 62 керування, опір фотоприймача 73 розрядної комірки 45.1 різко зменшується. В результаті транзистор 65 розрядної комірки 45.1 відкривається, по колу джерело 66 світла - колектор - емітер транзистора 65 - загальна шина 80 тече струм, джерело 66 світла випромінює світло і через вихід 67 впливає на фотоприймач 72, забезпечуючи позитивний зворотний зв'язок. Розрядна комірка 45.1 запам'ятовує сигнал запису. Обнулення комірки 46 початкового стану відбувається завдяки наявності фотоприймача 75 та нульового потенціалу на шинах 50, 52, 90, що приводить до запирання транзистора 65. З приходом наступного тактового імпульсу зі входу 44 D - тригер 47 перейде в нульовий стан, тобто на його прямому виході з'явиться логічний "0", а на інверсному виході з'явиться логічна "1". В результаті на шині 49 з'явиться низький потенціал, а на шині 50 з'явиться високий потенціал. Під дією оптичного зв'язку з виходу 68 розрядної комірки 45.1 на фотоприймач 73 розрядної комірки 45.2 і високого потенціалу з шини 50 опір фотоприймача 73 розрядної комірки 45.2 різко зменшується, транзистор 65 відкривається, записується одиничний сигнал у розрядну комірку 45.2 і обнулюється розрядна комірка 45.1 аналогічно наведеному вище.

Аналогічним способом відбувається спрацювання наступних розрядних комірок 45.3, ..., 45.n регістра зсуву 1, тобто пряме (праворуч) просування одиничного сигналу. При цьому задіює входи 62 і 64 керування та діоди 77 і 79 розрядних комірок 45.1, ..., 45.n. Кількість розрядних комірок 45.1, ..., 45.n, що спрацювали, визначається тривалістю сигналу на інформаційному вході 38 регістра зсуву 1. При переповненні розрядної сітки регістра зсуву 1 одиниця переносу з'являється на оптичному виході 68 останньої розрядної комірки 45.n.

При зчитуванні інформації на інверсний S - вхід RS - тригера 55 подається одиничний потенціал, оскільки на входах елемента АБО – НІ 82 присутні нульові сигнали з входу 42 запису і установного входу 37, а на інверсний R - вхід RS - тригера 55 подається через елемент НІ 86 нульовий потенціал, оскільки на вході 40 керування зсувом присутній одиничний сигнал, що формує нульовий сигнал на виході елемента НІ 86. В результаті RS-тригер 55 встановлюється в нульовий стан, отже, шини 49, 50, 89 відключені, тобто мають низькі потенціали, а шини 51, 52, 90 підключені, крім того, шини 51 і 52, 53 і 54 мають високі потенціали попарно поперемінно, в залежності від величини тривалості сигналу на вході 40 керування зсувом.

Одиничний сигнал зі входу 40 керування зсувом регістра зсуву 1 запускає генератор 88 тактових імпульсів, який формує серію імпульсів тривалістю  $p\tau$ , де  $\tau$  - час спрацювання однієї розрядної комірки 45.1, ..., 45.n. Ці сигнали з'являються на виході елемента І 84 лише коли відсутні сигнали на інформаційному вході 38 регістра зсуву 1. Отже, послідовність імпульсів з виходу генератора 88 тактових імпульсів через елементи І 84,

АБО 87 подається на С - вхід D - тригера 47. D - тригер 47 починає працювати в режимі лічби.

Спочатку D - тригер 47 перейде в нульовий стан, тобто на його прямому виході з'являється логічний "0", а на інверсному з'являється логічна "1". В результаті на виході елемента І 60 з'явиться низький потенціал, тому що на його другий вхід надходить логічний "0" з прямого виходу D - тригера 47, а на виході елемента І 61 з'явиться високий потенціал, тому що на його перший вхід надходить логічна "1" з інверсного виходу RS-тригера 55, а на другий вхід надходить логічна "1" з інверсного виходу D - тригера 47.

Під дією оптичного сигналу з виходу 69 джерела 66 світла будь - якої р-ої розрядної комірки 45.p, наприклад, розрядної комірки 45.n і високого потенціалу, що надходить з шини 52, опір фотоприймача 74 розрядної комірки 45.n-1 різко зменшується. В результаті транзистор 65 розрядної комірки 45.n-1 відкривається, по колу джерело 66 світла - колектор - емітер транзистора 65 - загальна шина 80 тече струм, джерело 66 світла випромінює світло і через вихід 67 впливає на фотоприймач 72, забезпечуючи позитивний зворотний зв'язок. Розрядна комірка 45.n-1 запам'ятовує сигнал запису. Обнулення розрядної комірки 45.n-1 початкового стану відбувається завдяки наявності фотоприймача 76 та нульового потенціалу з шин 51, 89, що приводить до запирання транзистора 65.

З приходом наступного тактового імпульсу зі входу 44 з виходу генератора 88 тактових імпульсів через елементи І 84, АБО 87, D - тригер 47 перейде в одиничний стан, тобто на його прямому виході з'явиться логічна "1", а на інверсному виході з'явиться логічний "0". В результаті на шині 52 з'явиться низький потенціал, а на шині 51 з'явиться високий потенціал. Під дією оптичного зв'язку з виходу 66 розрядної комірки 45.n-1 на фотоприймач 74 розрядної комірки 45.n-2 і високого потенціалу з шини 51 опір фотоприймача 74 розрядної комірки 45.n-2 різко зменшується, транзистор 65 відкривається, записується одиничний сигнал у розрядну комірку 45.n-2 і обнулюється розрядна комірка 45.n-1 аналогічно наведеному вище.

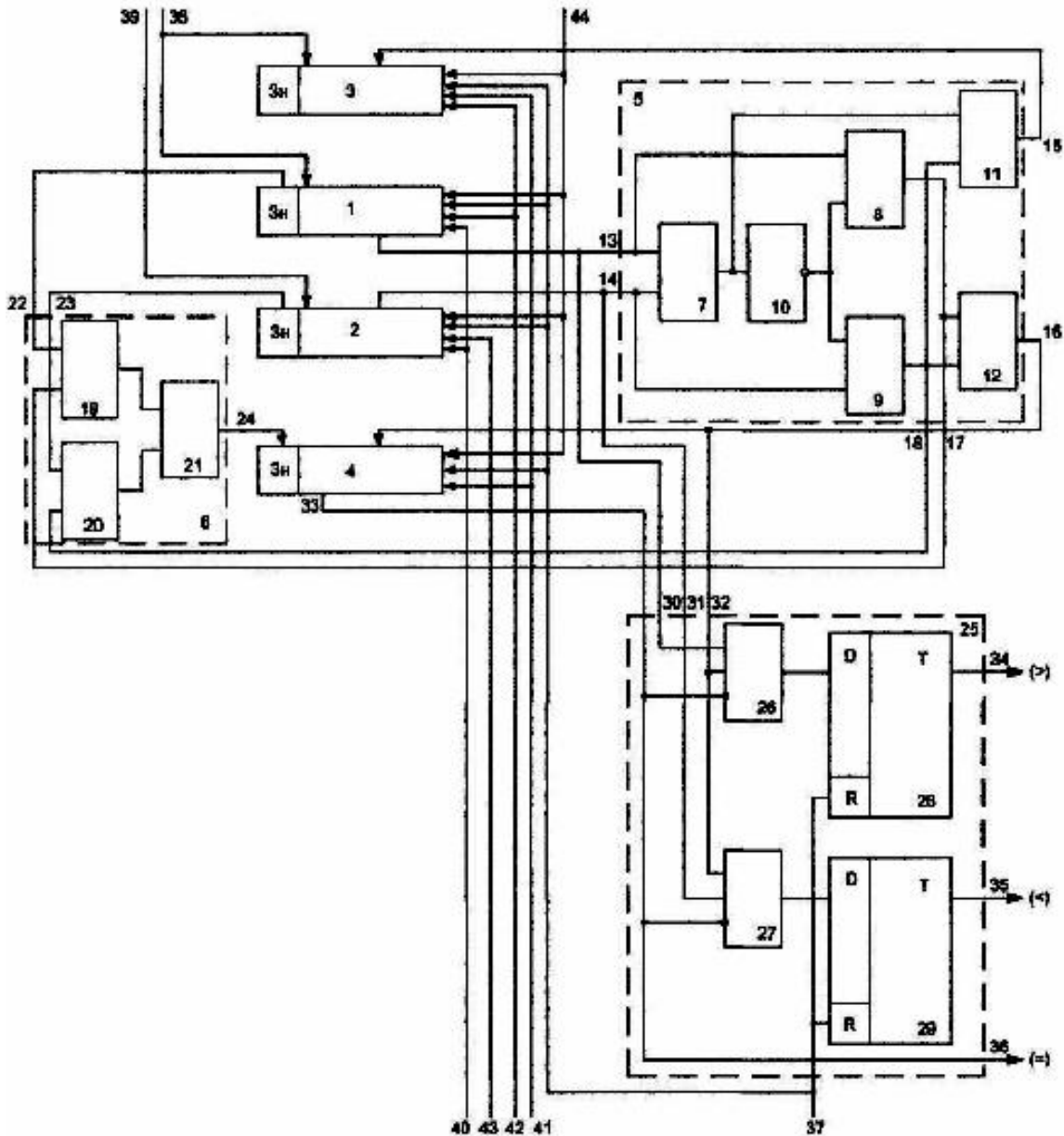
В результаті відбувається зворотне (ліворуч) просування одиничного сигналу у розрядних комітках 45.1, ..., 45.n до їх обнулення. При цьому задіює входи 63 і 64 керування та діоди 78 і 79 розрядних комірок 45.1, ..., 45.n. При спрацюванні комірки 46 початкового стану одиниця позики з'являється на оптичному виході 70 цієї комірки.

Одночасно тактові імпульси з виходу генератора 88 тактових імпульсів через елемент І 84 подаються на вхід елемента І 85 і з'являються на його виході за умови, що присутній ненульовий потенціал на колекторному виводі транзистора 65 комірки 46 початкового стану, а це можливо, коли в цій комірці відсутня інформація, тобто джерело 66 світла цієї комірки не випромінює світло. За час, що дорівнює  $p\tau$ , де  $p$  - кількість розрядних комірок, що спрацювали під час запису інформації перед зчитуванням, обнуляться всі  $p$  розрядних комірок 45.1, ..., 45.n ( $p=1, \dots, n$ ), а головне, спрацює комірка 46 початкового стану, що призведе до припинення проходження сигналу на вихід елеме-

нта I 85, оскільки з колекторного виводу транзистора 65 цієї комірки на вхід елемента I 85 подається нульовий потенціал. Отже, на виході елемента I 85, який є виходом 13 регістра зсуву 1, буде сформовано одиничний сигнал тривалістю  $\rho\tau$ , який буде дорівнювати тривалості інформації, що зберігалась у регістрі зсуву 1.

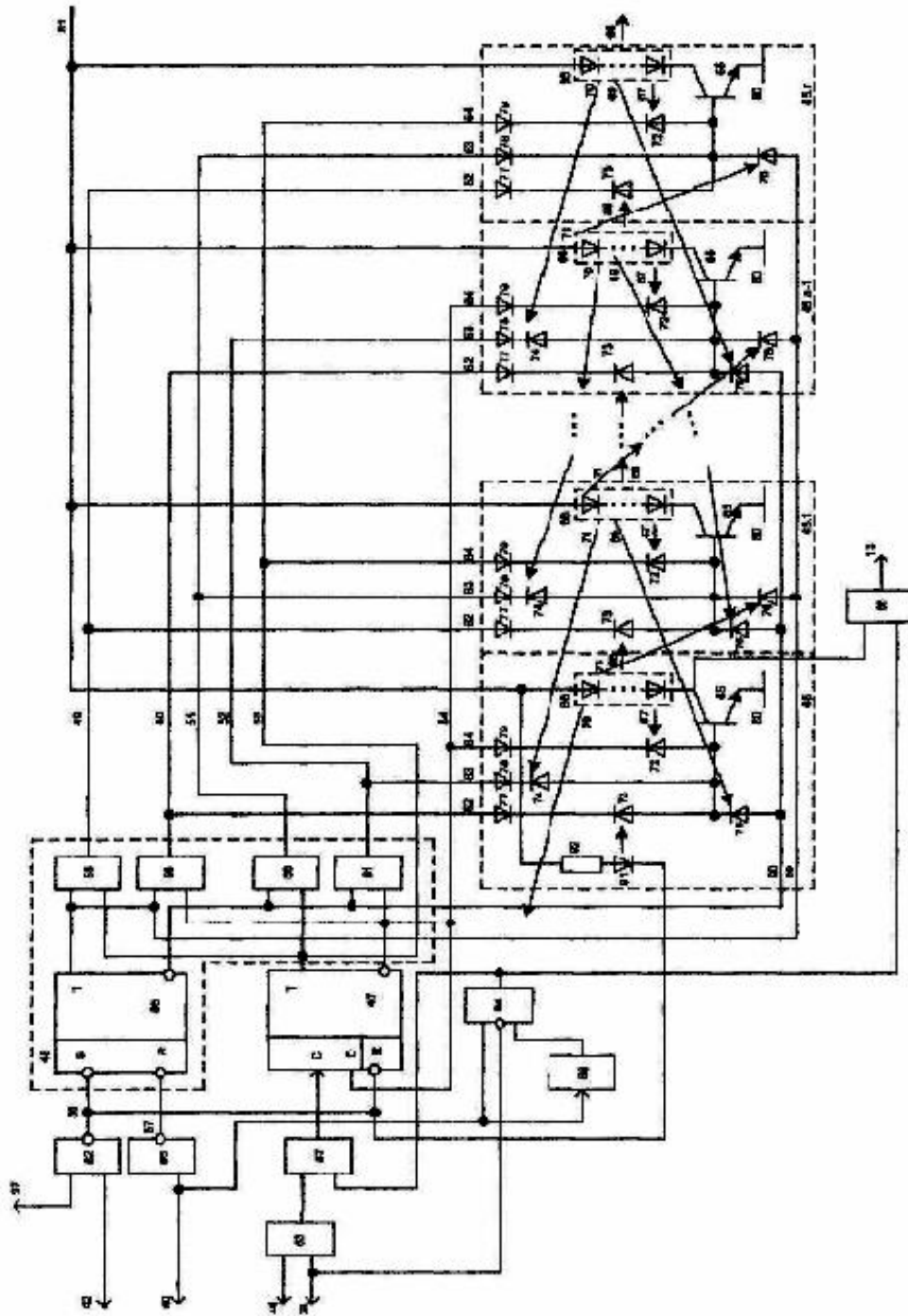
У запропонованому пристрої для алгебраїчного додавання чисел передбачено одночасне отримання суми і різниці операндів, які формуються

вузлом підсумовування за модулем два під час паралельного зсуву в обох регістрах зсуву інформації, яка подана в одиничному позиційному коді. Крім того, в процесі одночасного зсуву інформації в обох регістрах зсуву до їх повного обнулення визначаються у вузлі аналізу логічні ознаки ( $>$ ,  $<$ ,  $=$ ) двох операндів, що розширює функціональні можливості пристрою для алгебраїчного додавання чисел.



Фиг. 1





Фиг. 2