



УКРАЇНА

(19) UA (11) 38903 (13) U
(51) МПК (2009)
G06F 7/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) АРИФМЕТИЧНИЙ ПРИСТРІЙ

1

2

(21) u200810057

(22) 04.08.2008

(24) 26.01.2009

(46) 26.01.2009, Бюл.№ 2, 2009 р.

(72) КОЖЕМЯКО ВОЛОДИМИР ПРОКОПОВИЧ,
UA, МАРТИНЮК ТЕТЯНА БОРИСІВНА, UA,
БОЙКО ОКСАНА АРКАДІЇВНА, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ, UA

(57) Арифметичний пристрій, який містить регістр, суматор, генератор кратних множеного, вузол формування знака, лічильник, програмний блок керування, суматор аналізу положення коми, вузол аналізу цифр множника, причому вхід другого операнда пристрою з'єднаний з інформаційним входом регістра, вихід знакового розряду регістра підключений до першого входу вузла формування знака, виходи програмного блока керування з першого по третій підключені відповідно до входів обнулення регістра, суматора і лічильника, четвертий і п'ятий виходи програмного блока керування підключені до входів керування записом регістра і суматора, вихід старшого інформаційного розряду суматора підключений до інформаційного входу молодшого інформаційного розряду регістра, шостий вихід програмного блока керування підключений до входу керування записом лічильника, вихід ознаки рівності нулю якого підключений до входу ознаки закінчення лічби програмного блока керування, сьомий, восьмий і дев'ятий виходи якого підключені відповідно до входу керування зсувом регістра, входу лічби лічильника, входу керування зсувом суматора, вхід запуску програмного блока керування з'єднаний з входом запуску пристрою, інформаційний вхід лічильника є входом розрядності другого операнда пристрою, десятий і одинадцятий виходи програмного блока керування з'єднані з входами керування записом знака і обнулення старшого k-го розряду регістра, вихід ознаки нуля старшого k-го розряду регістра підключений до входу ознаки виконання додавання в даному такті програмного блока керування, виходи розрядів суматора з'єднані з виходами молодших розрядів добутку пристрою, виходи розрядів регістра з'єднані з виходами старших розрядів добутку пристрою, дванадцятий, тринадцятий, чотирнадцятий і п'ятнадцятий виходи програмного блока керування з'єднані з входом встановлення у початковий стан, входом керування записом, входом керування зчитуванням і входом керування формуванням кратних генератора кратних множеного відповідно, два інформаційних входи суматора аналізу положення коми з'єднані з входами розрядності дробових частин першого і другого операндів пристрою відповідно, виходи суматора аналізу положення коми підключені до виходів індикації положення коми пристрою, шістнадцятий і сімнадцятий виходи програмного блока керування з'єднані з входом встановлення у початковий стан і входом керування записом суматора аналізу положення коми, вхід вузла аналізу цифр множника з'єднаний з виходом старшого k-го розряду регістра, вхід керування значенням кратності генератора кратних множеного з'єднаний з виходом вузла аналізу цифр множника, причому двадцять перший і двадцять другий виходи програмного блока керування з'єднані з входами керування зчитуванням регістра і суматора відповідно, вихід вузла формування знака з'єднано зі знаковим розрядом регістра, який відрізняється тим, що в нього введено суматор-віднімач, причому вхід першого операнда з'єднаний з інформаційним входом суматора, вихід якого з'єднаний з входом генератора кратних множеного, вісімнадцятий, дев'ятнадцятий і двадцятий виходи програмного блока керування підключені відповідно до входу обнулення, входу керування записом і входу керування зчитуванням суматора-віднімача, вихід регістра з'єднаний з інформаційним входом суматора-віднімача, який також з'єднаний з виходом суматора, вихід суматора-віднімача з'єднаний з інформаційним входом суматора, виходи розрядів суматора-віднімача з'єднані з виходами розрядів результату операції додавання або віднімання, інформаційний вихід генератора кратних множеного з'єднаний з входом суматора-віднімача, вихід знакового розряду суматора з'єднаний з другим входом вузла формування знака, вихід якого з'єднаний зі знаковим розрядом суматора-віднімача і регістра, входи кодів операцій додавання, віднімання і множення з'єднані з відповідними входами програмного блока керування.

UA (19) 38903 (13) U

Корисна модель відноситься до обчислювальної техніки і може бути використана в оптоелектронних обчислювальних пристроях, що виконують операції над десятковими числами з природним положенням коми.

Відомий пристрій для множення [А. с. СРСР №1136151, кл. G06 F7/49, Бюл. № 3, 1985 р.], який містить реєстр множника, накопичувальний суматор, вузол формування знака, генератор кратних множеного, вузол підрахунку кількості значущих розрядів у кодовому слові множника, лічильник, реєстр розрядності множника, програмний блок керування, дешифратор і комутатор, причому інформаційний вхід комутатора підключений до виходу генератора кратних множеного, а вихід з'єднаний з інформаційним входом накопичувального суматора, вихід старшого інформаційного розряду реєстра множника з'єднаний з входом дешифратора, нульовий вихід якого підключений до третього входу програмного блока керування, а решта виходів - до керуючих входів комутатора, вихід реєстра розрядності множника з'єднаний з четвертим входом програмного блока керування, вхід множника пристрою з'єднаний з інформаційним входом реєстра множника, вхід множеного пристрою підключений до інформаційного входу генератора кратних множеного, виходи знакових розрядів реєстра множника і накопичувального суматора підключені відповідно до входів вузла формування знака, вихід якого з'єднаний з входом знакового розряду накопичувального суматора, вихід інформаційних розрядів реєстра множника з'єднаний з входом вузла підрахунку кількості значущих розрядів в кодовому слові множника, вихід якого з'єднаний з інформаційними входами реєстра розрядності множника і лічильника, виходи програмного блока керування з першого по третій підключені відповідно до входів обнулення реєстра множника, накопичувального суматора, лічильника, четвертий і п'ятий виходи програмного блока керування підключені до входів керування записом реєстра множника і накопичувального суматора, вихід старшого інформаційного розряду накопичувального суматора підключений до інформаційного входу молодшого інформаційного розряду реєстра множника, шостий і сьомий виходи програмного блока керування підключені відповідно до входів керування записом лічильника і реєстра розрядності множника, вихід ознаки рівності нулю лічильника підключений до першого входу програмного блока керування, восьмий вихід якого підключений до входу керування записом у знаковий розряд накопичувального суматора, дев'ятий і десятий виходи програмного блока керування підключені відповідно до входу керування зсувом реєстра множника і входу лічби лічильника, одинадцятий вихід програмного блока керування підключений до входу керування зсувом накопичувального суматора, дванадцятий вихід програмного блока керування підключений до керуючого входу генератора кратних множеного, другий вхід програмного блока керування з'єднаний з входом запуску пристрою.

Недоліком даного пристрою є вузька область застосування і недостатня швидкодія, що пов'язано з процесом послідовного формування кратних множеного за вісім тактів.

Відомий пристрій для множення двійково-десяткових чисел [А. с. СРСР № 510714 кл. G06 F7/52, Бюл. № 14, 1976 р.], який містить реєстр множника, реєстр множеного, блок зсуву, вихід якого з'єднано з входом блока додавання часткових добуток, блок послідовного накопичення чисел, кратних множеному, блок визначення послідовності цифр, причому вихід реєстра множеному з'єднано з входом блока послідовного накопичення чисел, кратних множеному, інформаційний вихід якого з'єднано з входом блока зсуву, керуючі входи блока зсуву і блока послідовного накопичення чисел, кратних множеному, з'єднано з відповідними виходами блока визначення послідовності цифр, інформаційний вхід якого з'єднано з виходом реєстра множника, а керуючий - з керуючим виходом блока послідовного накопичення чисел, кратних множеному.

Недоліком даного пристрою є вузька область застосування і незначна швидкодія пристрою в зв'язку з необхідністю виконання операції послідовного накопичення чисел.

Найбільш близьким за технічною суттю є пристрій для множення [Патент України №17282, кл. G06 F7/00, Бюл. №9, 2006 р.], який містить реєстр множника, в подальшому реєстр, накопичувальний суматор, в подальшому суматор, другий накопичувальний суматор, генератор кратних множеного, вузол формування знака, лічильник, програмний блок керування, суматор аналізу положення коми, вузол аналізу цифр множника, причому вхід множника, в подальшому другого операнда, пристрою з'єднаний з інформаційним входом реєстра, вхід множеного, в подальшому першого операнда, пристрою підключений до інформаційного входу генератора кратних множеного, вихід знакового розряду реєстра підключений до першого входу вузла формування знака, виходи програмного блока керування з першого по третій підключені відповідно до входів обнулення реєстра, суматора і лічильника, четвертий і п'ятий виходи програмного блока керування підключені до входів керування записом реєстра і суматора, вихід старшого інформаційного розряду суматора підключений до інформаційного входу молодшого інформаційного розряду реєстра, шостий вихід програмного блока керування підключений до входу керування записом лічильника, вихід ознаки рівності нулю якого підключений до входу ознаки закінчення лічби програмного блока керування, сьомий, восьмий і дев'ятий виходи якого підключені відповідно до входу керування зсувом реєстра, входу лічби лічильника, входу керування зсувом суматора, вхід запуску програмного блока керування з'єднаний з входом запуску пристрою, інформаційний вхід лічильника є входом розрядності другого операнда пристрою, десятий і одинадцятий виходи програмного блока керування з'єднані з входами керування записом знака і обнулення старшого k-го розряду реєстра відповідно, вихід

ознаки нуля старшого k -го розряду регістра підключений до входу ознаки виконання додавання в даному такті програмного блока керування, другий вхід вузла формування знака з'єднаний з входом знака першого операнда пристрою, виходи розрядів суматора з'єднані з виходами молодших розрядів добутку пристрою, виходи розрядів регістра з'єднані з виходами старших розрядів добутку пристрою, дванадцятий, тринадцятий, чотирнадцятий і п'ятнадцятий виходи програмного блока керування з'єднані з входом встановлення у початковий стан, входом керування записом, входом керування зчитуванням і входом керування формуванням кратних генератора кратних множеного відповідно, два інформаційних входи суматора аналізу положення коми з'єднані з виходами розрядності дробових частин першого і другого операндів пристрою відповідно, виходи суматора аналізу положення коми підключені до виходів індикації положення коми пристрою, шістнадцятий і сімнадцятий виходи програмного блока керування з'єднані з входом встановлення в початковий стан і входом керування записом суматора аналізу положення коми, входи обнулення, керування записом і керування зчитуванням другого накопичувального суматора з'єднані відповідно з вісімнадцятим, дев'ятнадцятим і двадцятим виходами програмного блока керування, вхід вузла аналізу цифр множника з'єднаний з виходом старшого k -го розряду регістра, вхід керування значенням кратності генератора кратних множеного з'єднаний з виходом вузла аналізу цифр множника, а інформаційний вихід генератора кратних множеного з'єднаний з входом другого накопичувального суматора, вихід якого з'єднаний з інформаційним входом суматора, причому двадцять перший і двадцять другий виходи програмного блока керування з'єднані з виходами керування зчитуванням регістра і суматора відповідно.

Недоліком такого пристрою є вузька область застосування, через те, що забезпечується лише виконання операції множення.

В основу корисної моделі поставлено задачу створення арифметичного пристрою, в якому за рахунок введення нових блоків та зв'язків розширено область застосування і досягнуто можливість виконання арифметичних операцій додавання, віднімання і множення десяткових чисел.

Поставлена задача досягається тим, що в арифметичний пристрій, який містить регістр, суматор, генератор кратних множеного, вузол формування знака, лічильник, програмний блок керування, суматор аналізу положення коми, вузол аналізу цифр множника, причому вхід другого операнда пристрою з'єднаний з інформаційним входом регістра, вихід знакового розряду регістра підключений до першого входу вузла формування знака, виходи програмного блока керування з першого по третій підключені відповідно до входів обнулення регістра, суматора і лічильника, четвертий і п'ятий виходи програмного блока керування підключені до входів керування записом регістра і суматора, вихід старшого інформаційного розряду суматора підключений до інформаційного входу молодшого інформаційного розряду регістра, шостий вихід програмного блока керування підключе-

ний до входу керування записом лічильника, вихід ознаки рівності нулю якого підключений до входу ознаки закінчення лічби програмного блока керування, шостий, восьмий і дев'ятий виходи якого підключені відповідно до входу керування зсувом регістра, входу лічби лічильника, входу керування зсувом суматора, вхід запуску програмного блока керування з'єднаний з входом запуску пристрою, інформаційний вхід лічильника є входом розрядності другого операнда пристрою, десятий і одинадцятий виходи програмного блока керування з'єднані з виходами керування записом знака і обнулення старшого k -го розряду регістра, вихід ознаки нуля старшого k -го розряду регістра підключений до входу ознаки виконання додавання в даному такті програмного блока керування, виходи розрядів суматора з'єднані з виходами молодших розрядів добутку пристрою, виходи розрядів регістра з'єднані з виходами старших розрядів добутку пристрою, дванадцятий, тринадцятий, чотирнадцятий і п'ятнадцятий виходи програмного блока керування з'єднані з входом встановлення у початковий стан, входом керування записом, входом керування зчитуванням і входом керування формуванням кратних генератора кратних множеного відповідно, два інформаційних входи суматора аналізу положення коми з'єднані з виходами розрядності дробових частин першого і другого операндів пристрою відповідно, виходи суматора аналізу положення коми підключені до виходів індикації положення коми пристрою, шістнадцятий і сімнадцятий виходи програмного блока керування з'єднані з входом встановлення у початковий стан і входом керування записом суматора аналізу положення коми, вхід вузла аналізу цифр множника з'єднаний з виходом старшого k -го розряду регістра, вхід керування значенням кратності генератора кратних множеного з'єднаний з виходом вузла аналізу цифр множника, причому двадцять перший і двадцять другий виходи програмного блока керування з'єднані з виходами керування зчитуванням регістра і суматора відповідно, вихід вузла формування знака з'єднано зі знаковим розрядом регістра, введено суматор-віднімач, причому вхід першого операнда з'єднаний з інформаційним входом суматора, вихід якого з'єднаний з входом генератора кратних множеного, вісімнадцятий, дев'ятнадцятий і двадцятий виходи програмного блока керування підключені відповідно до входу обнулення, входу керування записом і входу керування зчитуванням суматора-віднімача, вихід регістра з'єднаний з інформаційним входом суматора-віднімача, який також з'єднаний з виходом суматора, вихід суматора-віднімача з'єднаний з інформаційним входом суматора, виходи розрядів суматора-віднімача з'єднані з виходами розрядів результату операції додавання або віднімання, інформаційний вихід генератора кратних множеного з'єднаний з входом суматора-віднімача, вихід знакового розряду суматора з'єднаний з другим входом вузла формування знака, вихід якого з'єднаний зі знаковим розрядом суматора-віднімача і регістра, входи кодів операцій додавання, віднімання і множення з'єднані з відповідними входами програмного блока керування.

На Фіг.1 представлена структурна схема арифметичного пристрою; на Фіг.2 - функціональна схема генератора кратних; на Фіг.3 - процес формування кратних.

Арифметичний пристрій (Фіг.1) містить регістр 1, суматор 2, суматор-віднімач 3, генератор 4 кратних множеного, суматор 5 аналізу положення коми, лічильник 6, програмний блок 7 керування, вузол 8 формування знака, вузол 9 аналізу цифр множника.

Керуючі входи 10 і 11 регістра 1 з'єднані з відповідними виходами програмного блока 7 керування і є відповідно входами керування записом і зсувом ліворуч вмісту регістра 1, вхід другого операнда пристрою підключений до інформаційного входу 12 регістра 1, вихід старшого розряду суматора 2 з'єднаний з інформаційним входом молодшого розряду регістра 1, а керуючий вхід 13 регістра 1 і керуючий вхід 14 знакового розряду регістра 1 з'єднані з відповідними виходами програмного блока 7 керування і є відповідно входом обнулення регістра 1 і входом керування записом знака в знаковий розряд регістра 1.

Інформаційний вхід знакового розряду регістра 1 і суматора-віднімача 3 з'єднані з виходом вузла 8 формування знака, один з входів якого з'єднаний з виходом знакового розряду регістра 1, а другий вхід з'єднаний з виходом знакового розряду суматора 2. Керуючий вхід 15 старшого k-го розряду регістра 1 з'єднаний з відповідним виходом програмного блока 7 керування і є відповідно входом обнулення цього розряду. Інформаційний вхід старшого k-го розряду регістра 1 з'єднаний з входом 16 вузла 9 аналізу цифр множника, вихід якого з'єднаний з входом 17 керування значенням кратності генератора 4 кратних множеного, а вихід 18 ознаки нуля в старшому k-му розряді регістра 1 з'єднаний з відповідним входом програмного блока 7 керування. Керуючий вхід 19 суматора 2 з'єднаний з відповідним виходом програмного блока 7 керування і є входом керування записом інформації в суматор 2, а його інформаційний вхід 20 з'єднаний з інформаційним виходом суматора-віднімача 3, вхід якого з'єднаний також з інформаційним виходом 21 генератора 4 кратних множеного.

Керуючі входи 22 і 23 суматора 2 з'єднані з відповідними виходами програмного блока 7 керування і є відповідно входом обнулення і входом керування зсувом ліворуч інформації в суматорі 2, вхід 24 запуску програмного блока 7 керування є входом запуску пристрою, а керуючий вхід 25 генератора 4 кратних множеного з'єднаний з відповідним виходом програмного блока 7 керування і є входом керування записом множеного. Інформаційний вхід генератора 4 кратних множеного з'єднаний з виходом 26 суматора 2, а керуючі входи 27-29 з'єднані з відповідними виходами програмного блока 7 керування і є входом керування зчитуванням відповідного кратного множеного в суматор-віднімач 3, входом встановлення у початковий стан генератора 4 кратних множеного і входом керування формуванням кратних множеного в генераторі 4 кратних множеного відповідно. Керуючі входи 30 і 31 суматора 5 аналізу положення коми з'єднані з відповідними виходами програмного

блока 7 керування і є входом обнулення і входом керування записом відповідно, його інформаційні входи 32 і 33 є входами розрядності дробової частини множеного РА і множника РВ відповідно, а входи з'єднані з виходами 34 і 35 індикації положення коми пристрою відповідно.

Керуючий вхід 36 лічильника 6 з'єднаний з відповідним виходом програмного блока 7 керування і є входом керування записом розрядності М множника по інформаційному входу 37 лічильника 6, а його керуючі входи 38 і 39 з'єднані з відповідними виходами програмного блока 7 керування і є відповідно входом обнулення і входом лічби на зменшення лічильника 6. Вихід ознаки нуля P_0 лічильника 6 з'єднаний з відповідним входом програмного блока 7 керування, вихід 40 регістра 1 і вихід 41 суматора 2 є виходами відповідно старших і молодших розрядів добутку, керуючі входи 42-44 суматора-віднімача 3 з'єднані з відповідними виходами програмного блока 7 керування і є відповідно входом обнулення, входом керування записом і входом керуванням зчитуванням суматора-віднімача 3, а керуючий вхід 45 регістра 1 і керуючий вхід 46 суматора 2 з'єднані з відповідними виходами програмного блока 7 керування і є відповідно входами керування зчитуванням регістра 1 і суматора 2. Вхід першого операнда пристрою з'єднаний з інформаційним входом 47 суматора 2, вихід 48 суматора-віднімача 3 є виходом розрядів результату операції додавання або віднімання, входи кодів операції додавання 49, віднімання 50, множення 51 з'єднані з відповідними виходами програмного блока 7 керування.

Генератор 4 кратних множеного (Фіг.2) містить суматори 52-55, комутатор 56 і блок 57 формування кратних, його інформаційний вхід з'єднаний з виходом 26 суматора-віднімача 2, керуючий вхід 25 з'єднаний з входом керування записом множеного до суматорів 52-55, керуючий вхід 27 з'єднаний з входом керування зчитуванням суматорів 52-55, керуючий вхід 28 з'єднаний з входом встановлення у початковий стан суматорів 52-55, інформаційні виходи суматорів 52-55 з'єднані відповідно з інформаційними входами 58-61 комутатора 56. У блоці 57 формування кратних виходи 62-64 з'єднані відповідно з інформаційними входами суматорів 53-55, керуючий вхід 29 є входом керування формуванням кратних множеного в блоці 57 формування кратних, вхід 17 керування значенням кратності генератора 4 кратних множеного є керуючим входом комутатора 56, інформаційний вихід якого є інформаційним виходом 21 генератора 4 кратних множеного.

Арифметичний пристрій (Фіг.1) реалізує три арифметичні операції: додавання, віднімання, множення десяткових чисел і працює в такий спосіб.

Додавання й віднімання десяткових чисел в арифметичному пристрої здійснюється за наявності кодів цих операцій на входах 49 або 50 програмного блока 7 керування. Спочатку відбувається встановлення у початковий стан регістра 1, суматора 2 і суматора-віднімача 3 по сигналах, що надходять на керуючі входи 13, 22, 42 цих вузлів відповідно. Потім відбувається запис операндів А і В послідовно у суматор 2 і регістр 1 відповідно по

входах 47 і 12 за наявності сигналів керування на вході 19 керування записом інформації в суматор 2 і вході 10 керування записом інформації в регістр 1 відповідно. Знак результату визначається з урахуванням знаків операндів у вузлі 8 формування знака, куди інформація подається з відповідних виходів знакових розрядів регістра 1 і суматора 2, і по виходу з вузла 8 формування знака записується в знаковий розряд суматора-віднімача 3 за наявності сигналу на вході 43 керування записом суматора-віднімача 3. Операція додавання або віднімання виконується в залежності від наявності коду операції на входах 49 або 50 програмного блока 7 керування у суматорі-віднімачі 3 шляхом перезапису операнда А з суматора 2 по його виходу 26 при наявності сигналу на його вході 46 керування зчитуванням та додавання або віднімання вмісту регістра 1 з його виходу при наявності сигналу на його вході 45 керування зчитуванням. Результат операції додавання або віднімання зчитується з суматора-віднімача 3 з його виходу 48.

Операція множення виконується за наявності коду цієї операції на вході 51 програмного блока 7 керування. Спочатку відбувається встановлення у початковий стан регістра 1, суматора 2, суматора-віднімача 3, генератора 4 кратних множеного, суматора 5 аналізу положення коми і лічильника 6 по сигналах, що надходять на керуючі входи 13, 22, 42, 28, 30 і 38 цих блоків відповідно. Перший операнд - множене А записується у суматор 2 по інформаційному входу 46 за наявності сигналу на його вході 19 керування записом, у суматор 5 аналізу положення коми по інформаційному входу 32 виконується запис значення розрядності РА дробової частини множеного А при наявності сигналу керування записом на його керуючому вході 31. Потім виконується запис другого операнда - множника В в регістр 1 по інформаційному входу 12 при наявності сигналу керування записом на його керуючому вході 10. Причому множник В записується так, що в старшому к-му розряді регістра 1 знаходиться його старша значуща цифра. Одночасно в лічильник 6 по інформаційному входу 37 записується значення розрядності М множника при наявності сигналу на його керуючому вході 36. У суматор 5 аналізу положення коми по інформаційному входу 33 записується значення розрядності РВ дробової частини множника при наявності сигналу на його керуючому вході 31.

Одночасно з записом другого операнда В знаки множеного А і множника В надходять на входи вузла 8 формування знака, який формує знак добутку, що надходить у знаковий розряд регістра 1 при наявності сигналу керування записом на його керуючому вході 14. Потім множене А переписується у генератор 4 кратних множеного з виходу 26 суматора 2 при наявності сигналу керування записом на керуючому вході 25 генератора 4 кратних множеного і сигналу керування зчитуванням на вході 46 суматора 2.

Формування кратних множеного відбувається в генераторі 4 при наявності сигналів, що надходять з програмного блока 7 керування на керуючі входи 25, 27 і 29 генератора 4 кратних множеного. Множення відбувається, починаючи зі старших розрядів множника В. У випадку, якщо множник є

неправильним дробом, тобто коли після коми і перед старшою значущою цифрою множника знаходиться деяка кількість нулів, то виконується нормалізація дробу шляхом послідовного зсуву ліворуч інформації в регістрі 1 на один десятковий розряд і одночасне зменшення вмісту лічильника 6 на одиницю при наявності сигналів зсуву ліворуч і лічби на зменшення, що надходять на відповідні керуючі входи 11 і 39 з програмного блока 7 керування. Зсув продовжується доти, поки у старшому к-му розряді регістра 1 не з'явиться старша цифра множника, про що свідчить встановлення нульового сигналу ознаки нуля на його виході 18.

З інформаційного виходу старшого к-го розряду регістра 1 значення десяткової цифри множника В надходить на вхід 16 вузла 9 аналізу цифр множника, звідки надходить сигнал на вхід 17 керування значенням кратності генератора 4 кратних множеного, який вибирає кратне, що відповідає значенню десяткової цифри в старшому к-му розряді регістра 1. Відповідне часткове кратне множеного подається з виходу 21 генератора 4 кратних множеного на інформаційний вхід суматора-віднімача 3 при наявності сигналу керування записом на керуючому вході 43 суматора-віднімача 3 і сигналу керування зчитуванням на керуючому вході 27 генератора 4 кратних множеного. У суматорі-віднімачі 3 формується остаточне кратне множеного, звідки по інформаційному входу 20 подається на суматор 2, де сумується з вмістом суматора 2 при наявності сигналу керування записом на його керуючому вході 19. Значення лічильника 6 при цьому зменшується на одиницю після приходу сигналу лічби на зменшення на його керуючий вхід 39.

Потім відбувається зсув ліворуч на десятковий розряд інформації в регістрі 1 і суматорі 2 під дією сигналів керування зсувом, що надходять на керуючі входи 11 і 23 регістра 1 і суматора 2 відповідно. При цьому інформація зі старшого розряду суматора 2 зсувається у молодший розряд регістра 1 по його інформаційному входу, значення старшого розряду регістра 1 губиться, а молодший розряд суматора 2 приймає нульове значення. У випадку наявності значущого нуля в к-му старшому розряді регістра 1, тобто з появою одиночного сигналу ознаки нуля на його виході 18, відбувається лише зсув ліворуч на один десятковий розряд інформації в регістрі 1 й у суматорі 2 і зменшення значення лічильника 6 на одиницю. Якщо вміст лічильника 6 приймає нульове значення, про що свідчить поява одиночного сигналу P_0 на відповідному вході програмного блока 7 керування, то операція множення завершується і відбувається обнулення старшого розряду регістра 1 по сигналу обнулення на керуючому вході 15 цього розряду. Знак і старші розряди добутку знаходяться в регістрі 1, а к-ті молодші розряди зберігаються в суматорі 2. Зчитування результату відбувається по інформаційних виходах 40 і 41 відповідно регістра 1 і суматора 2 при наявності сигналу керування зчитуванням на їх відповідних керуючих входах 45 і 46.

У таблиці 1 наведено співвідношення між номерами виводів, задіяними вузлами і виконуваними мікроопераціями, а також кодування сигналів

керування і прийнято такі позначення: ПБК 7 - програмний блок 7 керування; Рг1 - регістр 1; См2 - суматор 2; ГК4 - генератор 4 кратних множеного;

См3 - суматор-віднімач 3; См5 - суматор 5 аналізу положення коми; Лк6 - лічильник 6.

Таблиця 1

Сигнал	Вивід	Задіяний вузол	Мікрооперації
У ₁	10	Рг1	Запис
У ₂	11	Рг1	Зсув ліворуч
У ₃	13	Рг1	Обнулення
У ₄	14	Рг1	Запис знака
У ₅	15	Рг1	Обнулення старшого розряду
У ₆	19	См2	Запис
У ₇	22	См2	Обнулення
У ₈	23	См2	Зсув ліворуч
У ₉	25	ПС4	Запис
У ₁₀	27	ГК4	Зчитування
У ₁₁	28	ГК4	Встановлення у початковий стан
У ₁₂	29	ГК4	Керування формуванням кратних
У ₁₃	30	См5	Обнулення
У ₁₄	31	См5	Запис
У ₁₅	36	Лк6	Запис
У ₁₆	38	Лк6	Обнулення
У ₁₇	39	Лк6	Лічба на зменшення
У ₁₈	42	См3	Обнулення
У ₁₉	43	См3	Запис
У ₂₀	44	См3	Зчитування
У ₂₁	45	Рг1	Зчитування
У ₂₂	46	См2	Зчитування

Генератор 4 кратних множеного (Фіг.2) працює в такий спосіб. На початку виконання операції множення інформація в усіх суматорах 52-55 дорівнює нулю за сигналом встановлення у початковий стан на керуючому вході 28 генератора 4 кратних множеного. По інформаційному вході 26 у суматори 52-55 записується множене А за наявності сигналу керування записом на керуючому вході 25 генератора 4 кратних множеного. Після запису множеного А в суматори 52-55 дані з суматорів 52-54 по інформаційних виходах передаються на входи блока 57 формування кратних за сигналом керування зчитуванням на керуючому вході 27 генератора 4 кратних множеного. По інформаційних виходах 62-64 блока 57 формування кратних в кожен з суматорів 53-55 додається множене А таким чином, що послідовно за чотири такти формуються базові кратні множеного відповідно в кожному з суматорів 52-55.

На суматорі 52 необхідне кратне А множеного буде сформоване на першому такті, тобто при записі множеного А. На суматорі 53 формується кратне 2А множеного на 2-му такті шляхом додавання множеного А, що подається через вихід 62 блока 57 формування кратних і є вихідною інформацією першого суматора 52, яка також одночасно додається в суматор 54 з виходу 63 блока 57 формування кратних. При цьому в суматорі 54 формується на 2-му такті кратне 2А множеного аналогічно, як і в суматорі 53, а на 3-му такті формується кратне 4А множеного як сума вмісту суматорів 54 і 53, оскільки з останнього інформація подається через вихід 63 блока 57 формування кратних. Одночасно на 3-му такті вміст суматора 53 з виходу 64 блока 57 формування кратних подається в суматор 55, де формується кратне 3А множеного. Сформоване на суматорі 54 кратне 4А

множеного через інформаційний вихід 64 блока 57 формування кратних подається на суматор 55 і сумується з кратним 3А множеного, тобто в суматорі 55 формується кратне 7А множеного на 4-му такті.

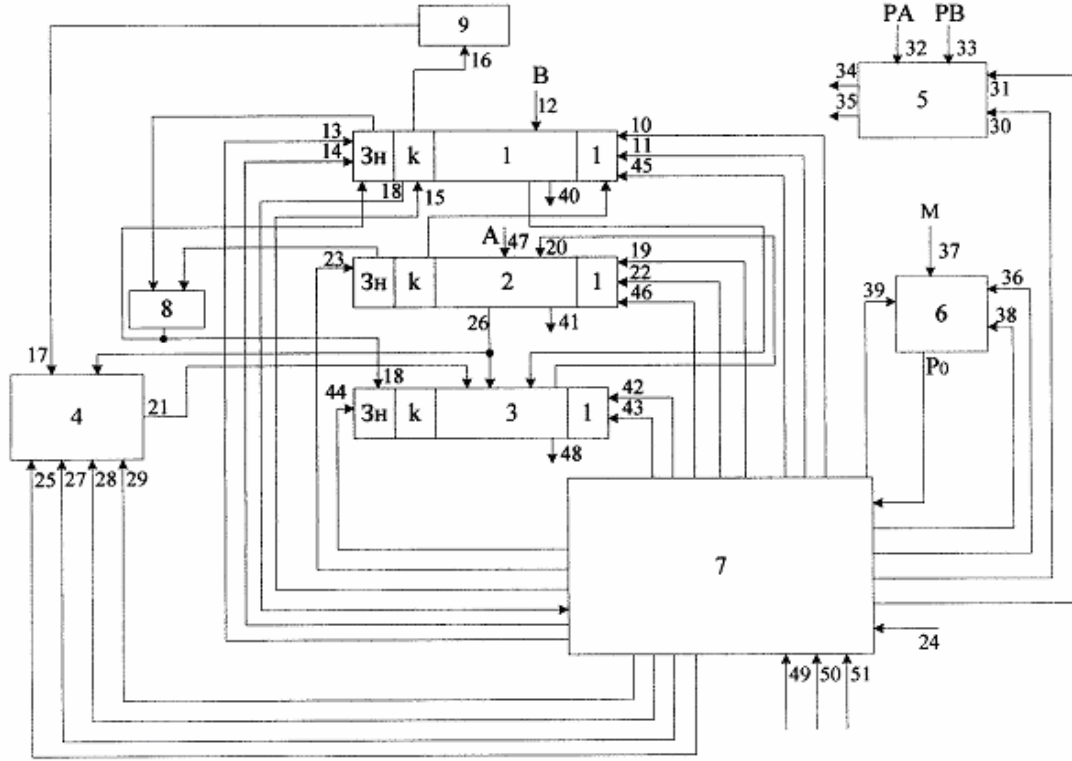
Сформовані відповідні кратні у суматорах 52-55 по їх інформаційних виходах подаються на входи 58-61 комутатора 56, який визначає необхідне кратне за сигналом керування значенням кратності на своєму керуючому вході 17 і подає його на свій інформаційний вихід 21. Таким чином, вміст відповідного суматора 52-55 зчитується через комутатор 56 при наявності сигналу керування зчитуванням інформації на керуючому вході 27 генератора 4 кратних множеного. Сформовані чотири кратні множеного використовуються для формування за допомогою суматора-віднімача 3 решти кратних множеного у вигляді 3А, 5А, 6А, 8А, 9А, що значно підвищує швидкодію.

Процес формування кратних множеного (Фіг.3) відбувається за чотири такти з формуванням чотирьох базових кратних множеного А, а саме А, 2А, 4А, 7А. Формування базових кратних множеного відбувається таким чином. В кожен з суматорів 52-55 на 1-му такті записується множене А. На 2-му такті формується кратне 2А множеного шляхом додавання множеного А з суматора 52 у суматори 53 і 54. На 3-му такті формується кратне 4А множеного у суматорі 54 і кратне 3А множеного у суматорі 55, що є результатом додавання кратного 2А множеного з суматора 53. На 4-му такті формується кратне 7А множеного у суматорі 55, що є результатом додавання кратного 4А множеного з суматора 54.

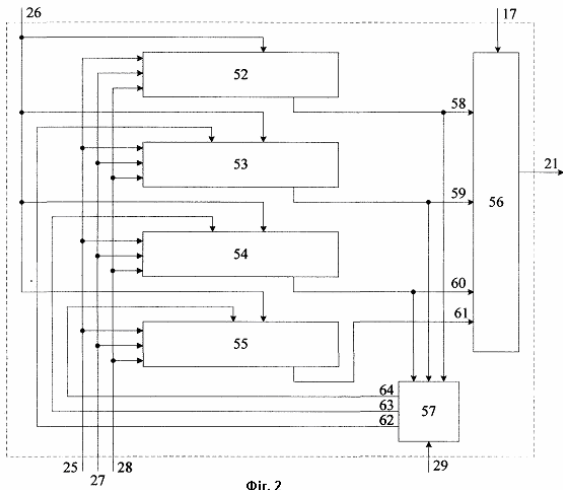
Можливість зменшення часу формування базових кратних множеного до чотирьох тактів замість необхідних восьми для десяткових чисел

забезпечує підвищення швидкодії арифметичного пристрою, оскільки відсутні кратні множеного можна сформувати при необхідності на суматорі-віднімачі за один такт, використовуючи вже сформовані базові кратні у генераторі кратних множе-

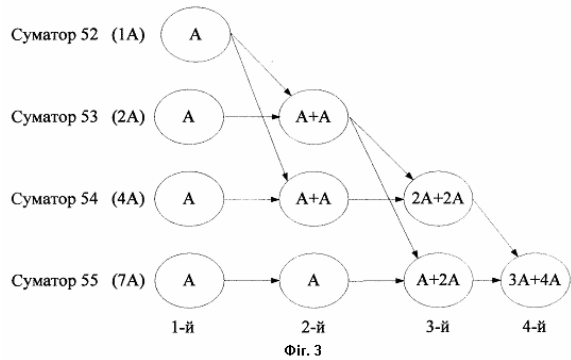
ного. Крім того, використання суматора-віднімача дозволяє розширити область використання арифметичного пристрою за рахунок виконання операцій додавання і віднімання.



Фиг. 1



Фиг. 2



Фиг. 3