



УКРАЇНА

(19) UA (11) 38680 (13) U
(51) МПК (2006)
H04N 5/66

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ ВІДТВОРЕННЯ ЗОБРАЖЕННЯ НА МАТРИЧНОМУ ЕКРАНІ

1

2

(21) u200808325

(22) 20.06.2008

(24) 12.01.2009

(46) 12.01.2009, Бюл.№ 1, 2009 р.

(72) КОЖЕМЯКО ВОЛОДИМИР ПРОКОПОВИЧ, UA, ДОРОЩЕНКОВ ГЕННАДІЙ ДМИТРОВИЧ, UA, МЯСНЯНКИНА СНИЖАНА ВОЛОДИМИРІВНА, UA, ПОПЛАВСЬКИЙ АНАТОЛІЙ ВАЦЛАВОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, UA

(57) 1. Пристрій для відтворення зображення на матричному екрані, що містить відеопроцесорний блок, інформаційні виходи та виходи керування якого з'єднані з відповідними інформаційними входами та входами керування N блоків оперативної пам'яті та N модулів відображення, горизонтальні шини кожного з яких з'єднані з виходами відповідного N блока розгортки, а вертикальні шини - з виходами відповідного N блока послідовно-паралельних регістрів, який **відрізняється** тим, що в нього введено N комутаторів, інформаційний вихід кожного з яких з'єднаний з інформаційним входом відповідного N блока послідовно-паралельних регістрів, q інформаційних входів кожного комутатора з'єднані з інформаційними входами відповідного N блока оперативної пам'яті, а q входів керування N комутаторів з'єднані паралельно з виходами дешифратора та q входами схеми АБО, вихід якої з'єднаний з входом дозволу

формувача сигналів, інформаційні входи якого з'єднані з відповідними виходами керування відеопроцесорного блока, тактовий вихід зчитування якого з'єднаний з тактовим входом формувача сигналів, перший тактовий вихід якого з'єднаний з тактовим входом N блоків оперативної пам'яті, другий і третій тактові виходи - з тактовим входом і входом перезапису, відповідно, N блоків послідовно-паралельних регістрів, четвертий і п'ятий тактові виходи - з тактовим входом і входом дозволу вихідних сигналів, відповідно, N блоків розгортки, а шостий тактовий вихід - з входом скиду N блоків розгортки і тактовим входом двійкового q-розрядного лічильника, q виходів якого з'єднані з входами дешифратора.

2. Пристрій за п. 1, який **відрізняється** тим, що кожний модуль відображення містить pхm комірок зображення, кожна з яких містить світловипромінювальний елемент, яким керує D-тригер з елементом комутації на виході, причому m горизонтальних шин утворюють тактові входи D-тригерів, з'єднані за рядками, а n вертикальних шин - інформаційні входи D-тригерів, з'єднані за стовпчиками.

3. Пристрій за п. 2, який **відрізняється** тим, що як світловипромінювальний елемент використано світлодіод, зокрема над'яскравий, визначеного кольору випромінювання.

Корисна модель відноситься до техніки телебачення і може бути використана в інформаційному пристрої для відтворення напівтонових кольорових телевізійних зображень на великих екранах.

Відомий пристрій для відтворення зображення на матричному екрані (Ас. СССР, № 1589429, опубл. в Б.И., № 32, 1990, МПК H04N9/30), який містить джерело відеосигналу з'єднане з відеоцифровим перетворювачем, перша група інформаційних виходів якого через перший комутатор з'єднана з інформаційними входами першого регістра, друга група інформаційних виходів - через другий комутатор з'єднана з інформаційними входами другого регістра, вихід тактового сигналу з'єднаний з тактовими входами обох регістрів, виходи яких

з'єднані з відповідними $n \times N$ вертикальними шишами блока відображення, p входів формування напівтонів якого з'єднані з відповідними виходами генератора напівтонів, а M горизонтальних шин з'єднані з відповідними виходами блока розгортки, вхід скиду якого з'єднаний з входом скиду тригера і підключений до кадрового синхровиходу відеоцифрового перетворювача, рядковий синхровихід якого з'єднаний з лічильними входами блока розгортки і тригера, вихід якого з'єднаний з входами керування обох комутаторів.

Недоліком даного пристрою є велика кількість вертикальних шин блока відображення ($n \times N$), а також складність комірки зображення - на один

UA (13)

38680 (11)

UA (19)

світловипромінювальний елемент потрібно паралельний n -розрядний регістр, n схем I, схема АБО та елемент комутації, що суттєво збільшує кількість апаратних витрат та зменшує надійність пристрою.

Відомий пристрій для відтворення зображення на матричному екрані (Патент України № 27674, опубл. в бюл. № 18, 2007, МПК H04N5/66), який містить блок відображення, кожний кольоровий піксел якого містить зсувний $3p$ -розрядний регістр, три віднімача, три елемента комутації та три світловипромінювальні елементи, причому $2M \times N$ кольорових пікселів блока відображення з'єднані відповідним чином і утворюють N вертикальних шин з'єднаних з відповідними виходами блока паралельно-послідовних регістрів, $2M$ горизонтальних шин з'єднаних з відповідними виходами двох блоків розгортки, тактові шини запису і перезапису та шину формування напівтонів з'єднаних з відповідними виходами відеопроцесорного блока, відповідні виходи якого з'єднані з виходами двох блоків розгортки та блока паралельно-послідовних регістрів.

Недоліком даного пристрою є складність комірки зображення - на один світловипромінювальний елемент потрібно зсувний n -розрядний регістр, n -розрядний віднімач та елемент комутації, що суттєво збільшує кількість апаратних витрат та зменшує надійність пристрою.

Найбільш близьким за технічною суттю до даної корисної моделі є синхронна логико-часова система відтворення зображень (Организация оптоэлектронных некогерентных процессоров ЦВМ /О.Г.Натрошвили, В.П.Кожемяко, Д.О.Санкидзе. Монография. - Издательство "Ганатлеба", Тбилиси. - 1989,-с.361-363), яка містить джерело відеосигналу, виходи якого з'єднані з виходами відеоцифрового перетворювача, виходи якого з'єднані з виходами блока керування, в подальшому все разом відеопроцесорний блок, інформаційні виходи якого з'єднані з інформаційними виходами N буферних пристроїв пам'яті, в подальшому N блоків оперативної пам'яті, виходи кожного з яких з'єднані з інформаційними виходами відповідних N блоків декодування, вихід кожного з яких з'єднаний з інформаційним входом відповідних N блоків вихідних регістрів, в подальшому N блоків послідовно-паралельних регістрів, виходи кожного з яких з'єднані з вертикальними шинами відповідних N індикаторних пристроїв, в подальшому N модулів відображення, горизонтальні шини кожного з яких з'єднані з виходами відповідних N блоків дешифрації рядків, в подальшому N блоків розгортки, входи керування кожного з яких, а також додаткового входу керування N модулів відображення та входи керування N блоків декодування, N блоків оперативної пам'яті та N блоків послідовно-паралельних регістрів з'єднані з відповідними виходами відеопроцесорного блока.

Недоліками даного пристрою є велика кількість зчитувань інформації з блоків оперативної пам'яті за період кадрової розгортки (дорівнює кількості градацій яскравості, що відтворюються пристроєм - складає за сучасних вимог біля 256), що знижує надійність пристрою, крім того необхід-

ність у додатковому вході керування модулю відображення крім вертикальних та горизонтальних шин, що ускладнює пристрій.

В основу корисної моделі поставлено задачу створення пристрою для відтворення зображення на матричному екрані, в якому за рахунок введення нових елементів та зв'язків досягається загальне зменшення апаратних витрат та підвищення надійності пристрою.

Поставлена задача вирішується тим, що в пристрій для відтворення зображення на матричному екрані, що містить відеопроцесорний блок, інформаційні виходи та виходи керування якого з'єднані з відповідними інформаційними входами та входами керування N блоків оперативної пам'яті та N модулів відображення, горизонтальні шини кожного з яких з'єднані з виходами відповідного N блока розгортки, а вертикальні шини - з виходами відповідного N блока послідовно-паралельних регістрів, введено N комутаторів, інформаційний вихід кожного з яких з'єднаний з інформаційним входом відповідного N блока послідовно-паралельних регістрів, q інформаційних входів кожного комутатора з'єднані з інформаційними виходами відповідного N блока оперативної пам'яті, а q входів керування N комутаторів з'єднані паралельно з виходами дешифратора та q входами схеми АБО, вихід якої з'єднаний з входом дозволу формувача сигналів, інформаційні входи якого з'єднані з відповідними виходами керування відеопроцесорного блока, тактовий вихід зчитування якого з'єднаний з тактовим входом формувача сигналів, перший тактовий вихід якого з'єднаний з тактовим входом N блоків оперативної пам'яті, другий і третій тактові виходи - з тактовим входом і входом перезапису N блоків послідовно-паралельних регістрів, четвертий і п'ятий тактові виходи - з тактовим входом і входом дозволу вихідних сигналів N блоків розгортки, а шостий тактовий вихід - входом скиду N блоків розгортки і тактовим входом двійкового q -розрядного лічильника, q виходів якого з'єднані з виходами дешифратора.

На кресленні - наведено структурну схему пристрою для відтворення зображення на матричному екрані.

Пристрій для відтворення зображення на матричному екрані містить модулі відображення $1.1, \dots, 1.N$, n вертикальних шин кожного з яких з'єднані з відповідними виходами відповідного блока послідовно-паралельних регістрів $2.1, \dots, 2.N$ (БПГТР). Інформаційний вхід БПГТР $2.1, \dots, 2.N$ з'єднаний з інформаційним виходом відповідного комутатора $3.1, \dots, 3.N$, (комутатори $3.1, \dots, 3.N$ містять q схем I та одну схему АБО на q входів), q інформаційних входів комутаторів $3.1, \dots, 3.N$ з'єднані з виходами відповідних блоків оперативної пам'яті $4.1, \dots, 4.N$ (БОП), g входів адресації зчитування (виходи керування) яких з'єднані з g виходами адресації зчитування (виходи керування) відеопроцесорного блока 5 (ВБ5) та інформаційними входами формувача 6 сигналів (ФС6), тактовий вхід якого з'єднаний з тактовим виходом зчитування ВБ5. Перший тактовий вихід ФС6 з'єднаний з тактовим входом БОП $4.1, \dots, 4.N$, другий і третій тактові виходи - з тактовим входом і входом

перезапису відповідно БППР 2.1,...,2.N, четвертий і п'ятий тактові виходи - з тактовим входом і входом дозволу вихідних сигналів відповідно блоків розгортки 7.1,...,7.N (БР), (БР 7.1, ..., БР 7.N містять двійковий лічильник та дешифратор), m виходів БР 7.1,...,БР 7.N з'єднані з m горизонтальними шинами відповідного модулю відображення 1.1,...,1.N. Шостий тактовий вихід ФС6 з'єднаний з входом скиду БР 1.7,...,БР 1.N і тактовим входом двійкового q -розрядного лічильника 8, q виходів якого з'єднані з входами дешифратора 9, q виходів якого паралельно з'єднані з q входами керування комутаторів 3.1,...,3.N і q входами схеми 10 АБО, вихід якої з'єднаний з входом дозволу ФС6. Дешифратор 9 є звичайним двійковим дешифратором, і оскільки він має q входів, то виходів в нього 2^q , але з них використовується тільки q відповідних виходів, наприклад, як що відтворюється 256 градацій яскравості, то з 256 виходів двійкового дешифратора задіяні в схемі тільки визначених 8, наприклад, виходи відповідаючи вхідним кодам чисел $2^0, 2^1, 2^2, \dots, 2^{q-1}$.

Кожний БОП 4.1,...,БОП 4.N є двоштортовим цифровим пристроєм оперативної пам'яті з довільною вибіркою, який має окремі входи адресації як для режиму запису інформації, так і для режиму зчитування інформації, що дозволяє одночасно незалежно проводити дані операції. Необхідна розрядність (q) кожної комірки пам'яті даних блоків визначається кількістю градацій яскравості комірки зображення модулю відображення 1.1,...,1.N. Наприклад, для відтворення 256 градацій яскравості, що задовольняє сучасне телебачення, необхідно 8 розрядів пам'яті на кожен комірку зображення.

Кожний модуль відображення 1.1,...,1.N містить певну кількість комірок зображення одного кольору випромінювання, причому кількість комірок зображення дорівнює кількості q -розрядних комірок відповідного БОП 4.1,...,БОП 4.N. Кількість комірок зображення n в одному рядку доцільно вибрати згідно рівняння $n=2^i$, а кількість рядків m - згідно рівняння $m=2^j$, де i, j - цілі позитивні числа, тоді кількість g входів адресації зчитування БОП 4.1,...,БОП 4.N дорівнює $g=i+j$. Комірка зображення модуль відображення 1.1,...,1.N містить світловипромінювальний елемент (наприклад, світлодіод), яким керує D-тригер з елементом комутації на виході. Дані елементи утворюють матрицю з $n \times m$ комірок зображення, причому m горизонтальних шин утворюють тактові входи D-тригерів з'єднані за рядками, а n вертикальних шин - інформаційні (D-входи) входи D-тригерів з'єднані за стовпчиками. Конструктивно три або чотири світлодіоди різних кольорів (червоного, зеленого, синього) утворюють повнокольоровий піксел зображення. Схемно дані світлодіоди відносяться до комірок різних модулів. У випадку використання чотирьох світлодіодів для утворення повнокольорового пікселя зображення два з них мають однаковий колір випромінювання.

Запропонований пристрій працює таким чином. Запис інформації в БОП 4.1,...,БОП 4.N відбувається відповідним чином за інформаційними та іншими необхідними сигналами з ВБ5. Паралельно відбувається процес відтворення інформації,

яка зберігається в БОП 4.1,...,БОП 4.N на відповідному модулі відображення 1.1,...,1.N. За кожним тактовим сигналом зчитування (сигнал з першого тактового виходу ФС6) з відповідної комірки пам'яті БОП 4.1,...,БОП 4.N, яка визначається лічильником адресації зчитування (входить у склад ВБ5), зчитуються q -розрядні коди, які надходять на q інформаційних входів комутаторів 3.1,...,3.N, на виходах яких будуть присутні лише дані одного з q розрядів, якого саме визначає сигнал з відповідного виходу дешифратора 9. На виході комутаторів 3.1,...,3.N формується сигнал логічної "1" або логічного "0". За кожного тактового сигналу зчитування (сигнал з другого тактового виходу ФС6) дана інформація шляхом зсуву заноситься в послідовний регістр, а потім переписується (за сигналом з третього тактового виходу ФС6) в паралельний регістр БППР 2.1,...,БППР 2.N, тобто після кожних n тактів зчитування на виходах БППР 2.1,...,БППР 2.N з'являється нова інформація, яка буде занесена у відповідні D-тригери відповідного рядку комірок зображення модулів відображення 1.1,...,1.N. В який з рядків буде занесена інформація визначають БР 7.1,...,БР 7.N, причому сигнал на відповідному виході останніх з'являється при наявності сигналу на п'ятому тактовому виході ФС6, перехід в наступний стан двійкових лічильників БР 7.1,...,БР 7.N (вибір наступного рядку комірок зображення модулів відображення 1.1,...,1.N) відбувається за сигналом з четвертого тактового виходу ФС6, а синхронізація - за сигналом з шостого тактового виходу ФС6.

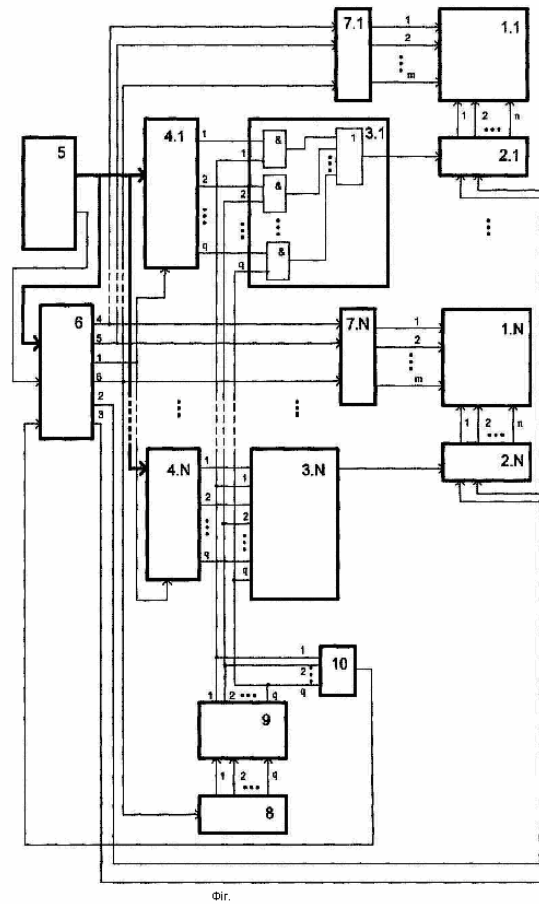
Відтворення градацій яскравості відбувається наступним чином. Кожному світлодіоду модулів відображення 1.1,...,1.N відповідає двійковий q -розрядний код, який зберігається у відповідних комірках пам'яті БОП 4.1,...,БОП 4.N. У ВБ5 з тактовою частотою зчитування неперервне працює g -розрядний лічильник адресації зчитування, повний цикл переліку якого і визначає тривалість першої градації яскравості. Неважко підрахувати дану тривалість - це добуток періоду зчитування на 2^g . Наприклад, при першому циклі зчитування двійковий q -розрядний лічильник 8 знаходиться в стані при якому сигнал логічної "1" є на першому виході дешифратора 9. Даний сигнал через схему 10 АБО дозволяє формування тактових сигналів на тактових виходах 1-5 ФС6, причому тактові сигнали на тактових виходах 1 і 2 формуються кожного тактового сигналу зчитування з ВБ5 після зміни коду адресації зчитування (сигнал з виходу 2 має визначену затримку відносно сигналу з виходу 1), а тактові сигнали на тактових виходах 3,4 і 5 формуються кожного n -го тактового сигналу зчитування з ВБ5 з відповідними визначеними затримками. Крім того, логічна "1" з першого виходу дешифратора 9 надходить на перший вхід керування комутаторів 3.1,...,3. N, що дозволяє проходження на їх виходи молодшого розряду двійкового q -розрядного коду з БОП 4.1,...,БОП 4.N. Таким чином, при першому циклі зчитування через БППР 2.1,...,БППР 2.N у відповідні D-тригери модулів відображення 1.1,...,1.N будуть занесені сигнали логічної "1" або логічного "0" відповідно коду відповідної комірки пам'яті БОП 4.1,...,БОП 4.N. Як

тільки у D-тригер занесений сигнал логічної "1" світлодіод відповідної комірки зображення починає випромінювання, яке буде тривати доки у відповідний D-тригер не буде занесений сигнал логічного "0". Кожного $n \times m = 2^q$ тактового сигналу зчитування з ВБ5 на шостому тактовому виході ФС6 формується тактовий сигнал, який надходить на вхід двійкового q-розрядного лічильника 8, що переводить останній у наступний стан. Після першого циклу зчитування це буде стан при якому сигнал логічної "1" буде на другому виході дешифратора 9 і всі процеси повторяться для другого розряду двійкового q-розрядного коду з БОП 4.1, ..., БОП 4.N, але при переході двійкового q-розрядного лічильника 8 у наступний стан сигналу логічної "1" не буде на жодному виході дешифратора 9 і, таким чином, на виході схеми 10 АБО з'явиться сигнал логічного "0", який заборонить формування тактових сигналів на тактових виходах 1-5 (крім тактового виходу 6) ФС6, що призведе до проведення "холостого" циклу зчитування у ВБ5 без зміни стану D-тригерів комірок зображення модулів відображення 1.1, ..., 1.N, і тільки після наступного переходу двійкового q-розрядного лічильника 8 у наступний стан сигнал логічної "1" буде на третьому виході дешифратора 9 і всі процеси повторяться для третього розряду двійкового q-розрядного коду з БОП 4.1, ..., БОП 4.N. Таким чином, тривалість випромінювання світлодіодів відповідних D-тригерів, переведених у стан логічної "1" після другого зчитування буде у два рази більшою відносно тривалості випромінювання після першого зчиту-

вання. Після стану двійкового q-розрядного лічильника 8, якому відповідає сигнал логічної "1", на третьому виході дешифратора 9 наступні три стани відповідають відсутності сигналу логічної "1" на жодному виході дешифратора 9, що призводить до тривалості випромінювання у чотири рази більшою відносно тривалості випромінювання після першого зчитування і так далі, тобто тривалість випромінювання кожного наступного робочого циклу зчитування у два рази більша попереднього. Кількість робочих циклів зчитування дорівнює q, а тривалості випромінювання робочих циклів зчитування відповідають співвідношенню 1:2:4:8: ... : 2^{q-1} . Сумарна тривалість циклів випромінювання за період кадрової розгортки призводить до формування відповідної градації яскравості.

Період кадрової розгортки складе $2^q \times 2^9$ періодів зчитування. Виходячи з цього виразу і враховуючи те, що частота кадрової розгортки повинна перевищувати критичну частоту мерехтіння (біля 50Гц) неважко знайти для визначених значень q та g необхідну тактову частоту зчитування.

Таким чином кількість робочих циклів зчитування інформації з оперативної пам'яті даного пристрою зменшується у 32 рази (при 256 градаціях яскравості), крім того структурна організація запропонованого пристрою не потребує додаткових входів керування модулів відображення (крім горизонтальних та вертикальних шин), що зменшує апаратні витрати та збільшує надійність пристрою для відтворення зображення на матричному екрані.



Фіг.