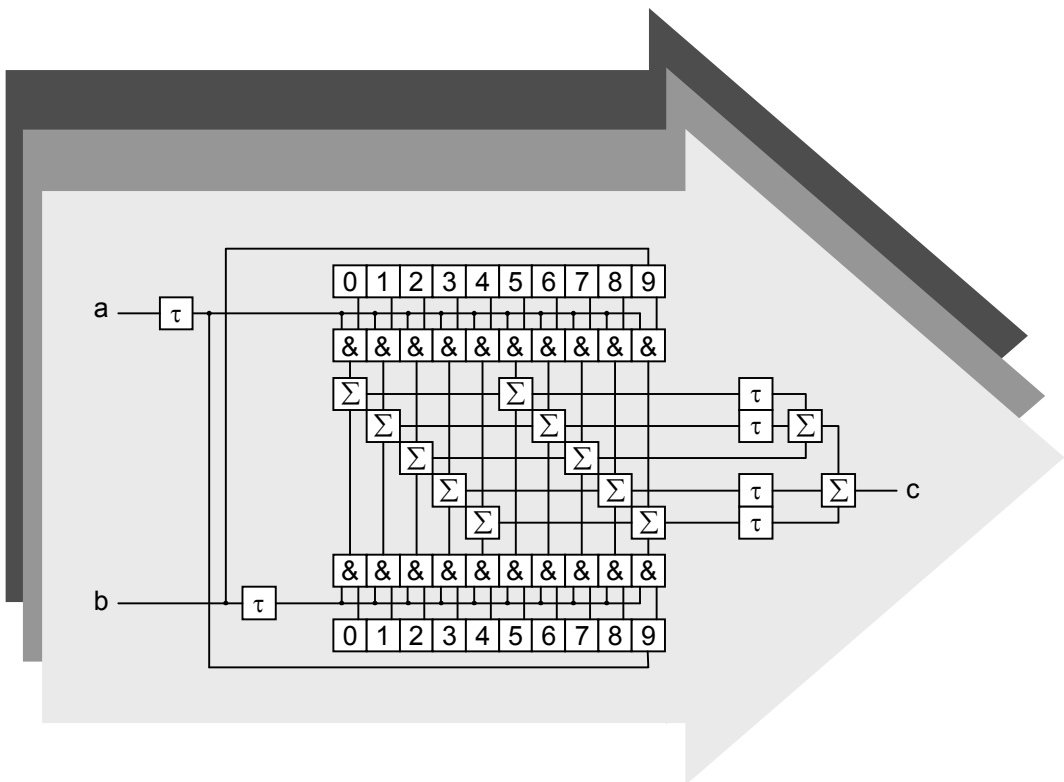


О. Д. Азаров

О. І. Черняк

ПОВНОФУНКЦІОНАЛЬНА ПОБІТОВА ПОТОКОВА АРИФМЕТИКА ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ ОБЛАДНАННЯ



Міністерство освіти і науки України
Вінницький національний технічний університет

О. Д. Азаров, О. І. Черняк

**ПОВНОФУНКЦІОНАЛЬНА ПОБІТОВА
ПОТОКОВА АРИФМЕТИКА
ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ
ОБЛАДНАННЯ**

Монографія

Вінниця
ВНТУ
2013

УДК 004.315
ББК 32.973-04
А 35

Рекомендовано до друку Вченою радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 11 від 26.06 2013 р.)

Рецензенти:

В. П. Тарасенко доктор технічних наук, професор

В. А. Лужецький доктор технічних наук, професор

Азаров О. Д.

А 35 Повнофункціональна побітова потокова арифметика зі зменшеними витратами обладнання : монографія / О. Д. Азаров, О. І. Черняк. – Вінниця : ВНТУ, 2013. – 200 с.

ISBN 978-966-641-542-7

Побітова потокова обробка у двійковій системі числення є одним з напрямів вирішення проблеми інформаційних зв'язків у цифровій техніці. Однак вона має обмежену функціональність через неможливість виконання побітового ділення в одному потоці з іншими арифметичними операціями. У монографії пропонується інформаційно-структурний підхід до повнофункціональної організації такої обробки на основі визначення оптимальної за витратами обладнання надлишкової системи числення та розробки у ній поточкових методів і пристроїв зі зменшеними витратами обладнання для побітового виконання всіх арифметичних операцій.

УДК 004.315

ББК 32.973-04

ISBN 978-966-641-542-7

© О. Азаров, О. Черняк, 2013

ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ.....	5
ВСТУП.....	8
РОЗДІЛ 1 СТАН ТА ЗАДАЧІ ПОВНОФУНКЦІОНАЛЬНОЇ ПОБІТОВОЇ ПОТОКОВОЇ ОБРОБКИ	12
1.1 Проблема з'єднань	12
1.2 Використання побітової обробки у сучасних технологіях	16
1.3 Використання побітової обробки у перспективних технологіях майбутнього	18
1.4 Порозрядна обробка у знакорозрядній двійковій системі числення	22
1.5 Побітова обробка у системах числення золотої пропорції.....	28
1.6 Напрямок і задачі досліджень	34
РОЗДІЛ 2 ТЕОРЕТИЧНІ ПОЛОЖЕННЯ СИСТЕМ ЧИСЛЕННЯ ДЛЯ ПОВНОФУНКЦІОНАЛЬНОЇ ПОТОКОВОЇ ПОРОЗРЯДНОЇ АРИФМЕТИКИ.....	36
2.1 Теоретико-числові властивості АМ-систем числення	36
2.2 Адитивні перетворення в АМ-системах числення	41
2.3 Порозрядне додавання в АМ-системах числення	61
2.4 Порівняльні оцінки систем числення повнофункціональної порозрядної потокової обробки.....	80
2.5 Висновки до розділу.....	85
РОЗДІЛ 3 ПОТОКОВІ МЕТОДИ ПОБІТОВОЇ АРИФМЕТИКИ У СИСТЕМІ ЧИСЛЕННЯ ЗОЛОТОЇ 1-ПРОПОРЦІЇ.....	87
3.1 Особливості побітової обробки прямих кодів	87
3.2 Властивості побітового потокового додавання і віднімання	89
3.3 Потоківий метод побітового додавання з урахуванням знаків... ..	110
3.4 Потоківий метод побітового множення	112
3.5 Потоківий метод побітового ділення	118
3.6 Метод обчислення похибок лінійності передатної характеристики для оперативного самокалібрування АЦП	121
3.7 Висновки до розділу.....	126

РОЗДІЛ 4 РЕКОМЕНДАЦІЇ ЩОДО ПОБУДОВИ ПОТОКОВИХ ЗАСОБІВ ПОВНОФУНКЦІОНАЛЬНОЇ ПОБІТОВОЇ АРИФМЕТИКИ ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ ОБЛАДНАННЯ	128
4.1 Пристрої побітового додавання і віднімання	128
4.2 Пристрої побітового множення та ділення	155
4.3 Обчислювальний пристрій оперативного самокалібрування лінійності АЦП.....	165
4.4 Порівняльний аналіз витрат обладнання при реалізації пристроїв повнофункціональної побітової обробки	174
4.5 Висновки до розділу.....	181
ВИСНОВКИ	185
ЛІТЕРАТУРА	188

ЛИТЕРАТУРА

1. Июльская жара, «тирания соединений» и интегральная схема [Электронный ресурс] // VIOL: История радио: На пути к современному радио. – Режим доступа до мат. : http://files.radioscanner.ru/files/download/file2456/istoria_radio_v_imenah.pdf.
2. Бабкин В. И. О перспективности организации российско-германской инвестиционной программы в области микроэлектроники / В. И. Бабкин. // Аналитические обзоры. – Режим доступа до мат. : <http://www.sciteclibrary.ru/rus/catalog/pages/7717.html>.
3. Interconnect Technology, IEEE International Conference // IEEE Xplore : Digital library : Browse : Conferences. – Режим доступа до мат. : <http://ieeexplore.ieee.org/xpl/conhome.jsp?punumber=1000400>.
4. Яковлев Ю. С. Однокристалльные компьютерные системы высокой производительности. Особенности архитектурно-структурной организации и внутренних процессов : монография / Ю. С. Яковлев – Винница : ВНТУ, 2009. – 294 с.
5. SoC interconnect crisis: Path delays cancel speed increase / Chappell Brown, // EE Times. – Jun. 2003. – Режим доступа до мат. : <http://www.eetimes.com/story/OEG20030620S0028>.
6. The Future of Interconnects: How Will Billions of Transistors Communicate in the Nanometer Era / Nagaraj NS - Texas Instruments Inc., Dallas, TX // 44th Design Automation Conference San Diego. – Jun. 2007. – Режим доступа до мат. : <http://dl.acm.org/citation.cfm?id=1278623&dl=ACM&coll=DL&CFID=141366031&CFTOKEN=39676461>.
7. Wilson R. Industry takes aim at 22nm interconnects stack / R.Wilson // EDN network: electronics news. – Режим доступа до мат. : <http://www.edn.com/electronics-news/4314122/Industry-takes-aim-at-22-nm-interconnect-stack>.
8. Данилина Г. IBM переводит закон Гордона Мура в третье измерение / Г. Данилина. // Наука и образование. – Режим доступа до мат. : <http://technomag.edu.ru/doc/71226.html>.
9. Будик А. IBM пронзила чипы водяными капиллярами / А. Будик. // 3D news: Новости Hardware. – Режим доступа до мат. : http://www.3dnews.ru/news/ibm_osnastila_chipi_vodyanimi_kapillyarami/.
10. Novikov A. Применение наноструктурированных материалов в технологии соединений / А. Novikov. // Abercate consulting: Аналитика. – Режим доступа до мат. : <http://www.abercate.ru/research/analysis/1134.html>.
11. Свиденко Ю. 1 ГГц интегральная схема с межсоединениями из углеродных нанотрубок / Ю. Свиденко. // Nano News Net: Главная: Новости. – Режим доступа до мат. : <http://www.nanonewsnet.ru/news/2008/1-ggts-integralnaya-skhem-a-s-mezhsoedineniyami-iz-uglerodnykh-nanotrubok/>.

12. Медведев А. И. Технологическое обеспечение надежности межсоединений / А. И. Медведев. // Технология электронной промышленности. – 2005. – № 5. – Режим доступа до мат. : http://www.tech-e.ru/pdf/2005_05_60.pdf.
13. Ахманов А. С. Оптическая передача информации в суперЭВМ и микропроцессорных системах / А. С. Ахманов, О. Е. Наний, В. Я. Панченко. // Lightwave Russian Edition. – 2008. – № 3. – Режим доступа до мат. : http://photonics.net.ua/files/LRE/2008_No_3.pdf.
14. Mikami Osamu, Uchida Teiji «*Opto-Electronics Packaging Technology, Present Status and Prospect,*» Review of Laser Engineering Journal, – 2000. – Vol. 30., No. 10. – P. 571-575.
15. Goodman, J. W. Optical interconnections for VLSI systems / J. W. Goodman, F. J. Leonberger, S.-Y. Kung, R. A. Athale // IEEE, Proceedings (ISSN 0018-9219). – Jul. 1984. – vol. 72. – P. 850–866. – Режим доступа до мат. : <http://adsabs.harvard.edu/abs/1984IEEEP..72..850G>.
16. Lacy S. W. The Offset Cube: A Three-Dimensional Multicomputer Network Topology Using Through-Wafer Optics / W. S. Lacy, J. L. Cruz-Rivera, D. S. Wills // IEEE Transactions on Parallel and Distributed Systems. – Sept. 1998. – Vol. 9. – Is. 9. – P. 893–908. – Режим доступа до мат. : <http://www2.computer.org/portal/web/csdl/doi/10.1109/71.722222>.
17. Facanga H. S. Design of fresnel holograms for optical interconnection of VLSI / H. S. Facanga, D. R. Selviah, K. Steptoe, M. Zhi-Qiang // Second International Conference on Holographic Systems, Components and Applications. IEEE, London, UK. – 1989. – P. 213–217. – Режим доступа до мат. : <http://eprints.ucl.ac.uk/2671/1/2671.pdf>.
18. Chou J. Robust free space board-to-board optical interconnect with closed loop MEMS tracking / J. Chou, K. Yu, D. Horsley, B. Yoxall, S. Mathai, M. R. T. Tan, S.-Y. Wang, M. C. Wu // Applied Physics A: Materials Science & Processing. – Jun. 2009. – Vol. 95. – No 4. – P. 973–982. – Режим доступа до мат. : <http://www.springerlink.com/content/5u811h05gjk72u76/>.
19. Kang M. Floating dielectric slab optical interconnection between metal-dielectric interface surface plasmon polariton waveguides / M. Kang, J. Park, I. M. Lee, B. Lee // Optics Express. – Jan. 2009. –Vol. 17. – Is. 2. – P. 676–687. – Режим доступа до мат. : <http://www.opticsinfobase.org/oe/abstract.cfm?uri=oe-17-2-676>.
20. Харьковский А. Оптический коммутатор IBM для применения в процессорах. / Александр Харьковский // 3DNews : Новости Hardware – Режим доступа до мат. : http://www.3dnews.ru/news/opticheskii_kommutator_ibm_dlya_primeneniya_v_protsessorah/.
21. Overton G. Photonics applied: Can optical integration solve the computational bottleneck? / G. Overton – Режим доступа до мат. : <http://www.laserfocusworld.com/articles/2009/03/photonics-applied-integrated-photonics-can-optical-integration-solve-the-computational-bottleneck.html>.

22. Venditti M. B. Design and test of an optoelectronic VLSI chip with 40 element receiver trans mitter arrays using differential optical signaling / M. B. Venditti, E. Laprise, J. Faucher et al. // IEEE J. Select. Topics Quantum Electron. – 2003. – Vol. 9. – No. 2. – P. 361.
23. Geib K. M. Fabrication and performance of two dimensional matrix addressable arrays of integrated vertical-cavity lasers and resonant cavity photodetectors / K. M. Geib, K. D. Choquette, D. K. Serkland et al. // IEEE J. Select. Topics Quantum Electron. – 2002. – Vol. 8. – P. 943.
24. Hariyama M. A Field-Programmable VLSI Based on an Asynchronous Bit-Serial Architecture / M. Hariyama, S. Ishihara, C. Wei, M. Kameyama // In: IEEE, Asian Solid-State Circuits Conference / Jeju, Korea. – Nov. 2007. – P. 380–383.
25. Rettberg A. A Fully Self-Timed Bit-Serial Pipeline Architecture for Embedded Systems / A. Rettberg, M. Zanella, C. Bobda, T. Lehmann – 2003. – Режим доступа до мат. : <http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.6.3923>.
26. Andraka R. J. Building a high performance bit-serial processor in an FPGA / R. J. Andraka // Design SuperCom: Andraka consulting group: On-chip system design conference. – 1996.
27. Ferguson L. FPGA-based FIR Filter Using Bit-Serial Digital Signal Processing / Lee Ferguson – 2000. – Режим доступа до мат. : http://www.atmel.com/dyn/resources/prod_documents/DOC0529.PDF.
28. Andraka R. J. FIR Filter Fits in an FPGA using a Bit Serial Approach / Raymond J. Andraka – 2007. – Режим доступа до мат. : <http://www.andraka.com/files/fir.pdf>.
29. Longa P. Area-Efficient FIR Filter Design on FPGAs using Distributed Arithmetic / P. Longa, A. Miri – 2006. – Режим доступа до мат. : <http://www.computer.org/portal/web/csdl/doi/10.1109/ISSPIT.2006.270806>.
30. Fabris E. E. A bit-serial FFT processor / E. E. Fabris, G. A. Hoffmann, A. Susin, L. Carro – 2001. – Режим доступа до мат. : <http://iie.fing.edu.uy/investigacion/grupos/microele//iberchip/pdf/50.pdf>.
31. David Crook, John Fulcher, «*A Comparison of Bit Serial and Bit Parallel DCT Designs*,» VLSI Design. – 1995. – Vol. 3. – No. 1. – P. 59–65.
32. Tsuyoshi Isshiki. «High-Performance Bit-Serial Datapath Implementation for Large-Scale Configurable Systems.» PhD thesis, University of California at Santa Cruz, USA, 1996.
33. Cyca D. Bit-Serial Digital Filter Implementation using a Custom C Compiler / D. Cyca, L.E. Turner – 2007. – Режим доступа до мат. : http://ieeexplore.ieee.org/xpl/freeabs_all.jsp?arnumber=4145449.
34. Turner L. E. Bit-serial FIR Filters with CSD Coefficients for FPGAs / L. E. Turner, P. J. W. Graumann, S. G. Gibb – 2007. – Режим доступа до мат. : <http://www.springerlink.com/content/y15j4101w4281441/fulltext.pdf?page=1>.

35. Weber R. Implementation of the AES Algorithm for a Reconfigurable Bit Serial, Fully Pipelined Architecture / R. Weber, A. Rettberg – 2009. – Режим доступа до мат. : <http://www.springerlink.com/content/x488826185315065/>.
36. Rettberg A. Towards a High-Level Synthesis of Reconfigurable Bit-Serial Architectures / A. Rettberg, F. Dittmann, M. Zanella, T. Lehmann – 2003. – Режим доступа до мат. : <http://www2.computer.org/portal/web/csdl/abs/proceedings/sbcc/2003/2009/00/20090079abs.htm>.
37. Dittmann F. Path Concepts for a Reconfigurable Bit-Serial Synchronous Architecture / F. Dittmann, A. Rettberg, R. Weber – 2005. – Режим доступа до мат. : <http://www.springerlink.com/content/y5kk543864352395/fulltext.pdf?page=1>.
38. Visavakul C. A Digit-Serial Structure for Reconfigurable Multipliers / C. Visavakul, P. Y. K. Cheung, and W. Luk – 2002. – Режим доступа до мат. : <http://www.doc.ic.ac.uk/rr2001/luk.pdf>.
39. Ban T. Development of Digit-serial Floating Point Units for Scientific Computation Engine / T. Ban, Y. Shiraishi, K. Tanigawa, T. Hironaka – 2008. – Режим доступа до мат. : http://www.ieice.org/ken/paper/2008_0926oa5f/eng/.
40. Wu X. One-bit processing for real-time control / X. Wu, R. Goodall – 2003. – Режим доступа до мат. : <http://www.nt.ntnu.no/users/skoge/prost/proceedings/ecc03/pdfs/563.pdf>.
41. Свидиненко Ю. Клеточные автоматы на квантовых точках : Nanotechnology News Network / Ю. Свидиненко – 2006 – Режим доступа до мат. : <http://old.nanonewsnet.ru/index.php?module=Pageseter&func=viewpub&tid=9&pid=93>.
42. I. Amlani, A. O. Orlov, G. Toth, G. H. Bernstein, C. S. Lent, G. L. Snider «*Digital Logic Gate Using Quantum-Dot Cellular Automata,*» SCIENCE. – Vol. 284. – Apr. 1999. – P. 289–291.
43. Vetteth A. Quantum-dot cellular automata of flip-flops / A. Vetteth, K. Walus, V. S. Dimitrov, G. A. Jullien The national Conference on Communications. – 2003. – Режим доступа до мат. : www.ncc.org.in/download.php?f=NCC2003/L-6.pdf.
44. Niemier M. Dataflow in molecular QCA: Logic can «sprint», but the memory wall can still be a «hurdle» / M. Niemier, P. Kogge, R. Murphy [та ин.] // University of Notre Dam, Department of Computer Science and Engineering. – 2006. – Режим доступа до мат. : <http://www.cse.nd.edu/Reports/2006/TR-2006-14.pdf>.
45. K. Walus, G.A. Jullien, and V.S. Dimitrov, «*Computer Arithmetic Structures for Quantum Cellular Automata,*» Proc. Conf. Record of the 37th Asilomar Conf. Signals, Systems, and Computers. – 2003. – Vol. 2. – P. 1435–1439.

46. Timler, J., Lent, C.S., «*Power gain and dissipation in quantum-dot cellular automata,*» J. Appl. Phys., American Institute of Physics. – 2002. – No 91 (2). – P. 823.
47. Bit-Serial Adder Based on Quantum Dots : Tech briefs / Electronics & computers // NASA's Jet Propulsion Laboratory, Pasadena, California – 2003 – Режим доступа до мат. : <http://www.techbriefs.com/component/content/article/911>.
48. W. J. Townsend, J. A. Abraham, «*Complex Gate Implementations for Quantum Dot Cellular Automata*,» 4th IEEE Conference on Nanotechnology. – Munich, Germany, 2004. – August 17–19. – P. 625–627.
49. Свидиненко Ю. Одноатомная квантовая точка приближает эру квантовых компьютеров / Ю. Свидиненко – 2009. – Режим доступа до мат. : <http://www.nanonewsnet.ru/news/2009/odnoatomnaya-kvantovaya-tochka-priblizhaet-eru-kvantovykh-kompyuterov>.
50. V. K. Kornev, I. I. Soloviev and O. A. Mukhanov, «*Possible Approach to the Driver Design Based on Series SQIF,*» IEEE Transaction on Applied Superconductivity. – 2005. – Vol. 15. – P. 388–391.
51. Zinoviev D. High-speed rapid single flux quantum (RSFQ). – Режим доступа до мат. : <http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.54.6337>.
52. M. Tanaka, K. Obata, K. Takagi, N. Takagi, A. Fujimaki, N. Yoshikawa «*A High-Throughput Single-Flux-Quantum Floating-Point Serial Divider Using the Signed-Digit Representation,*» // IEEE Transactions on Applied Superconductivity. – 2009. – Vol. 19. – P. 653–656.
53. Приборы на основе сверхпроводимости – 2009. – Режим доступа до мат. : <http://radiomaster.ru/articles/view/587/>.
54. Зиновьев Д. Леденящая альтернатива / Д. Зиновьев – 1999. – Режим доступа до мат. : <http://cs.mipt.ru/docs/comp/rus/hardware/other/altern/index.html>.
55. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, N. Takagi, «*Novel serial-parallel converter using SFQ logic circuits,*» Physica C. – Sep. 2008. – Vol. 468. – P. 1977–1982.
56. M. Ito, K. Kawasaki, N. Yoshikawa, A. Fujimaki, H. Terai, S. Yorozu, «*20 GHz operation of bit-serial handshaking systems using asynchronous SFQ logic circuits,*» // IEEE Transactions on Applied Superconductivity. – Jun. 2005. – Vol. 15. – P. 255–258.
57. K. Kawasaki, K. Yoda, N. Yoshikawa, A. Fujimaki, H. Terai, S. Yorozu, «*Design and implementation of a high-speed bit-serial SFQ adder based on the binary decision diagram,*» Supercond. Sci. Technol. – 2003. – Vol.16. – No. 12. – P. 1497–1502.

58. H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Ito, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, «*Design, Implementation, and On-Chip High-Speed Test of an SFQ Half-Precision Floating-Point Adder*,» IEEE Transaction on Applied Superconductivity. – Jun. 2009. – Vol. 19. – P. 634–639.
59. H. Hara, K. Obata, H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, «*Design, Implementation and On-Chip High-Speed Test of SFQ Half-Precision Floating-Point Multiplier*,» IEEE Transaction on Applied Superconductivity. – Jun. 2009. – Vol. 19. – P. 657–660.
60. S. Iwasaki, M. Tanaka, Y. Yamanashi, H. Park, H. Akaike, A. Fujimaki, N. Yoshikawa, N. Takagi, K. Murakami, H. Honda, K. Inoue, «*Design of a reconfigurable data-path prototype in the single-flux-quantum circuit*,» Supercond. Sci. Technol. – 2007. – Vol. 20. – P. 328–331.
61. N. Yoshikawa, F. Matsuzaki, N. Nakajima, K. Fujiwara, K. Yoda, K. Kawasaki, «*Design and Component Test of a Tiny Processor Based on the SFQ Technology*,» IEEE Transaction on Applied Superconductivity. – 2003. – Vol. 13. – P. 441–445.
62. Researchers Build Superconducting Processor : Electromagnetic News Report – 2004. – Режим доступа до мат. : <http://www.highbeam.com/doc/1P3-663524731.html>.
63. M. Tanaka, F. Matsuzaki, T. Kondo, N. Nakajima, Y. Yamanashi, H. Terai, S. Yorozu, N. Yoshikawa, A. Fujimaki, H. Hayakawa, «*Prototypic design of the single-flux-quantum microprocessor, CORE1*,» Superconductor Science and Technology. – Dec. 2003. – Vol. 16. – Is. 12. – P. 1460–1463.
64. N. Nakajima, F. Matsuzaki, Y. Yamanashi, N. Yoshikawa, M. Tanaka, T. Kondo, A. Fujimaki, H. Terai, S. Yorozu, «*Design and implementation of circuit components of the SFQ microprocessor CORE1*,» Superconductor Science and Technology. – 2004. – Vol. 17. – P. 301–307.
65. Design and implementation of a pipelined 8 bit-serial single-flux-quantum microprocessor with cache memories : Superconductor Science and Technology / M. Tanaka, Y. Yamanashi, N. Irie [та ін.] – 2007. – Режим доступа до мат. : <http://www.iop.org/EJ/abstract/0953-2048/20/11/S01>.
66. Superconducting Technology Assessment (NSA, Office of Corporate Assessments) : Nitrd Publications – Aug., 2005. – Режим доступа до мат. : <http://www.nitrd.gov/Publications/PublicationDetail.aspx?pubid=42>.
67. A. Geraci, S. Riboldi, G. Ripamonti, «*Fixed-point DSP timing of pulses based on a high-precision division technique*,» Proc. of the EUSIPCO 2000 - X European Signal Processing Conference, Tampere, Finland, Sept. 2000.

68. J.-S. Chiang, H.-D. Chung, M.-S. Tsai, «*Carry-Free Radix-2 Subtractive Division Algorithm and Implementation of the Divider,*» Tamkang Journal of Science and Engineering. – 2000. – Vol. 3. – No. 4. – P. 249–255.
69. K. K. Parhi, «*A systematic approach for desing of digit-serial signal processing architectures,*» IEEE Transactions on circuits and systems. – Apr. 1991. – Vol. 38. – No. 4. – P. 358–375.
70. Roesler, E., and B. Nelson, «*Novel Optimizations for Hardware Floating-Point Units in a Modern FPGA Architecture,*» Proc. 12th Int'l Conf. Field-Programmable Logic and Applications, LNCS #2438. – 2002. – P. 637-646.
71. C. Leal, C. Meihlac, A. Pesme, J.-F. Bercher, C. Vignat, «*Recovering binary data transmitted over unknown communication channels,*» in Proc. of DSPCONF Texas-Instrument, Noisy-le-Grand. – Sept. 1998. – P., pp. 119–124.
72. Самофалов К. Г. Основы теории многоуровневых конвейерных вычислительных систем : монография / К. Г. Самофалов, Г. М. Луцкий – Москва : Радио и связь, 1989. – 272 с.
73. Кухарчук А. Г. Конвейерный принцип обработки информации / А. Г. Кухарчук, Г. М. Луцкий, Г. В. Реутов // Кибернетика. – 1968. – № 6. – С. 43–49.
74. Самофалов К. Г. Структуры и организация функционирования ЭВМ и систем : монография / К. Г. Самофалов, Г. М. Луцкий. – Київ : Вища школа, 1981. – 224 с.
75. Самофалов К. Г. Основы построения конвейерных ЭВМ : монография / К. Г. Самофалов, Г. М. Луцкий – Київ : Вища школа, 1978. – 392 с.
76. Жабин В. И. Косвенный функциональный контроль вычислительных систем / В. И. Жабин // Комп'ютери у Європі. Минуле, сучасне та майбутнє : міжнародний симпозіум : праці – Київ : Фенікс, 1998. – С. 363–366.
77. Жабин В. И. Методы вычисления некоторых функций при поразрядном вводе и выводе информации / В. И. Жабин, В. И. Корнейчук, В. П. Тарасенко // Известия вузов : Приборостроение. – 1978. – № 2. – С. 64–69.
78. Жабин В. И. Метод быстрого неавтономного воспроизведения функций / В. И. Жабин, В. И. Корнейчук, В. П. Тарасенко // Управляющие системы и машины. – 1977. – № 3. – С. 96–101.
79. Жабин В. И. Метод повышения быстродействия квазипараллельных однородных цифровых интегрирующих структур / В. И. Жабин, Н. А. Ковалев // Проблеми інформатизації та управління. – 2008. – № 1 (23). – С. 103–109.
80. Ковалев Н. А. Исследование метода реализации баллистического вычислителя на базе FPGA / Н. А. Ковалев, Н. И. Кравченко,

- В. Т. Стефанович // Артиллерийское и стрелковое вооружение. – 2007. – № 3 (24). – С. 42–47.
81. Каляев А. В. Многопроцессорные системы с программируемой архитектурой : монография / А. В. Каляев. – М. : Радио и связь, 1984. – 240 с.
82. Каляев А. В. Теория цифровых интегрирующих машин и структур : монография / А. В. Каляев. – М. : Советское радио, 1970. – 472 с.
83. Гузик В. Ф. Модульные интегрирующие вычислительные структуры : монография / В. Ф. Гузик. – М. : Радио и связь, 1984. – 216 с.
84. Жабин В. И. Реализация цифровых интеграторов на ПЛИС / В. И. Жабин, Н. А. Ковалев // Проблеми автоматизації і управління. – 2007. – № 1 (19). – С. 50–55.
85. Жабин В. И. Исследование методов построения вычислительных устройств на основе FPGA / В. И. Жабин, Н. А. Ковалев // Технология и конструирование в электронной аппаратуре. – 2002. – № 2. – С. 35–39.
86. Каляев И. А. Высоко-производительные многопроцессорные вычислительные системы с программируемой архитектурой на основе ПЛИС / И. А. Каляев, И. И. Левин // Моделирование–2006 : Материалы международной конференции – К. : ИПМЭ НАНУ. – 2006. – С. 41–46.
87. Ковалев Н. А. Об одном методе перестраивания цифровых интегрирующих машин / Н. А. Ковалев // Штучний інтелект. – 2009. – № 1. – С. 166–174.
88. Дичка И. А. Совмещение зависимых операций на уровне обработки разрядов операндов / И. А. Дичка, В. В. Жабина // Штучний інтелект. – 2008. – № 3. – С. 649–654.
89. Дичка И. А. Метод вычисления функций в неавтономном режиме / И. А. Дичка, В. В. Жабина // Штучний інтелект. – 2009. – № 4. – С. 409–414.
90. Березький О. Методи та НВІС-структури для множення матриці на матрицю у реальному часі / О. Березький, І. Цмоць // Вісник Національного університету «Львівська політехніка» : Комп'ютерні системи проектування. Теорія і практика. – 2007. – № 591. – С. 63–76.
91. Каляев И. А. Реконфигурируемые мультиконвейерные вычислительные структуры : монография / И. А. Каляев, И. И. Левин, Е. А. Семерников, В. И. Шмойлов – Ростов-на-Дону : Издательство ЮНЦ РАН, 2008. – 393 с.
92. Евреинов Э. В. Однородные универсальные вычислительные системы высокой производительности : монография / Э. В. Евреинов, Ю. Г. Косарев – Новосибирск : Наука, 1966. – 308 с.
93. Евреинов Э. В. Цифровые автоматы с перестраиваемой структурой : монография / Э. В. Евреинов, И. В. Прангишвили – М. : Энергия, 1974. – 240 с.

94. Микроэлектроника и однородные структуры для построения логических и вычислительных устройств : монография / И. В. Прангисвили, Н. А. Абрамова, Б. В. Бабичева, В. В. Игнатущенко. – М. : Наука, 1967. – 228 с.
95. Русин Б. П. Реконфигурируемые высокопроизводительные системы на однородных средах / Б. П. Русин, М. Н. Кузьо, В. И. Шмойлов // Автоматика и вычислительная техника. – Рига, 2000. – № 3. – С. 72–81.
96. Русин Б. П. Пульсирующие информационные решетки – новое поколение однородных вычислительных сред / Б. П. Русин, М. Н. Кузьо, В. И. Шмойлов // Автоматика и вычислительная техника. – Рига, 2002. – № 1. – С. 60–71.
97. Самчинский А. А. Архитектура однородной вычислительной среды : монография / А. А. Самчинский, В. С. Седов, В. И. Шмойлов – Львов : Интеграл, 1991. – 228 с.
98. Элементная база ОВС : монография / В. С. Седов, В. Н. Соболев, А. А. Самчинский [и др.] – Львов : ИППММ АН УССР, 1989. – 38 с.
99. Шмойлов В. И. Организация вычислительного процесса в мультиконвейерной вычислительной структуре : монография / В. И. Шмойлов – Львов : Интеграл, 1991. – 93 с.
100. Шмойлов В. И. Однородные вычислительные среды и пульсиры : монография / В. И. Шмойлов, Б. П. Русин, М. Н. Кузьо и др. – Львов : Меркатор, 2001. – 62 с.
101. Каляев А. В. Принципы построения программно-аппаратных средств супермакрокомпьютеров / А. В. Каляев, О. Б. Станишевский // Информатика : Сер. Автоматизация проектирования. – Москва, 1990. – Вып. 2. – С. 13–12.
102. Каляев А. В. Макропроцессорный комплект СБИС / А. В. Каляев, О. Б. Станишевский, Б. Г. Фрадкин // Однородные вычислительные среды и систолические структуры : материалы I Всесоюзной конференции – Львов, 1990. – Т2. – С. 33–46.
103. Семейство многопроцессорных вычислительных систем с динамически перестраиваемой архитектурой / А. И. Дордопуло, И. А. Каляев, И. И. Левин, Е. А. Семерников – 2007. – Режим доступа до мат. : <http://fpga.parallel.ru/papers/dordopulo.pdf>
104. M. Tanaka, K. Obata, K. Takagi, N. Takagi, A. Fujimaki, N. Yoshikawa, «*A high-throughput single-flux-quantum floating-point serial divider using the signed-digit representation*,» // IEEE Transaction on Applied Superconductivity – Jun. 2009. – Vol. 19. – P. 653–656.
105. Bit-serial FIR Filters with CSD Coefficients for FPGAs / L. E. Turner, P. J. W. Graumann, S. G. Gibb – 2007. – Режим доступа до мат. : <http://www.springerlink.com/content/y15j4101w4281441/fulltext.pdf?page=1>

106. A. Tisserand, P. Marchal, C. Piguet, «*An on-line arithmetic based FPGA for low power custom computing*,» Field Programmable Logic and Applications, 9th International Workshop, FPL'99, Proceedings (Lecture Notes in Computer Science vol. 1673), Lysaght, P., et al., eds. – Aug. 1999. – P. 264-273.
107. R. Galli, A.F. Tenca, «*Design and evaluation of online arithmetic for signal processing applications on FPGA*,» in Proc. SPIE Int. Conf. High-Speed Computing, Digital Signal Processing, Filtering Using Reconfigurable Logic – Aug. 2001. – P. 134–144.
108. Rajagopal, S., and J.R. Cavallaro, «*Truncated Online Arithmetic with Applications to Communication Systems*,» IEEE Trans. Computers, – 2006. – Vol. 55 – No. 10. – P. 1240–1252.
109. Азаров О. Д. Основи теорії аналогоцифрового перетворення на основі надлишкових позиційних систем числення : монографія / Азаров О. Д. – Вінниця : УНІВЕРСУМ-Вінниця, 2004. – 260 с.
110. Азаров О. Д. Аналогоцифрове порозрядне перетворення на основі систем числення з ваговою надлишковістю : монографія / О. Д. Азаров. – Вінниця : ВНТУ, 2010. – 232 с.
111. Азаров О. Д. Високолінійні порозрядні АЦП з ваговою надлишковістю : монографія / О. Д. Азаров, О. А. Архипчук, С. М. Захарченко. – Вінниця : УНІВЕРСУМ-Вінниця, 2005. – 125 с.
112. Захарченко С. М. Самокалібровані АЦП із накопиченням заряду на основі надлишкових позиційних систем числення : монографія / С. М. Захарченко, О. Д. Азаров, О. М. Харьков ; під заг. ред. О. Д. Азарова. – Вінниця : УНІВЕРСУМ-Вінниця, 2005. – 235 с.
113. Азаров О. Д. Конвеєрні аналогоцифрові перетворювачі з ваговою надлишковістю : монографія / О. Д. Азаров, О. В. Шапошніков, С. М. Захарченко. – Вінниця : УНІВЕРСУМ-Вінниця, 2006. – 157 с.
114. Корнійчук В. І. Основи комп'ютерної арифметики. / В. І. Корнійчук, В. П. Тарасенко, О. В. Тарасенко-Клятченко. – К. : Корнейчук, 2006. – 164 с.
115. Bergman G. A number system with an irrational base. – Mathematics Magazine, – 1957. – No. 31. – P. 98-119.
116. Стахов А. П. Коды золотой пропорции / А. П. Стахов. – М. : Радио и связь, 1984. – 152 с.
117. А. с. 696452 СССР, МКИ³ G 06 F 7/50 Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. В. Оводенко (СССР). – № 251729418-24 ; заявл. 17.08.77 ; опубл. 05.11.79, Бюл. № 41.
118. Блинова Т. А. Аппаратурный контроль конвейерных преобразователей информации. : автореф. дисертації канд. техн. наук :

- 05.13.13 «Вычислительные машины, комплексы, системы и сети» / Т. А. Блинова – К., 1988. – 16 с.
119. А. с. 1137460 СССР, МКИ³ G 06 F 7/49. Конвейерный сумматор / Г. М. Луцкий, Т. А. Блинова, А. В. Корочкин (СССР). – № 3606399/24–24 ; заявл. 30.03.83 ; опубл. 30.01.85, Бюл. № 4.
120. Луцкий Г. М. Структурная организация конвейерных устройств для обработки кодов «золотой» пропорции Г. М. Луцкий, Т. А. Блинова, С. Ф. Дрофа // материалы V всесоюзной школы-семинара Распараллеливание обработки информации. : – Львов. – 1985. – С. 81–82.
121. Лужецкий В. А. Високонадійні математичні Фібоначчі-процесори : монографія – Вінниця : УНІВЕРСУМ-Вінниця, 2000. – 248 с.
122. Белявский В. Л. Об одном подходе к организации вычислений в дискретных устройствах / В. Л. Белявский, Ю. Л. Иваськив, В. С. Харам // Управляющие системы и машины. – 1976. – № 4. – С. 90–96.
123. Функция Хевисайда – Режим доступа до мат. : dic.academic.ru/dic.nsf/ruwiki/193406.
124. Березюк Н. Т. Кодирование информации / Н. Т. Березюк, А. Г. Андрущенко, С. С. Мощицкий и др. – Харьков : Вища школа, 1978. – 252 с.
125. Kautz W. H. Fibonacci codes for synchronization control – IEEE Trans. Inform. Theory. – 1965. – Vol. 11. – No 8. – P. 284–292.
126. Черняк О. І. Системи числення для конвеєрної порозрядної обробки послідовних кодів / О. І. Черняк // Реєстрація, зберігання і обробка даних. – 2000. – Т. 2, № 4. – С. 18–26. – ISSN 1560-9189.
127. Азаров О. Д. Розробка і моделювання адитивних перетворень у системах числення з адитивним та мультиплікативним співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк // Контроль і управління в складних системах (КУСС-2005) : VIII Міжнар. конф., 24-27 жовтня 2005 р.: тези доповідей – Вінниця, 2005. – С. 26.
128. Азаров О. Д. Рекурсивні алгоритми адитивних перетворень в АМ-системах числення / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2010. – № 2 (18). – С. 32–37.
129. Азаров О. Д. Властивості адитивних перетворень в АМ-системах числення / О. Д. Азаров, О. І. Черняк // АВІА-2004 : матеріали VI Міжнародної науково-технічної конференції (26-28 квітня 2004 р.) – Київ. – 2004. – Т. 1. – С. 13.61–13.64.
130. Азаров О. Д. Додавання у системах числення з адитивними та мультиплікативними співвідношеннями між розрядами / О. Д. Азаров, О. І. Черняк, Д. О. Черняк // Вісник Вінницького політехнічного інституту. – 2004. – № 2. – С. 71–76. – ISSN 1997–9266.

131. Азаров О. Д. Визначення довжини перенесення при додаванні в системах числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк // Обчислювальна техніка та автоматизація : наукові праці Донецького національного технічного університету. – 2004. – Випуск 74. – С. 401–407. – ISSN 1996-1588.
132. Азаров О. Д. Розрядність пристроїв порозрядного додавання в АМ-системах числення [Електронний ресурс] / О. Д. Азаров, О. І. Черняк // Наукові праці ВНТУ. – 2010. – № 4. – С. 1–9. – Режим доступу до журналу : http://www.nbu.gov.ua/e-journals/VNTU/2010_4/2010-4.files/uk/10odaics_ua.pdf.
133. Азаров О. Д. Порівняльні оцінки систем числення для порозрядного оброблення / О. Д. Азаров, О. І. Черняк // Інтернет–Освіта–Наука : VII Міжнародна науково-практична конференція – 2010, 28 вересня – 3 жовтня 2010 р. : тези доповідей – Вінниця : ВНТУ, 2010. – С. 364–367. – ISBN 978-966-641-377-5.
134. Азаров О. Д. Методи конвеєрної порозрядної обробки послідовних кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 1996. – № 1. – С. 18–22.
135. Азаров О. Д. Алгоритмічні основи побітової обробки кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2006. – № 2(6). – С. 28–43. – ISSN 1999-9941.
136. Азаров О. Д. Метод побітового конвеєрного ділення довільних форм прямих кодів золотої 1-пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2011. – Вип. 3(35). – С. 5–12. – ISSN 2073-4751.
137. Азаров А. Д. Полнофункциональная побитовая обработка результатов аналогоцифрового преобразования / А. Д. Азаров, А. И. Черняк // Методи та засоби кодування, захисту й ущільнення інформації : Третя міжнародна наук.-практ. конф., 20–22 квітня 2011р. : тези доповідей. – Вінниця : ВНТУ. – 2011. – С. 208–209.
138. Азаров О. Д. Метод оперативного самокалібрування АЦП порозрядного наближення з ваговою надлишковістю / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 2012. – № 3. – С. 142–147. – ISSN 1997-9266.
139. Рабинович З. Л. Типовые операции в вычислительных машинах. / З. Л. Рабинович, В. А. Раманаускас. – К. : Техніка, 1980. – 264 с., ил.
140. Муханин Л. Г. Схемотехника измерительных устройств : учебное пособие / Муханин Л. Г. – СПб. : Лань, 2009. – 288 с. : ил.
141. А. с. 1170449 СССР, МКИ³ G 06 F 7/49. Последовательный сумматор кодов с иррациональными основаниями / В. А. Лужецкий,

А. И. Черняк, В. В. Кондратенко, Д. А. Стахов (СССР). – № 3608773/24-24 ; заявл. 17.06.83 ; опубл. 30.07.85, Бюл. № 28.

142. А. с. 1259249 СССР, МКИ³ G 06 F 7/40. Последовательный сумматор кодов с иррациональными основаниями / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, И. С. Соболева, А. Е. Андреев (СССР). – № 3836694/24-24 ; заявл. 07.01.85 ; опубл. 23.09.86, Бюл. № 35.

143. А. с. 1262482 СССР, МКИ³ G 06 F 7/52. Последовательное устройство для умножения / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка (СССР). – № 3861122/24-24 ; заявл. 07.10.86 ; опубл. 07.10.86, Бюл. № 37.

144. А. с. 1361544 СССР, МКИ³ G 06 F 7/49. Устройство для деления кодов «золотой пропорции» / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка (СССР). – № 4062926/24-24 ; заявл. 29.04.86 ; опубл. 23.12.87, Бюл. № 47.

145. А. с. 1439577 СССР, МКИ³ G 06 F 7/49. Последовательный сумматор кодов с иррациональными основаниями / А. П. Стахов, А. А. Козак, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4241943/24-24 ; заявл. 12.05.87 ; опубл. 23.11.88, Бюл. № 43.

146. А. с. 1444754 СССР, МКИ³ G 06 F 7/52. Последовательное устройство для умножения / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4276300/24-24 ; заявл. 06.07.87 ; опубл. 15.12.88, Бюл. № 46.

147. А. с. 1546970 СССР, МКИ³ G 06 F 7/49. Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев, В. В. Кондратенко (СССР). – № 4457135/24-24 ; заявл. 09.06.88 ; опубл. 28.02.90, Бюл. № 8.

148. А. с. 1552175 СССР, МКИ³ G 06 F 7/49. Устройство для деления / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4482078/24-24 ; заявл. 12.09.88 ; опубл. 23.03.90, Бюл. № 11.

149. А. с. 1571573 СССР, МКИ³ G 06 F 7/49. Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4472420/24-24 ; заявл. 09.08.88 ; опубл. 15.06.90, Бюл. № 22.

150. А. с. 1608644 СССР, МКИ³ G 06 F 7/49. Устройство для обработки последовательного кода «золотой пропорции» / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4631366/24-24 ; заявл. 03.01.89 ; опубл. 23.11.90, Бюл. № 43.

151. А. с. 1612295 СССР, МКИ³ G 06 F 7/52. Устройство для умножения / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка,

- А. Е. Андреев (СССР). – № 4650187/24-24 ; заявл. 12.02.89 ; опубл. 07.12.90, Бюл. № 45.
152. А. с. 1633392 СССР, МКИ³ G 06 F 7/49. Последовательный сумматор / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4675013/24 ; заявл. 28.02.89 ; опубл. 07.03.91, Бюл. № 9.
153. А. с. 1693600 СССР, МКИ³ G 06 F 7/49. Устройство для деления / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4678657/24 ; заявл. 12.04.89 ; опубл. 23.11.93, Бюл. № 43.
154. Азаров О. Д. Схемотехнічні основи побітового додавання кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2007. – № 1(8). – С. 9–17. – ISSN 1999-9941.
155. Азаров О. Д. Схемотехнічні основи побітового віднімання кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 2008. – № 2. – С. 56–60. – ISSN 1997-9266.
156. Азаров О. Д. Структурна організація побітового додавання і віднімання кодів золотої 1-пропорції з урахуванням знаків / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2011. – № 3(22). – С. 13–16. – ISSN 1999-9941.
157. Деклараційний патент України на корисну модель № 5494. (51) 7 G06F7/49. Пристрій для ділення послідовних кодів золотої пропорції / Азаров О. Д., Черняк О. І. ; заявник і патентовласник Вінницький національний технічний університет. – № 20040604913 ; заявл. 21.06.2004 ; опубл. 15.03.2005, Бюл. № 3.
158. Азаров О. Д. Структурна організація побітового множення і ділення кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2007. – Вип. 3(21). – С. 5–13.
159. Азаров О. Д. Аналіз витрат обладнання пристроїв побітової арифметики у системі числення золотої 1-пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2012. – Вип. 2(38). – С. 5–9. – ISSN 2073-4751.
160. Аналоговый микропроцессор для фильтрации сигналов / В. А. Лужецкий, А. И. Черняк, С. Л. Титов, П. В. Козлюк // Методы и микроэлектронные средства цифровой обработки сигналов : II Всесоюзная конференция : тезисы докладов . – Рига. – 1983. – С. 260–262.
161. А. с. 1295381 СССР, МКИ³ G 06 F 7/49. Устройство для умножения на коэффициенты / С. Л. Титов, А. И. Черняк, В. П. Малиночка, Ю. Ф. Роцинский, Е. Н. Титова (СССР). – № 3955638/24-24 ; заявл. 19.09.85 ; опубл. 07.03.87, Бюл. № 9.

Наукове видання

**Азаров Олексій Дмитрович
Черняк Олександр Іванович**

**ПОВНОФУНКЦІОНАЛЬНА ПОБІТОВА ПОТОКОВА
АРИФМЕТИКА ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ
ОБЛАДНАННЯ**

Монографія

Редактор С. Малішевська

Оригінал-макет підготовлено О. Черняком.

Підписано до друку 22.10 2013 р.
Формат 29,7×42¼ . Папір офсетний.
Гарнітура Times New Roman
Друк різнографічний. Ум. друк. арк. 11,55
Наклад 300 (1-й запуск 1-75) Зам. № 10-04

Вінницький національний технічний університет
КІВЦ ВНТУ
21021, м. Вінниця, Хмельницьке шосе, 95
ВНТУ, ГНК, к. 114.
Тел. (0432) 59-85-32
Свідоцтво суб'єкта видавничої справи
серія ДК № 3516 від 01.07 2009 р.

Віддруковано ФОП Барановська Т. П.
21021, м. Вінниця, вул. Порика, 7.
Свідоцтво суб'єкта видавничої справи
серія ДК № 4377 від 31.07.2012 р.