



УКРАЇНА

(19) **UA** (11) **38425** (13) **U**
(51) МПК (2006)
H03K 5/00
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) БУФЕРНИЙ КАСКАД

1

2

(21) u200810637

(22) 26.08.2008

(24) 12.01.2009

(46) 12.01.2009, Бюл.№ 1, 2009 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, UA, ГОЛОВАТЮК ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, UA, ПРИТУЛА МАКСИМ ОЛЕКСАНДРОВИЧ, UA, СТЕЙСКАЛ ВІКТОР ЯРОСЛАВОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, UA

(57) Буферний каскад, що містить шістнадцять транзисторів відповідно n-p-n та p-n-p, чотири польових транзистори відповідно n-типу та r-типу, два джерела струму, вхідну та вихідну шини, шини додатного та від'ємного живлення, причому затвори першого r-типу та другого n-типу польових транзисторів об'єднано та з'єднано із вхідною шиною, їх стоки з'єднано з емітерами четвертого r-n-p та третього n-r-n транзисторів відповідно, а їх виточки з'єднано з емітерами першого n-r-n та другого r-n-p транзисторів відповідно, колектор першого n-r-n транзистора об'єднано з базою десятого n-r-n транзистора та з'єднано через перше джерело струму з шиною додатного живлення, колектор другого r-n-p транзистора об'єднано з базою одинадцятого r-n-p транзистора та з'єднано через друге джерело струму з шиною від'ємного живлення, колектор третього n-r-n та четвертого r-n-p транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, колектори п'ятого r-n-p та шостого n-r-n транзисторів об'єднано та з'єднано з базами п'ятого r-n-p та дев'ятого r-n-p транзисторів, колектори сьомого r-n-p та восьмого n-r-n транзисторів об'єднано та з'єднано з базами восьмого n-r-n та дванадцятого n-r-n транзисторів, колектори п'ятого r-n-p та дев'ятого r-n-p транзисторів об'єднано та з'єднано з шиною додатного живлення, колектори восьмого n-r-n та дванадцятого n-r-n транзисторів об'єднано та з'єднано з шиною від'ємного живлення, базу тринадцятого r-n-p транзистора з'єднано з колекторами дев'ятого r-n-p та десятого n-r-n транзисторів, а його колектор з'єднано з колектором та базою чотирнадцятого n-r-n транзистора, базу шістнадцятого n-r-n

транзистора з'єднано з колекторами одинадцятого r-n-p та дванадцятого n-r-n транзисторів, а його колектор з'єднано з колектором та базою п'ятнадцятого r-n-p транзистора, емітер чотирнадцятого n-r-n транзистора з'єднано з колектором п'ятнадцятого транзистора, затвори третього r-типу та четвертого n-типу польових транзисторів об'єднано та з'єднано з вихідною шиною, який **відрізняється** тим, що в нього введено сімнадцятий, вісімнадцятий, дев'ятнадцятий, двадцятий, двадцять перший, двадцять другий транзистори, відповідно n-r-n та r-n-p, перший та другий коригуючий конденсатори, причому бази першого n-r-n, третього n-r-n, шостого n-r-n та сімнадцятого n-r-n транзисторів об'єднано та з'єднано з колектором сімнадцятого n-r-n та емітером десятого n-r-n транзисторів, бази другого r-n-p, четвертого r-n-p, сьомого r-n-p та вісімнадцятого r-n-p транзисторів об'єднано та з'єднано з колектором вісімнадцятого n-r-n та емітером одинадцятого n-r-n транзисторів, виточки третього r-типу та четвертого n-типу польових транзисторів з'єднано з емітерами сімнадцятого n-r-n та вісімнадцятого r-n-p транзисторів відповідно, а їх стоки з'єднано з емітерами сьомого r-n-p та шостого n-r-n транзисторів відповідно, перші виводи першого та другого коригуючих конденсаторів з'єднані з базами тринадцятого r-n-p та шістнадцятого n-r-n транзисторів відповідно, а їх другі виводи об'єднано та з'єднано з вихідною шиною, колектор та базу дев'ятнадцятого r-n-p транзистора об'єднано та з'єднано з базою п'ятого r-n-p та емітером тринадцятого r-n-p транзисторів, а його емітер з'єднано з шиною додатного живлення, базу та емітер двадцятого n-r-n транзистора об'єднано та з'єднано з базою восьмого n-r-n та емітером шістнадцятого n-r-n транзисторів, а його емітер з'єднано з шиною від'ємного живлення, бази двадцять першого n-r-n та двадцять другого r-n-p транзисторів з'єднано з базами чотирнадцятого n-r-n та п'ятнадцятого r-n-p транзисторів відповідно, їх колектори з'єднано з шинами додатного та від'ємного живлення відповідно, а їх емітери об'єднано та з'єднано з вихідною шиною.

UA (19) 38425 (11) U (13)

Корисна модель відноситься до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо буферний пристрій [Бахтиаров Г.Д., Малинин В.В., Школин В.П. Аналого-цифровые преобразователи / Под ред. Г.Д. Бахтиарова. -М.: Советское радио, 1980. - 280с. ил. Рис.6.28 на стр.150], який містить вісім біполярних транзисторів (далі - транзистори) відповідно n - p - n та p - n - p , два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, базу першого n - p - n транзистора з'єднано з його колектором. Базу другого p - n - p транзистора з'єднано з його колектором, емітери першого n - p - n та другого p - n - p транзисторів з'єднано з базами третього n - p - n та четвертого p - n - p транзисторів відповідно, колектори першого n - p - n та другого p - n - p транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно через перше та друге джерела струмів відповідно, емітери першого n - p - n та другого p - n - p біполярних транзисторів з'єднано з емітерами шостого p - n - p та п'ятого n - p - n транзисторів відповідно, колектори першого n - p - n та другого p - n - p транзисторів з'єднано з базами сьомого n - p - n та восьмого p - n - p біполярних транзисторів відповідно, бази п'ятого n - p - n та шостого p - n - p транзисторів з'єднано з вхідною шиною, колектори п'ятого n - p - n та шостого p - n - p транзисторів з'єднано з емітерами сьомого n - p - n та восьмого p - n - p транзисторів відповідно, колектори сьомого n - p - n та восьмого p - n - p транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, колектори третього n - p - n та четвертого p - n - p транзисторів з'єднано з емітерами сьомого n - p - n та восьмого p - n - p транзисторів відповідно, емітери третього n - p - n та четвертого p - n - p транзисторів з'єднано з вихідною шиною.

Основним недоліком аналогу є низька точність, яка обумовлена наявністю вихідної напруги зміщення нуля через неідентичність параметрів пар n - p - n та p - n - p транзисторів у верхньому та нижньому каналах.

За прототип обрано буферний пристрій [Патент України на корисну модель №16968 М. КЛ. НОЗК 5/00, G05B 1/00, 2006], який містить шістнадцять транзисторів відповідно n - p - n та p - n - p , чотири польових транзистори з індукованим каналом (далі - польові транзистори) відповідно n -типу та p -типу, два джерела струму, вхідну та вихідну шини, шини додатного та від'ємного живлення, причому вхідну шину з'єднано з затворами першого p -типу та другого n -типу польових транзисторів, витoki першого p -типу та другого n -типу польових транзисторів з'єднано з емітерами четвертого p - n - p та третього n - p - n транзисторів відповідно, а їх стоки з'єднано з базами третього n - p - n та четвертого p - n - p транзисторів відповідно, бази третього n - p - n та четвертого p - n - p транзисторів з'єднано з емітерами першого n - p - n та другого p - n - p транзисторів відповідно, колектори третього n - p - n та четвертого p - n - p транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, бази та колектори першого n - p - n та другого p - n - p транзисторів з'єд-

нано через перше та друге джерело струму з шинами додатного та від'ємного живлення відповідно, бази третього n - p - n та четвертого p - n - p транзисторів з'єднано з базами дев'ятого n - p - n та десятого p - n - p транзисторів відповідно, колектори дев'ятого n - p - n та десятого p - n - p транзисторів з'єднано з колекторами дванадцятого p - n - p та одинадцятого n - p - n транзисторів відповідно, емітери дев'ятого n - p - n та десятого p - n - p транзисторів з'єднано з витокami третього p -типу та четвертого n -типу польових транзисторів відповідно, емітери одинадцятого n - p - n та дванадцятого p - n - p транзисторів з'єднано з шинами від'ємного та додатного живлення відповідно, а їх бази з'єднано з базами і колекторами сьомого n - p - n та восьмого p - n - p транзисторів відповідно, емітери сьомого n - p - n і восьмого p - n - p транзисторів з'єднано з шинами від'ємного та додатного живлення відповідно, колектори сьомого n - p - n і восьмого p - n - p транзисторів з'єднано з колекторами шостого p - n - p і п'ятого n - p - n транзисторів відповідно, емітери п'ятого n - p - n і шостого p - n - p з'єднано, бази п'ятого n - p - n та шостого p - n - p транзисторів з'єднано з базами і колекторами тринадцятого n - p - n та чотирнадцятого p - n - p транзисторів відповідно, стоки і затвори третього p -типу і четвертого n -типу польових транзисторів із вбудованим каналом з'єднано з вихідною шиною, емітери тринадцятого n - p - n та чотирнадцятого p - n - p транзисторів з'єднано з вихідною шиною, а їх колектори з'єднано з колекторами шістнадцятого p - n - p та п'ятнадцятого n - p - n транзисторів відповідно, бази п'ятнадцятого n - p - n та шістнадцятого p - n - p транзисторів з'єднано з колекторами одинадцятого n - p - n та дванадцятого p - n - p транзисторів відповідно, а їх емітери з'єднано з шинами від'ємного та додатного живлення відповідно.

Недоліками прототипу є низька точність, яка обумовлена наявністю вихідної напруги зміщення нуля через неідентичність параметрів пар n - p - n та p - n - p транзисторів у верхньому та нижньому каналах, а також недостатня швидкодія, що обумовлена низькою швидкістю наростання вихідного сигналу.

В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними досягається можливість зменшення вихідної напруги зміщення нуля та підвищення швидкості наростання вихідного сигналу, завдяки чому підвищується точність та швидкодія пристрою.

Поставлена задача досягається тим, що в буферний пристрій, який містить шістнадцять транзисторів відповідно n - p - n та p - n - p , чотири польових транзистори відповідно n -типу та p -типу, два джерела струму, вхідну та вихідну шини, шини додатного та від'ємного живлення, причому затвори першого p -типу та другого n -типу польових транзисторів об'єднано та з'єднано із вхідною шиною, їх стоки з'єднано з емітерами четвертого p - n - p та третього n - p - n транзисторів відповідно, а їх витoki з'єднано з емітерами першого n - p - n та другого p - n - p транзисторів відповідно, колектор першого p - n - p транзистора об'єднано з базою десятого p - n - p транзистора та з'єднано через перше джерело

струму з шиною додатного живлення, колектор другого р-п-р транзистора об'єднано з базою одинадцятого р-п-р транзистора та з'єднано через друге джерело струму з шиною від'ємного живлення, колектори третього р-п-р та четвертого р-п-р транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, колектори п'ятого р-п-р та шостого р-п-р транзисторів об'єднано та з'єднано з базами п'ятого р-п-р та дев'ятого р-п-р транзисторів, колектори сьомого р-п-р та восьмого р-п-р транзисторів об'єднано та з'єднано з базами восьмого р-п-р та дванадцятого р-п-р транзисторів, колектори п'ятого р-п-р та дев'ятого р-п-р транзисторів об'єднано та з'єднано з шиною додатного живлення, колектори восьмого р-п-р та дванадцятого р-п-р транзисторів об'єднано та з'єднано з шиною від'ємного живлення, базу тринадцятого р-п-р транзистора з'єднано з колекторами дев'ятого р-п-р та десятого р-п-р транзисторів, а його колектор з'єднано з колектором та базою чотирнадцятого р-п-р транзистора, базу шістнадцятого р-п-р транзистора з'єднано з колекторами одинадцятого р-п-р та дванадцятого р-п-р транзисторів, а його колектор з'єднано з колектором та базою п'ятнадцятого р-п-р транзистора, емітер чотирнадцятого р-п-р транзистора з'єднано з колектором п'ятнадцятого транзистора, затвори третього р-типу та четвертого п-типу об'єднано та з'єднано з вихідною шиною, введено сімнадцятий, вісімнадцятий, дев'ятнадцятий, двадцятий, двадцять перший, двадцять другий транзистори відповідно р-п-р та р-п-р, перший та другий коригуючий конденсатори, причому бази першого р-п-р, третього р-п-р, шостого р-п-р та сімнадцятого р-п-р транзисторів об'єднано та з'єднано з колектором сімнадцятого р-п-р та емітером десятого р-п-р транзисторів, бази другого р-п-р, четвертого р-п-р, сьомого р-п-р та вісімнадцятого р-п-р транзисторів об'єднано та з'єднано з колектором вісімнадцятого р-п-р та емітером одинадцятого р-п-р транзисторів, витоки третього р-типу та четвертого п-типу польових транзисторів з'єднано з емітерами сімнадцятого р-п-р та вісімнадцятого р-п-р транзисторів відповідно, а їх стоки з'єднано з емітерами сьомого р-п-р та шостого р-п-р транзисторів відповідно, перші виводи першого та другого коригуючих конденсаторів з'єднані з базами тринадцятого р-п-р та шістнадцятого р-п-р транзисторів відповідно, а їх другі виводи об'єднано та з'єднано з вихідною шиною, колектор та базу дев'ятнадцятого р-п-р транзистора об'єднано та з'єднано з базою п'ятого р-п-р та емітером тринадцятого р-п-р транзисторів, а його емітер з'єднано з шиною додатного живлення, базу та емітер двадцятого р-п-р транзистора об'єднано та з'єднано з базою восьмого р-п-р та емітером шістнадцятого р-п-р транзисторів, а його емітер з'єднано з шиною від'ємного живлення, бази двадцять першого р-п-р та двадцять другого р-п-р транзисторів з'єднано з базами чотирнадцятого р-п-р та п'ятнадцятого р-п-р транзисторів відповідно, їх колектори з'єднано з шинами додатного та від'ємного живлення відповідно, а їх емітери об'єднано та з'єднано з вихідною шиною.

На кресленні представлено принципову схему буферного каскаду.

Пристрій містить вхідну шину 31, яку з'єднано із затворами першого 3 р-типу та другого 4 п-типу польових транзисторів, стоки яких з'єднано із емітерами четвертого 8 р-п-р та третього 7 п-п-р транзисторів відповідно, а їх витоки з'єднано з емітерами першого 2 п-п-р та другого 5 р-п-р транзисторів відповідно, колектор першого 2 п-п-р транзистора об'єднано з базою восьмого 12 п-п-р транзистора та з'єднано через перше джерело струму 1 з шиною додатного живлення 33, а його базу об'єднано з базами третього 7 п-п-р, п'ятого 9 п-п-р і дев'ятого 13 п-п-р транзисторів, та з'єднано з емітером восьмого 12 п-п-р та колектором дев'ятого 13 п-п-р транзисторів, колектор другого 5 р-п-р транзистора об'єднано з базою одинадцятого 17 р-п-р транзистора та з'єднано через друге джерело струму 6 з шиною від'ємного живлення 34, а його базу об'єднано з базами четвертого 8 р-п-р, шостого 10 р-п-р і десятого 16 р-п-р транзисторів та з'єднано з емітером одинадцятого 17 р-п-р та колектором десятого 16 р-п-р транзисторів, колектор третього 7 п-п-р транзистора об'єднано з емітерами сьомого 11 р-п-р, тринадцятого 19 р-п-р, п'ятнадцятого 23 р-п-р, колектором двадцять першого 29 п-п-р транзисторів та з'єднано з шиною додатного живлення 33, колектор четвертого 8 р-п-р транзистора об'єднано з емітерами дванадцятого 18 п-п-р, чотирнадцятого 22 п-п-р, двадцятого 28 п-п-р, колектором двадцять другого 30 р-п-р транзисторів та з'єднано з шиною від'ємного живлення 34, колектор п'ятого 9 п-п-р транзистора об'єднано з базами сьомого 11 р-п-р, тринадцятого 19 р-п-р, п'ятнадцятого 23 р-п-р транзисторів та з'єднано з колекторами тринадцятого 19 р-п-р, п'ятнадцятого 23 та емітером шістнадцятого 24 р-п-р транзисторів, колектор шостого 10 р-п-р транзистора об'єднано з базами дванадцятого 18 п-п-р, чотирнадцятого 22 п-п-р, двадцятого 28 п-п-р транзисторів та з'єднано з колекторами чотирнадцятого 22 п-п-р, двадцятого 28 п-п-р і емітером дев'ятнадцятого 27 п-п-р транзисторів, колектор восьмого 12 п-п-р транзистора з'єднано з базою шістнадцятого р-п-р, колектором сьомого 11 р-п-р транзисторів і першим виводом першого 20 коригуючого конденсатора, колектор одинадцятого 17 р-п-р транзистора з'єднано з базою дев'ятнадцятого 27 п-п-р, дванадцятого 18 п-п-р транзисторів і першим виводом другого 21 коригуючого конденсатора, затвори третього 14 р-типу та четвертого 15 п-типу польових транзисторів об'єднано з другими виводами першого 20 та другого 21 коригуючих конденсаторів, емітерами двадцять першого 29 п-п-р та двадцять другого 30 р-п-р транзисторів та з'єднано з вихідною шиною 32, їх витоки з'єднано з емітерами дев'ятого 13 п-п-р та десятого 16 р-п-р транзисторів відповідно, а їх стоки з'єднано з емітерами шостого 10 р-п-р та п'ятого 9 п-п-р транзисторів відповідно, колектор шістнадцятого 24 р-п-р транзистора з'єднано з колектором і базою сімнадцятого 25 п-п-р та базою двадцять першого 29 п-п-р транзисторів, колектор дев'ятнадцятого 27 п-п-р транзистора з'єднано з колектором і базою вісімнадцятого 26 р-п-р транзистора та базою двадцять другого р-п-р транзистора, емітер сімна-

дцятого 25 n-p-n транзистора з'єднано з емітером вісімнадцятого 26 p-n-p транзистора.

Буферний каскад працює таким чином: якщо напруга на вхідній шині 31 зростає, то перший 3 р-типу польовий транзистор призакривається, а другий 4 n-типу польовий транзистор привідкривається, в результаті чого потенціали витоків цих транзисторів зростають. Завдяки зворотному зв'язку, що побудований в схемі на базі восьмого 12 n-p-n та одинадцятого 17 p-n-p транзисторів, потенціали емітерів восьмого 12 n-p-n та одинадцятого 17 p-n-p транзисторів зростають, при цьому третій 14 р-типу польовий транзистор привідкривається, а четвертий 15 n-типу польовий транзистор призакривається. За таких умов колекторний струм восьмого 12 n-p-n транзистора збільшується, а струм колектора одинадцятого 17 p-n-p транзистора зменшується. При цьому шістнадцятий 24 p-n-p транзистор привідкривається, а дев'ятнадцятий 27 n-p-n транзистор призакривається, що призводить до збільшення струмів колектора шістнадцятого 24 p-n-p і емітера двадцять першого 29 n-p-n транзистора, а також до зменшення струмів колектора дев'ятнадцятого 27 n-p-n транзистора та емітера двадцять другого 30 p-n-p транзистора. Таким чином потенціал на вихідній шині 32 зростає до тих пір, поки не стане рівним потенціалу на вхідній шині 31.

Якщо напруга на вхідній шині 31 зменшується, то перший 3 р-типу польовий транзистор привідкривається, а другий 4 n-типу польовий транзистор призакривається, в результаті чого потенціали витоків цих транзисторів зменшуються. Завдяки зворотному зв'язку, що побудований в схемі на базі восьмого 12 n-p-n та одинадцятого 17 p-n-p транзисторів, потенціали емітерів восьмого 12 n-p-n та одинадцятого 17 p-n-p транзисторів зменшуються, при цьому третій 14 р-типу польовий транзистор призакривається, а четвертий 15 n-типу польовий транзистор привідкривається. За таких умов колекторний струм восьмого 12 n-p-n транзистора зменшується, а струм колектора одинадцятого 17 p-n-p транзистора зростає. При цьому шістнадцятий 24 p-n-p транзистор призакривається,

а дев'ятнадцятий 27 n-p-n транзистор привідкривається, що призводить до зменшення струмів колектора шістнадцятого 24 p-n-p і емітера двадцять першого 29 n-p-n транзистора, а також до збільшення струмів колектора дев'ятнадцятого 27 n-p-n транзистора та емітера двадцять другого 30 p-n-p транзистора. Таким чином потенціал на вихідній шині 32 зменшується до тих пір, поки не стане рівним потенціалу на вхідній шині 31.

Для запобігання впливу зміни напруги на переходах стік-витік першого 3 р-типу, другого 4 n-типу, третього 14 p-типу та четвертого 15 n-типу польових транзисторів, у схему введено каскадні каскади на третьому 7 n-p-n і четвертому 8 p-n-p транзисторах, а також на п'ятому 9 n-p-n і шостому 10 p-n-p транзисторах. Для прискорення заряду першої 20 та другої 21 коригуючих ємностей у схему введено восьмий 12 n-p-n та одинадцятий 17 p-n-p транзистори, які працюють в активному режимі і забезпечують збільшення струму заряду і розряду за умови розбалансу між входом і виходом схеми. Це сприяє значному підвищенню швидкодії буферного каскаду завдяки підвищенню швидкості наростання вихідного сигналу.

Режим буферного каскаду за постійним струмом по входу забезпечується за допомогою першого 1 та другого 6 джерел струму, а також першого 2 n-p-n та другого 5 p-n-p транзисторів, а режим за постійним струмом по виходу забезпечується за допомогою діодів, побудованих на дев'ятому 13 n-p-n та десятому 16 p-n-p транзисторах.

Для підвищення навантажувальної здатності пристрою, у схему введено вихідний каскад, який побудований на сімнадцятому 25 n-p-n, вісімнадцятому 26 p-n-p, двадцять першому 29 n-p-n та двадцять другому 30 p-n-p транзисторах. Для забезпечення нормальної роботи вихідного каскаду в обидва плеча схеми введено відбивачі струму, побудовані на сьомому 11 p-n-p, тринадцятому 19 p-n-p, п'ятнадцятому 23 p-n-p та шістнадцятому 24 p-n-p транзисторах, а також на дванадцятому 18 p-n-p, чотирнадцятому 22 p-n-p, двадцятому 28 p-n-p та дев'ятнадцятому 27 n-p-n транзисторах.

