



УКРАЇНА

(19) UA (11) 38422 (13) U
(51) МПК (2006)
H03K 5/00
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) БУФЕРНИЙ КАСКАД

1

2

(21) u200810640

(22) 26.08.2008

(24) 12.01.2009

(46) 12.01.2009, Бюл.№ 1, 2009 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, UA, ГОЛОВАТЮК ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, UA, ПРИТУЛА МАКСИМ ОЛЕКСАНДРОВИЧ, UA, СТЕЙСКАЛ ВІКТОР ЯРОСЛАВОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, UA

(57) Буферний каскад, який містить дванадцять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами третього та четвертого транзисторів, емітери яких з'єднано з емітерами другого та п'ятого транзисторів, колектор третього транзистора з'єднано з колектором одинадцятого транзистора та емітером дванадцятого, колектор четвертого транзистора з'єднано з емітером сьомого та колектором восьмого транзисторів, колектор та база другого транзистора об'єднані та з'єднані з емітером першого та базою восьмого транзисторів, база та колектор першого транзистора об'єднані та з'єднані з базою сьомого транзистора та з шиною додатного живлення через перше джерело струму, колектор сьомого транзистора з'єднано з шиною додатного живлення,

емітер восьмого транзистора з'єднано з емітером дев'ятого транзистора, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною, емітер десятого транзистора з'єднано з емітером одинадцятого транзистора, бази та колектори п'ятого та шостого транзисторів об'єднані та з'єднані з базою одинадцятого транзистора, емітер шостого транзистора з'єднаний з базою дванадцятого транзистора та з шиною від'ємного живлення через друге джерело струму, колектор дванадцятого транзистора з'єднаний з шиною від'ємного живлення, який відрізняється тим, що у нього введено чотири польових транзистори з індукованим каналом, причому затвори першого та другого польових транзисторів об'єднані та з'єднані з вхідною шиною, а їх виточки з'єднані з емітерами другого та п'ятого транзисторів відповідно, стік першого польового транзистора з'єднаний з колектором одинадцятого та емітером дванадцятого транзисторів, стік другого польового транзистора з'єднаний з емітером сьомого та колектором восьмого транзисторів, виточки третього та четвертого польових транзисторів з'єднані з емітерами восьмого та одинадцятого транзисторів відповідно, стоки та затвори третього та четвертого польових транзисторів об'єднані та з'єднані з вихідною шиною.

Корисна модель відноситься до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо буферний пристрій [Бахтиаров Г.Д., Малинин В.В., Школин В.П. Аналого-цифровые преобразователи / Под ред. Г.Д. Бахтиарова. - М.: Советское радио, 1980. - 280с. ил. Рис.6.28 на стр.150], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини. Бази четвертого та п'ятого транзисторів з'єднано з вхідною шиною. Емітери четвертого та п'ятого транзисторів з'єднано з емітерами першого та восьмого транзисторів відповідно, та з базами третього та шостого тран-

зисторів відповідно, колектори четвертого та п'ятого транзисторів з'єднано з колекторами шостого та третього транзисторів відповідно, а також з емітерами сьомого та другого транзисторів відповідно. Бази і колектори першого і восьмого транзисторів з'єднано з базами другого та сьомого транзисторів відповідно, а також з'єднано з шинами додатного та від'ємного живлення через перше та друге джерела струму відповідно. Колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно. Емітери третього та шостого транзисторів з'єднано з вихідною шиною.

Основним недоліком аналогу є низька точність, яка обумовлена наявністю вихідної напруги

UA (19) 38422 (11) (13) U

зміщення нуля через неідентичність параметрів пор p-n-p та p-n-p транзисторів у верхньому та нижньому каналі.

За прототип обрано буферний пристрій [Д.п. №15896 Н03К5/22, G05B1/00, 2006], який містить дванадцять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами третього та четвертого транзисторів, емітери яких з'єднано з емітерами другого та п'ятого транзисторів, колектор третього транзистора з'єднано з колектором одинадцятого транзистора та емітером дванадцятого, колектор четвертого транзистора з'єднано з емітером сьомого та колектором восьмого транзисторів, колектор та база другого транзистора об'єднані та з'єднані з емітером першого та базою восьмого транзисторів, база та колектор першого транзистора об'єднані та з'єднані з базою сьомого транзистора та з шиною додатного живлення через перше джерело струму, колектор сьомого транзистора з'єднано з шиною додатного живлення, емітер восьмого транзистора з'єднано з емітером дев'ятого транзистора, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною, емітер десятого транзистора з'єднано з емітером одинадцятого транзистора, бази та колектори п'ятого та шостого транзисторів об'єднані та з'єднані з базою одинадцятого транзистора, емітер шостого транзистора з'єднаний з базою дванадцятого транзистора та з шиною від'ємного живлення через друге джерело струму, колектор дванадцятого транзистора з'єднаний з шиною від'ємного живлення.

Недоліками прототипу є низький вхідний опір, який обумовлений низьким вхідним опором біполярних транзисторів, що призводить до збільшення похибки коефіцієнта передачі при підключенні на вхід буферного пристрою джерела сигналу з високим вихідним опором.

В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними збільшується вхідний опір, завдяки чому зменшується похибка коефіцієнта передачі перетворення.

Поставлена задача досягається тим, що в буферний пристрій, який містить дванадцять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами третього та четвертого транзисторів, емітери яких з'єднано з емітерами другого та п'ятого транзисторів, колектор третього транзистора з'єднано з колектором одинадцятого транзистора та емітером дванадцятого, колектор четвертого транзистора з'єднано з емітером сьомого та колектором восьмого транзисторів, колектор та база другого транзистора об'єднані та з'єднані з емітером першого та базою восьмого транзисторів, база та колектор першого транзистора об'єднані та з'єднані з базою сьомого транзистора та з шиною додатного живлення через перше джерело струму, колектор сьомого транзистора з'єднано з шиною додатного живлення, емітер восьмого транзистора з'єднано з емітером дев'ятого транзистора, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з

вихідною шиною, емітер десятого транзистора з'єднано з емітером одинадцятого транзистора, бази та колектори п'ятого та шостого транзисторів об'єднані та з'єднані з базою одинадцятого транзистора, емітер шостого транзистора з'єднаний з базою дванадцятого транзистора та з шиною від'ємного живлення через друге джерело струму, колектор дванадцятого транзистора з'єднаний з шиною від'ємного живлення, введено чотири польових транзистори з індукованим каналом, причому затвори першого та другого польових транзисторів об'єднані та з'єднані з вхідною шиною, а їх виточки з'єднані з емітерами другого та п'ятого транзисторів відповідно, стік першого польового транзистора з'єднаний з колектором одинадцятого та емітером дванадцятого транзисторів, стік другого польового транзистора з'єднаний з емітером сьомого та колектором восьмого транзисторів, виточки третього та четвертого польових транзисторів з'єднані з емітерами восьмого та одинадцятого транзисторів відповідно, стоки та затвори третього та четвертого польових транзисторів об'єднані та з'єднані з вихідною шиною.

На кресленні представлено принципову схему буферного каскаду.

Пристрій містить вхідну шину 17, яку з'єднано з затворами третього 4 та четвертого 5 транзисторів, виточки яких з'єднані з емітерами другого 3 і п'ятого 6 транзисторів відповідно, стік третього транзистора 4 з'єднаний з емітером дванадцятого транзистора 14 та емітером одинадцятого транзистора 13, стік четвертого транзистора 5 з'єднано з емітером сьомого 9 та колектором восьмого 10 транзисторів, колектор та база другого транзистора 3 об'єднані та з'єднані з емітером першого 2 та базою восьмого 10 транзисторів, база та колектор першого транзистора 2 об'єднані та з'єднані з базою сьомого транзистора 9 та шиною додатного живлення 15 через перше джерело струму 1, колектор сьомого транзистора 9 з'єднано з шиною додатного живлення 15, колектор та база п'ятого 6 та шостого 7 об'єднані та з'єднані з базою одинадцятого транзистора 13, емітер шостого транзистора 7 з'єднано з базою дванадцятого транзистора 14 та шиною від'ємного живлення 16 через друге джерело струму 8, колектор дванадцятого транзистора 14 з'єднано з шиною від'ємного живлення 16, виточки дев'ятого 11 та десятого 12 транзисторів з'єднані з емітерами восьмого 10 та одинадцятого 13 транзисторів відповідно, затвори та стоки дев'ятого 11 та десятого 12 транзисторів об'єднані та з'єднані з вихідною шиною 18.

Буферний каскад працює таким чином: якщо напруга на вхідній шині 17 збільшується, то четвертий транзистор 5 привідкривається, третій транзистор 4 прикривається, при цьому напруга на виточках цих транзисторів збільшується, також відповідно збільшується напруга на емітерах восьмого 10 та одинадцятого 13 транзисторів, що в свою чергу призводить до збільшення напруги на стоках дев'ятого 11 та десятого 12 транзисторів, які приєднані до вихідної шини пристрою, тому напруга на вихідній шині 18 також збільшується.

Якщо напруга на вхідній шині 17 зменшується, то четвертий транзистор 5 прикривається, третій

транзистор 4 привідкривається, при цьому напруга на витоках цих транзисторів зменшується, в результаті чого зменшується напруга на емітерах восьмого 10 та одинадцятого 13 транзисторів, що в свою чергу призводить до зменшення напруги на стоках дев'ятого 11 та десятого 12 транзисторів, які приєднані до вихідної шини пристрою, тому напруга на вихідній шині 18 також зменшується.

У буферному каскаді мають місце наступні співвідношення відповідно для верхнього та для нижнього каналів:

$$U'_{\text{ВИХ}} = U_{\text{ВХ}} + U_{\text{зв4}}^p + U_{\text{бе3}}^{n-p-n} - U_{\text{бе8}}^{n-p-n} - U_{\text{зв11}}^p$$

$$U''_{\text{ВИХ}} = U_{\text{ВХ}} + U_{\text{зв5}}^n + U_{\text{бе6}}^{n-p-n} - U_{\text{бе13}}^{n-p-n} - U_{\text{зв12}}^p$$

Враховуючи, що $\Delta U_{\text{ВИХ}} = U_{\text{ВИХ}} - U_{\text{ВХ}}$, верхнього та нижнього каналів отримуємо:

$$\Delta U'_{\text{ВИХ}} = U_{\text{зв4}}^p - U_{\text{зв11}}^p + U_{\text{бе3}}^{n-p-n} - U_{\text{бе8}}^{n-p-n} \approx 0$$

$$\Delta U''_{\text{ВИХ}} = U_{\text{зв12}}^n - U_{\text{зв5}}^n + U_{\text{бе13}}^{n-p-n} - U_{\text{бе6}}^{n-p-n} \approx 0.$$

Відбувається параметрична компенсація похибок статичної передатної характеристики.

Сьомий 9 та дванадцятий 14 транзистори, які є каскодним каскадом, забезпечують постійну напругу на переходах колектор-емітер восьмого 10 та одинадцятого 13 транзисторів і сприяють зменшенню впливу змінення напруг шин додатного 15 та від'ємного 16 живлення і підвищують швидкодію схеми. Перше 1 та друге 8 джерела струму, а також діоди на базі першого 2, другого 3, п'ятого 6 та шостого 7 транзисторів забезпечують оптимальний режим роботи пристрою за постійним струмом.

