

**Методичні вказівки**  
**до виконання самостійної роботи з дисципліни**  
**«ПЛС та їх програмування»**  
**для студентів спеціальності**  
**153 – «Мікро- та наносистемна техніка»**

Міністерство освіти і науки України  
Вінницький національний технічний університет

**Методичні вказівки**  
**до виконання самостійної роботи з дисципліни**  
**«ПЛС та їх програмування»**  
**для студентів спеціальності**  
**153 – «Мікро- та наносистемна техніка»**

Вінниця  
ВНТУ  
2020

Рекомендовано до друку Методичною Радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № 3 від 21.11.2019 р.)

Рецензенти:

**С. Т. Барась**, кандидат технічних наук, професор

**О. С. Городецька**, кандидат технічних наук, доцент

Методичні вказівки до виконання самостійної роботи з дисципліни «ПЛІС та їх програмування» для студентів спеціальності 153 – «Мікро- та наносистемна техніка» / Уклад. Б. П. Книш. – Вінниця : ВНТУ, 2020. – 17 с.

У методичних вказівках наведено основні теоретичні дані до виконання самостійної роботи з дисципліни «ПЛІС та їх програмування» та рекомендовану літературу. Методичні вказівки розроблено відповідно до навчальної програми дисципліни «ПЛІС та їх програмування»

## ЗМІСТ

Тема 1. Елементна база технічної реалізації логічних інтегральних схем ...	4
Тема 2. Функціональні вузли послідовного типу (автомати з пам'яттю).....	5
Тема 3. Запам'ятовувальні пристрої. Основні структури запам'ятовувальних пристроїв .....	7
Тема 4. Інтерфейсні інтегральні схеми мікропроцесорних компонентів.....	8
Тема 5. Сучасні перспективні інтегральні схеми зі складними структурами FPGA, CPLD, FLEX, SOC .....	9
Тема 6. VHDL модель блока пам'яті. VERILOG модель блока пам'яті .....	11
Тема 7. Реалізація шифроалгоритму RC-4 на програмованих логічних інтегральних схемах. VHDL-опис автомату RC-4. VERILOG-опис автомата RC-4.....	12
Тема 8. Функціональна модель мікросхеми двоportoвої синхронної пам'яті.....	13
Тестові завдання.....	15

## ТЕМА 1. ЕЛЕМЕНТНА БАЗА ТЕХНІЧНОЇ РЕАЛІЗАЦІЇ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМ

**Мета:** отримання знань щодо елементної бази логічних інтегральних схем та їх технічної реалізації.

Засоби програмованої матричної логіки отримали свій розвиток в напрямку програмованих логічних інтегральних схем (ПЛІС). Зростання рівня інтеграції дає можливість розміщувати на кристалі схеми, складність яких відповідає цілим системам. Ці схеми мають назву «SOC» (System On Chip – система на кристалі).

Сфера застосування ПЛІС надзвичайно широка, на них можуть будуватися не тільки великі блоки схем, але і системи в цілому, включно пам'ять і процесори.

Можливість створення конкретного пристрою на базі стандартної ПЛІС забезпечується наявністю в ній безлічі ключів, які в процесі програмування можуть стати замкнутими або розімкнутими. Стани ключів задають ту чи іншу конфігурацію схеми, формовану на кристалі. Число програмованих ключів в ПЛІС залежить від її складності і може доходити до декількох мільйонів. У ПЛІС використовуються такі види програмованих ключів:

- перемички типу antifuse;
- транзистори з плаваючим затвором;
- ключові транзистори, які керовані тригерами пам'яті конфігурації.

Перемички типу antifuse забезпечують одноразове програмування ПЛІС. Перемичка утворюється тришаровим діелектриком з чергуванням шарів «оксид-нітрид-оксид» і в початковому стані має дуже високий опір (струм, що протікає через неї, становить 10-15 А).

Програмований імпульс напруги пробиває перемичку і створює провідний канал. Величина струму імпульсу програмування впливає на діаметр провідного каналу, що дозволяє управляти параметрами провідної перемички (струм 5 мА створює перемичку з опором 600 Ом, а 15 мА – 100 Ом). ПЛІС з програмуванням на основі перемичок antifuse випускаються фірмами Actel і Lattice Semiconductor.

Транзистори з плаваючим затвором у ролі запам'ятовувальних елементів в схемах репрограмованої пам'яті також використовуються в ПЛІС. У цих схемах в корпусі ПЛІС прозоре віконце, через яке

відбувається опромінення кристала, відсутнє, тобто можливість стирання відсутня.

Репрограмовані ПЛІС на основі схемотехніки EPROM **потребують** тривалого (близько години) стирання старої конфігурації під впливом ультрафіолетового випромінювання. Через деградації властивостей матеріалів під дією випромінювання число циклів програмування обмежене. При цьому необхідно витягувати НВІС з пристрою. У ПЛІС на основі схемотехніки EEPROM стирання здійснюється електричними сигналами, що не **потребує** вилучення мікросхеми з пристрою. Час стирання старої інформації і запису нової становить кілька мілісекунд, а число таких циклів – 104-106. Останнім часом в репрограмованих ПЛІС все ширше використовується схемотехніка на основі енергонезалежних **комірок** флеш-пам'яті.

*Під час підготовки до цієї теми необхідно розглянути **поняття**:*

- ПЛІС;
- використання ПЛІС;
- перемички типу antifuse;
- транзистори з плаваючим затвором;
- ключові транзистори, які керовані тригерами пам'яті конфігурації;
- репрограмовані ПЛІС;
- стирання інформації в репрограмованих ПЛІС.

*Рекомендована література*

1. Зотов В. Ю. Проектирование цифровых устройств на основе ПЛИС фирмы XILINX в САПР WebPACK ISE / Зотов В. Ю. – М. : Горячая линия – Телеком, 2003. – 624 с.

2. Суворова Е. А. Проектирование цифровых систем на VHDL / Суворова Е. А. – СПб. : БХВ – Петербург, 2003. – 576 с.

## **ТЕМА 2. ФУНКЦІОНАЛЬНІ ВУЗЛИ ПОСЛІДОВНОГО ТИПУ (АВТОМАТИ З ПАМ'ЯТТЮ)**

**Мета:** отримання знань щодо функціональних вузлів послідовного типу, а саме автоматів з пам'яттю.

Вузли і пристрої, які містять елементи пам'яті, відносяться до класу автоматів з пам'яттю.

Цифровий автомат – це пристрій, який здійснює приймання, зберігання і перетворення дискретної інформації за деяким алгоритмом.

Абстрактний цифровий автомат  $A$  визначається сукупністю п'яти об'єктів  $\{X, S, Y, \varphi, \lambda\}$ , де  $X = \{X_i\}, i \in \overline{1, m}$  – множина вхідних сигналів автомата  $A$  (вхідний алфавіт автомата  $A$ );  $S = \{S_j\}, j \in \overline{1, n}$  – множина станів автомата  $A$  (алфавіт станів автомата  $A$ );  $Y = \{Y_k\}, k \in \overline{1, l}$  – множина вихідних сигналів автомата  $A$  (вихідний алфавіт автомата  $A$ );  $\varphi$  – функція переходів автомата  $A$ , яка відображає  $(X \times S) \rightarrow S$ , тобто ставить у відповідність будь-якій парі елементів добутку множин  $(X \times S)$  елемент множини  $S$ ;  $\lambda$  – функція виходів автомата  $A$ , яка задає відображення  $(X \times S) \rightarrow Y$  або  $S \rightarrow Y$ .

За способом формування функції виходів розрізняють такі типи автоматів: автомат Мілі, автомат Мура.

В абстрактному автоматі Мілі функція виходів  $\lambda$  задає відображення  $(X \times S) \rightarrow Y$ .

Автомат Мілі характеризується рівняннями:

$$\begin{aligned}y(t) &= \lambda[s(t), x(t)]; \\s(t+1) &= \varphi[s(t), x(t)].\end{aligned}$$

Автомату Мура відповідають рівняння:

$$\begin{aligned}y(t) &= \lambda[s(t)]; \\s(t+1) &= \varphi[s(t), x(t)].\end{aligned}$$

Синтез цифрових автоматів з пам'яттю можна розділити на такі етапи:

- 1) кодування;
- 2) вибір елементів пам'яті автомата;
- 3) вибір структурно-повної системи елементів (типу автомата);
- 4) побудова рівнянь булевих функцій виходів і збудження автомата;
- 5) побудова функціональної схеми автомата.

Під час підготовки до цієї теми необхідно розглянути поняття:

- цифровий автомат;
- автомат Мілі;
- автомат Мура;

– етапи синтезу цифрових автоматів.

*Рекомендована література*

1. Суворова Е. А. Проектирование цифровых систем на VHDL / Суворова Е. А. – СПб. : БХВ – Петербург, 2003. – 576 с.

2. Стешенко В. Б. ПЛИС фирмы Altera: элементная база, система проектирования и языки описания аппаратуры / Стешенко В. Б. – М. : Додэка – XXI, 2017. – 576 с.

### ТЕМА 3. ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ. ОСНОВНІ СТРУКТУРИ ЗАПАМ'ЯТОВУВАЛЬНИХ ПРИСТРОЇВ

**Мета:** отримання знань щодо запам'ятовувальних пристроїв та розглянути їх основні структури.

В сучасній цифровій техніці, зокрема і в обчислювальній та мікропроцесорній техніці значно поширені запам'ятовувальні пристрої (ЗП). Вони, як правило, об'єднуються у окрему підсистему пам'яті. ЗП призначені для зберігання двійкової інформації. Основними операціями у пам'яті є запис, зберігання і вибірка (читання) інформації. Сукупність операції запису і вибірки називається зверненням до пам'яті.

ЗП будуються з двопозиційних елементів пам'яті (ЕП), кожен з яких зберігає один біт інформації. Сукупність декількох елементів пам'яті створюють комірку пам'яті, яка призначена для зберігання багаторозрядної двійкової інформації і звернення до елементів якої відбувається одночасно. Звернення до ЗП відбувається за адресним принципом, який передбачає наявність у кожній комірці пам'яті відповідного номера, що називається адресом і котрий необхідно явно чи неявно вказувати при зверненні. Крім адресних, використовують асоціативні ЗП, звернення до комірок яких відбувається за результатами аналізу деяких розрядів інформації, яка зберігається.

Класифікувати і порівнювати ЗП можливо за багатьма різними критеріями залежно від потреби користувача та технічних вимог до будови пам'яті. Основними критеріями, які визначають будову і функціонування ЗП, є: фізичний принцип роботи запам'ятовувальних елементів і технологія їх виготовлення, доступ до комірок пам'яті, швидкість обміну інформацією, спосіб зберігання інформації тощо.



Так, залежно від природи фізичного середовища, у якому зберігається інформація, ЗП розділяються на напівпровідникові, пристрої із зарядовим зв'язком (ПЗЗ), магнітні, оптичні тощо.

*Під час підготовки до цієї теми необхідно розглянути поняття:*

- запам'ятовувальні пристрої;
- запам'ятовувальні елементи;
- класифікація запам'ятовувальних пристроїв.

*Рекомендована література*

1. Стешенко В. Б. ПЛИС фірми Altera: елементна база, система проєктирования и язики описания аппаратуры / Стешенко В. Б. – М. : Додэка – ХХІ, 2017. – 576 с.

2. Поляков А. К. Язики VHDL и Verilog в проєктировании цифровой аппаратуры / Поляков А. К. – М. : Солон-Пресс, 2003. – 320 с.

#### **ТЕМА 4. ІНТЕРФЕЙСНІ ІНТЕГРАЛЬНІ СХЕМИ МІКРОПРОЦЕСОРНИХ КОМПОНЕНТІВ**

**Мета:** отримання знань щодо найбільш поширених інтерфейсних інтегральних схем мікропроцесорних компонентів.

Цифрові інтегральні мікросхеми (ІМС) характеризуються широким діапазоном виконуваних функцій та багатьма варіантами конструкторсько-технологічного виконання.

Цифрові інтегральні мікросхеми, як і аналогові ІС, випускаються серіями. Мікросхеми однієї серії мають однакові напруги живлення, електричні та експлуатаційні характеристики і у разі сумісного використання не потребують додаткових елементів.

Належність ІМС до тієї чи іншої серії показують в її умовному позначенні. Серед великої кількості серій виділяються такі групи: серії функціонально повного складу; серії, які спеціалізуються за функціональним призначенням; мікропроцесорні комплекти великих ІМС. До серії функціонально повного складу належать ІМС різного функціонального призначення: логічні, тригери, регістри, лічильники, дешифратори, кодоперетворювачі тощо. Чим ширший функціональний склад серії, тим краще вона забезпечує виконання вимог до

мікроелектронної апаратури, таких, як надійність, компактність, економічність, технологічність, зручність експлуатації та ремонту. Деякі серії складаються з 100 і більше типів ІМС. Такі серії можна називати універсальними, оскільки вони мають широку **сферу** використання.

Серії ІМС, які об'єднуються за функціональним призначенням, характеризуються вузькою спеціалізацією.

До мікропроцесорних комплектів належать ІМС, які необхідні для побудови мікропроцесорних обчислювальних систем та пристроїв керування. Сюди відносять мікропроцесори, ІМС введення/виведення, таймери, генератори, різні допоміжні ІМС.

*Під час підготовки до цієї теми необхідно розглянути **поняття**:*

- інтегральні мікросхеми;
- групи серій ІМС.

*Рекомендована література*

1. Поляков А. К. Языки VHDL и Verilog в проектировании цифровой аппаратуры / Поляков А. К. – М. : Солон-Пресс, 2003. – 320 с.

2. Соловьев В. В. Проектирование цифровых систем на основе программируемых интегральных схем / Соловьев В. В. – М. : Горячая линия – Телеком, 2001. – 636 с.

## **ТЕМА 5. СУЧАСНІ ПЕРСПЕКТИВНІ ІНТЕГРАЛЬНІ СХЕМИ ЗІ СКЛАДНИМИ СТРУКТУРАМИ FPGA, CPLD, FLEX, SOC**

**Мета:** отримання знань щодо сучасних перспективних ІС зі складними структурами FPGA, CPLD, FLEX, SOC.

Сімейства ПЛІС FPGA і CPLD – це два найбільш поширені типи цифрових логічних мікросхем. ПЛІС сімейства CPLD є дещо проміжним рішенням між типами ПЛІС Programmable Array Logic (PAL) та FPGA. Оскільки сфера використання ПЛІС постійно удосконалюється, то відмінності між CPLD і FPGA не є **значними**, тому на сьогодні є деяка плутанина серед визначень ПЛІС до того, чи іншого сімейства. Але ці два сімейства мають свої структурні та параметричні особливості.

FPGA можна запрограмувати для здійснення практично будь-якої логічної функції. Архітектура FPGA дозволяє кристалу мати дуже високу

логічну ємність. Він використовується в конструкціях, які **потребують** великого числа логічних елементів. Але недоліком такої великої кількості логічних елементів є непередбачувані затримки. ПЛІС сімейства FPGA вважається «дрібною архітектурою», оскільки містить багато логічних блоків, кількість яких може досягати близько 100000 одиниць. FPGA, як правило, використовується для створення та проектування більш складних цифрових пристроїв.

CPLD більш підходить для невеликих конструкцій проектів, що розробляються. Оскільки це менш складна архітектура, то затримки у роботі більш **передбачувані**. CPLD часто використовується для простих логічних додатків. Він містить логічні блоки, кількість яких не перевищує кілька тисяч одиниць, тому CPLD розглядаються як пристрій типу «великої архітектури», що робить CPLD більш **дешевими**, ніж ПЛІС сімейства FPGA. Також важливою відмінністю між сімействами CPLD та FPGA є те, що до CPLD вбудовано енергонезалежну пам'ять.

**Розглянувши** всі основні особливості та недоліки сімейств ПЛІС FPGA та CPLD, можна виділити такі:

- 1) FPGA містить до 100000 логічних блоків, тоді як CPLD містить лише кілька тисяч логічних блоків;
- 2) з архітектурної точки зору, FPGA вважаються пристроями «дрібною архітектурою», тоді як CPLD є пристроями «великої архітектури»;
- 3) FPGA є більш ефективними при проектуванні та реалізації складних цифрових пристроїв, тоді як ПЛІС сімейства CPLD **кращі** для простих спеціалізованих цифрових пристроїв;
- 4) FPGA є дорожчими, а CPLD – набагато дешевшими;
- 5) затримок під час роботи більше при використанні FPGA, ніж CPLD.

Рішення про те, що використовувати, ПЛІС сімейства FPGA або CPLD, розробник повинен обирати залежно від цілей проектування та можливостей спеціалізованого цифрового пристрою, що розробляється.

*Під час підготовки до цієї теми необхідно розглянути **поняття**:*

- сімейство ПЛІС FPGA;
- сімейство ПЛІС CPLD;
- особливості та недоліки сімейств ПЛІС.

### *Рекомендована література*

1. Соловьев В. В. Проектирование цифровых систем на основе программируемых интегральных схем / Соловьев В. В. – М. : Горячая линия – Телеком, 2001. – 636 с.
2. Рябенский В. М. Основы проектирования цифровых устройств на ПЛИС / Рябенский В. М. – К. : **ПП «Корнійчук»**, 2004. – 253 с.

## **ТЕМА 6. VHDL МОДЕЛЬ БЛОКА ПАМ'ЯТІ. VERILOG МОДЕЛЬ БЛОКА ПАМ'ЯТІ**

**Мета:** отримання знань щодо VHDL та VERILOG моделей блока пам'яті.

За допомогою моделі VHDL простіше й швидше ввести та перевірити великий проект. Десятьма рядками VHDL можна описати як 1, так і 100000 тригерів. Мікросхему з інтеграцією більше 10000 вентилів розробити тільки за допомогою електричних схем дуже важко через громіздкість схем.

Проект на моделі VHDL – об'єднання структури і алгоритму функціонування блока пам'яті. Для моделі VHDL блока пам'яті не обов'язково виконувати перевірку правильності його функціонування, наприклад, шляхом його макетування. Щоб визначити правильність моделі достатньо VHDL-програму запустити на виконання в симуляторі VHDL.

Проект на моделі VHDL – самодокументований, тобто він не потребує додаткового технічного опису або опису у вигляді схем. Нечіткість і недбалість опису виключаються, тому що проект на моделі VHDL нескладно перевірити, адже синтаксичний аналіз, моделювання й компіляція в логічну схему швидко виявляють помилки проекту.

Проект на моделі VHDL – універсальний проект. Розроблений один раз блок пам'яті може бути використаний у багатьох інших проектах. При цьому багато структурних і функціональних параметрів блока можуть налаштовуватись (параметри розрядності, обсягу пам'яті, елементна база, склад блока й структура міжз'єднань).

Проект на моделі VHDL – портативний проект. Розроблений для однієї елементної бази, проект легко переноситься на іншу елементну базу.

Проект на моделі VHDL – проект, що довго живе. Електрична схема завжди розробляється під конкретні елементну базу й інтерфейс.

Відповідно до того, що елементна база змінюється за період 2–5 років, за цей же період застарівають і електричні схеми, що її використовують. VERILOG модель блока пам'яті може бути повторно використана через кілька років. Гарне технічне рішення (наприклад, винахід), описане через VHDL модель, може бути корисним протягом десятиліть.

*Під час підготовки до цієї теми необхідно розглянути поняття:*

- VHDL модель блока пам'яті;
- VERILOG модель блока пам'яті.

*Рекомендована література*

1. Рябенський В. М. Основи проектування цифрових пристроїв на ПЛІС / Рябенський В. М. – К. : ПП «Корнійчук», 2004. – 253 с.
2. Системы автоматизированного проектирования фирмы ALTERA / [Комолов Д. А., Малык Р. А., Зобенко А. А., Филиппов А. С.]. – М. : ИП РАДИОСОФТ, 2002. – 352 с.

## **ТЕМА 7. РЕАЛІЗАЦІЯ ШИФРОАЛГОРИТМУ RC-4 НА ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМАХ. VHDL-ОПИС АВТОМАТА RC-4. VERILOG-ОПИС АВТОМАТУ RC-4**

**Мета:** отримання знань щодо реалізації шифроалгоритму RC-4 на ПЛІС, а також VHDL- та VERILOG-описів автомата RC-4.

Rivest Cipher 4 (RC-4) – потоковий шифр, що широко застосовується в різних системах захисту інформації в комп'ютерних мережах (наприклад, в протоколах SSL і TLS, алгоритмі безпеки бездротових мереж WEP і WPA). Основні переваги шифру – висока швидкість роботи і змінний розмір ключа. RC-4 досить уразливий, якщо використовуються не випадкові або пов'язані ключі, один ключовий потік використовується двічі. Ці фактори, а також спосіб використання можуть зробити криптосистему небезпечною (наприклад, WEP).

Головними факторами, що сприяли широкому застосуванню RC-4, є простота його апаратної й програмної реалізації, а також висока швидкість роботи алгоритму в обох випадках.

*Під час підготовки до цієї теми необхідно розглянути **поняття**:*

- реалізація шифроалгоритму RC-4 на ПЛІС;
- VHDL-опис автомата RC-4;
- VERILOG-опис автомата RC-4.

*Рекомендована література*

1. Системы автоматизированного проектирования фирмы ALTERA / [Комолов Д. А., Малык Р. А., Зобенко А. А., Филиппов А. С.]. – М. : ИП РАДИОСОФТ, 2002. – 352 с.

2. Кофанов В. Л. Проектування цифрових пристроїв на основі САПР Quartus II : практикум / Кофанов В. Л., Осадчук О. В., Гаврілов Д. В. – Вінниця : ВНТУ, 2009. – 164 с.

## **ТЕМА 8. ФУНКЦІОНАЛЬНА МОДЕЛЬ МІКРОСХЕМИ ДВОПОРТОВОЇ СИНХРОННОЇ ПАМ'ЯТІ**

**Мета:** отримання знань щодо функціональної моделі мікросхеми двопортової синхронної пам'яті.

Динамічна оперативна пам'ять – один із видів комп'ютерної пам'яті із довільним доступом (RAM), найчастіше використовується як операційний запам'ятовувальний пристрій в сучасних комп'ютерах.

Основна перевага пам'яті цього типу полягає в тому, що її комірки упаковані дуже щільно, тобто в невелику мікросхему можна упакувати багато бітів, а значить, на їх основі можна побудувати пам'ять великої ємності.

VRAM (англ. Video Random Access Memory ) – тип комп'ютерної енергозалежної пам'яті для тимчасового зберігання зображення (буфер кадру), сформованого відеоадаптером і переданого на відео монітор, є двопортовою пам'яттю – може одночасно записувати дані для зміни зображення в той час, коли відеоадаптер безперервно зчитує вміст для прорисовування його на екрані.

*Під час підготовки до цієї теми необхідно розглянути **поняття**:*

- динамічна оперативна пам'ять;
- VRAM;
- функціональна модель мікросхеми двопортової синхронної пам'яті.

*Рекомендована література*

1. Угрюмов Е. П. Цифровая схемотехника / Угрюмов Е. П. – СПб. : БХВ – Петербург, 2004. – 528 с.
2. Рябенський В. М. Цифрова схемотехніка : навч. посібник / Рябенський В. М., Жуйков В. Я., Гулий В. Д. – Львів : Новий світ – 2000, 2009. – 736 с.

## Тестові завдання

1. Перемички типу antifuse утворюються тришаровим діелектриком з чергуванням шарів:

- (?) нітрид-оксид-оксид;
- (!) оксид-нітрид-оксид;
- (?) оксид-оксид-нітрид.

2. За допомогою чого стирання інформації в репрограмованих ПЛІС відбувається швидше?

- (!) електричних сигналів;
- (?) ультрафіолетового випромінювання;
- (?) інфрачервоного випромінювання.

3. Пристрій, який здійснює приймання, зберігання і перетворення дискретної інформації за деяким алгоритмом – це:

- (?) автомат Мілі;
- (?) автомат Мура;
- (!) цифровий автомат.

4. За яким принципом відбувається звернення до ЗП?

- (?) рядковим;
- (!) адресним;
- (?) просторовим.

5. Пристроями «дрібної архітектури» вважаються:

- (!) FPGA;
- (?) CPLD;
- (?) CPLD та FPGA.

6. Пристроями «великої архітектури» вважаються:

- (?) FPGA;
- (!) CPLD;
- (?) CPLD та FPGA.

7. Чому проект на моделі VHDL – універсальний проект?

- (?) структурні елементи VHDL моделі мають високу мобільність;



- (?) архітектура для моделі VHDL має більше переваг порівняно з аналогічною для моделі VERILOG;
- (!) розроблений один раз блок пам'яті може бути використаний у багатьох інших проектах.

#### 8. Які головні фактори широкого застосування RC-4?

- (!) простота апаратної й програмної реалізації та висока швидкість роботи алгоритму;
- (?) простота апаратної й програмної реалізації;
- (?) висока швидкість роботи алгоритму.

#### 9. Для чого використовують RAM?

- (!) як операційний запам'ятовувальний пристрій;
- (?) як постійний запам'ятовувальний пристрій;
- (?) для транслявання інформації.

#### 10. Для чого використовують VRAM?

- (?) для транслявання інформації;
- (?) для зберігання відео;
- (!) для тимчасового зберігання зображення.

*Навчальне видання*

Методичні вказівки  
до виконання самостійної роботи  
з дисципліни «ПЛІС та їх програмування»  
для студентів спеціальності  
153 – «Мікро- та наносистемна техніка»

Укладач Богдан Петрович Книш

Рукопис оформив Б. Книш

Редактор Т. Старічек

Оригінал-макет виготовив О. Ткачук

Підписано до друку \_\_.\_\_.2020 р.  
Формат 29,7×42¼. Папір офсетний.  
Гарнітура Times New Roman.  
Друк різнографічний. Ум. друк. арк. \_\_,\_\_.  
Наклад 40 (1-й запуск 1–21) пр. Зам. № 2020-\_\_.

Видавець та виготовлювач  
Вінницький національний технічний університет,  
інформаційний редакційно-видавничий центр.  
ВНТУ, ГНК, к. 114.  
Хмельницьке шосе, 95,  
м. Вінниця, 21021.  
Тел. (0432) 65-18-06.  
**press.vntu.edu.ua;**  
*E-mail:* kivc.vntu@gmail.com.  
Свідоцтво суб'єкта видавничої справи  
серія ДК № 3516 від 01.07.2009 р.