



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **135679** (13) **U**
(51) МПК
H03F 3/26 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

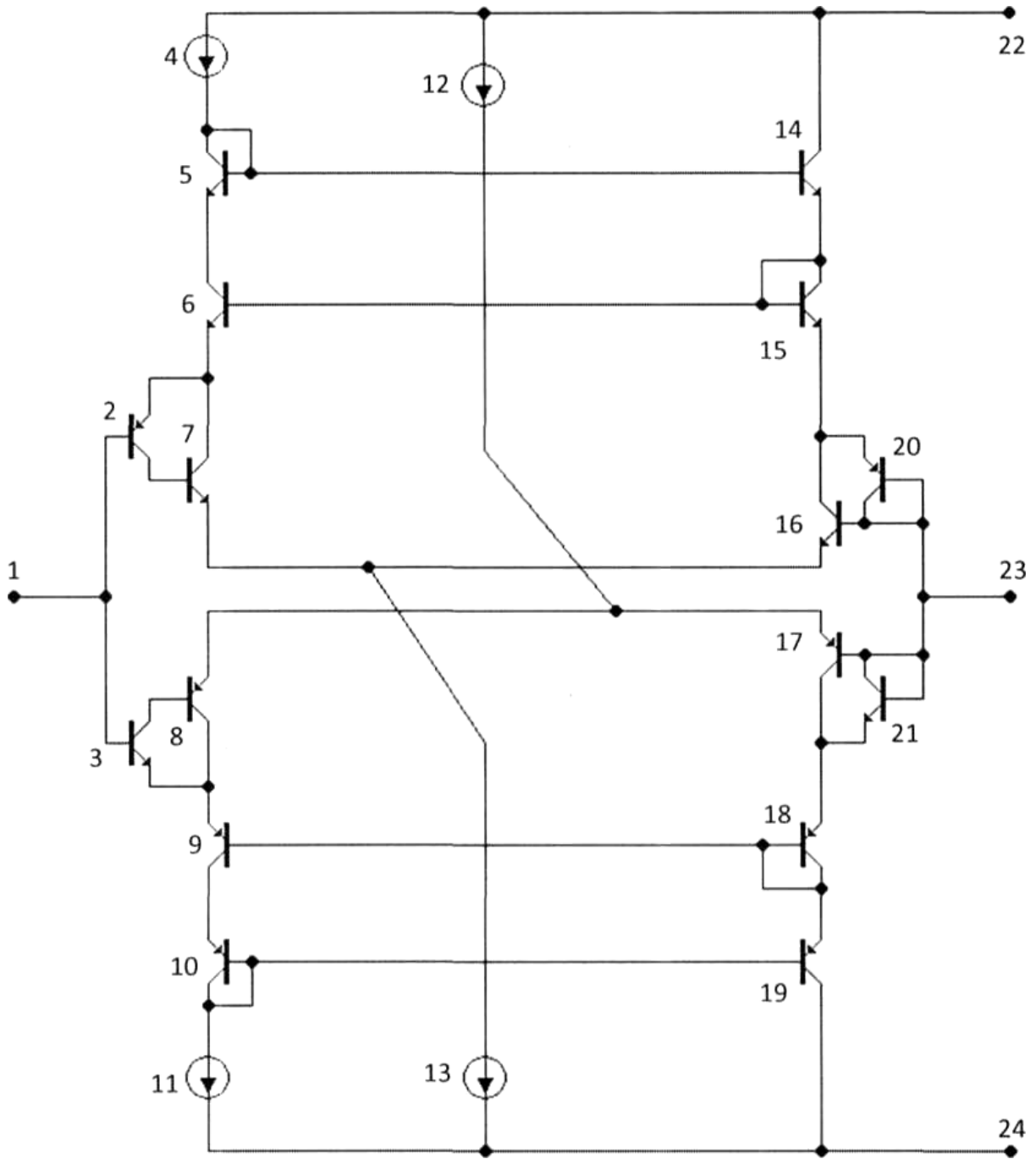
<p>(21) Номер заявки: u 2019 01341</p> <p>(22) Дата подання заявки: 11.02.2019</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.07.2019</p> <p>(46) Публікація відомостей про видачу патенту: 10.07.2019, Бюл.№ 13</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Кирилащук Світлана Анатоліївна (UA), Богомолов Сергій Віталійович (UA), Обертюк Максим Романович (UA), Медяний Роман Михайлович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	--

(54) БУФЕРНИЙ КАСКАД

(57) Реферат:

Буферний каскад, який містить шини додатного та від'ємного живлення, два джерела струму, десять транзисторів, вхідну та вихідну шини. Додатково введено шість транзисторів, два джерела струму. Колектор четвертого транзистора з'єднано з базою тринадцятого транзистора, емітер тринадцятого транзистора з'єднано з емітерами першого і четвертого транзисторів, колектор п'ятого транзистора з'єднано з базою чотирнадцятого транзистора, колектор чотирнадцятого транзистора з'єднано з емітерами п'ятого і восьмого транзисторів, колектор першого транзистора з'єднано з емітером одинадцятого транзистора, колектор восьмого транзистора з'єднано з емітером дванадцятого транзистора, шина додатного живлення з'єднана з виходом третього джерела струму, шина від'ємного живлення з'єднана з виходом четвертого джерела струму, вхід третього джерела струму з'єднано з емітерами чотирнадцятого та шістнадцятого транзисторів, вхід четвертого джерела струму з'єднано з емітерами тринадцятого і п'ятнадцятого транзисторів, колектор п'ятнадцятого транзистора з'єднано з емітерами третього та десятого транзисторів, колектор шістнадцятого транзистора з'єднано з емітерами шостого та дев'ятого транзисторів, бази п'ятнадцятого та шістнадцятого транзисторів з'єднано з базами та колекторами дев'ятого і десятого транзисторів і з вихідною шиною.

UA 135679 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо буферний пристрій [Бахтиаров Г.Д., Малинин В.В., Школин В.П. Аналого-цифровые преобразователи / Под ред. Г.Д. Бахтиарова. - М.: Советское радио, 1980.-280 с. ил. Рис. 6.28 на сторінці 150], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, бази другого та сьомого транзисторів з'єднано з базами та колекторами першого та восьмого транзисторів відповідно, емітери восьмого та п'ятого транзисторів об'єднано між собою та з'єднано з базою шостого транзистора, емітери першого та четвертого транзисторів об'єднано між собою та з'єднано з базою третього транзистора, колектори четвертого та п'ятого транзисторів з'єднано з колекторами шостого та третього транзисторів відповідно, емітери третього та шостого транзисторів об'єднано та з'єднано з вихідною шиною.

Недоліками аналога є низька точність, що викликано значною вихідною напругою зміщення нуля через не ідентичність параметрів пар n-p-n та p-n-p транзисторів у верхньому та нижньому каналах.

За найближчий аналог взято буферний каскад [патент України № 51014, М. К. Л. Н03F 5/22, G05B 1/00, 2009 р.], який містить десять транзисторів, перше та друге джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, бази другого та сьомого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а бази першого та восьмого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, колектори та бази дев'ятого та десятого транзисторів об'єднано між собою, а також з колекторами четвертого та п'ятого транзисторів та з'єднано з вихідною шиною.

Недоліками найближчого аналога є низька точність роботи пристрою.

В основу корисної моделі поставлена задача створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність, а це в свою чергу розширює галузь використання корисної моделі в різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що в буферний каскад, який містить шини додатного та від'ємного живлення, два джерела струму, десять транзисторів, вхідну та вихідну шини, причому вхідна шина з'єднана з базами четвертого, п'ятого транзисторів, емітери першого та четвертого транзисторів з'єднано між собою, емітери п'ятого та восьмого транзисторів з'єднано між собою, бази першого і третього транзисторів з'єднано з емітером другого транзистора та колектором третього транзистора, шина додатного живлення з'єднана з колектором другого транзистора та виходом першого джерела струму, вхід першого джерела струму з'єднано з базою другого транзистора, емітер третього транзистора з'єднано з емітером десятого транзистора, бази шостого, восьмого транзисторів з'єднано з колектором шостого та емітером сьомого транзисторів, база сьомого транзистора з'єднана з входом другого джерела струму та колектором восьмого транзистора, колектор сьомого транзистора з'єднано з виходом другого джерела струму та шиною від'ємного живлення, емітер шостого транзистора з'єднано з емітером дев'ятого транзистора, бази та колектори дев'ятого та десятого транзисторів з'єднано з вихідною шиною, згідно з корисною моделлю введено шість транзисторів, два джерела струму, причому колектор четвертого транзистора з'єднано з базою тринадцятого транзистора, емітер тринадцятого транзистора з'єднано з емітерами першого і четвертого транзисторів, колектор п'ятого транзистора з'єднано з базою чотирнадцятого транзистора, колектор чотирнадцятого транзистора з'єднано з емітерами п'ятого і восьмого транзисторів, колектор першого транзистора з'єднано з емітером одинадцятого транзистора, колектор восьмого транзистора з'єднано з емітером дванадцятого транзистора, шина додатного живлення з'єднана з виходом третього джерела струму, шина від'ємного живлення з'єднана з виходом четвертого

джерела струму, вхід третього джерела струму з'єднано з емітерами чотирнадцятого та шістнадцятого транзисторів, вхід четвертого джерела струму з'єднано з емітерами тринадцятого і п'ятнадцятого транзисторів, колектор п'ятнадцятого транзистора з'єднано з емітерами третього та десятого транзисторів, колектор шістнадцятого транзистора з'єднано з емітерами шостого та дев'ятого транзисторів, бази п'ятнадцятого та шістнадцятого транзисторів з'єднано з базами та колекторами дев'ятого і десятого транзисторів і з вихідною шиною.

На кресленні представлено принципову схему буферного каскаду.

Пристрій містить вхідну шину 1, яка з'єднана з базами четвертого 2 та п'ятого 3 транзисторів, емітери першого 6 та четвертого 2 транзисторів з'єднано з колектором тринадцятого 7 транзистора, колектор четвертого 2 транзистора з'єднано з базою тринадцятого 7 транзистора, бази першого 6 і третього 15 транзисторів з'єднано з колектором третього 15 транзистора та емітером другого 14 транзистора, колектор першого 6 транзистора з'єднано з емітером одинадцятого 5 транзистора, бази одинадцятого 5 і другого 14 транзисторів з'єднано з колектором одинадцятого 5 транзистора та входом першого джерела струму 4, шина додатного живлення 22 з'єднана з виходами першого 4 і третього 12 джерел струму, вхід третього 12 джерела струму з'єднано з емітерами чотирнадцятого 8 та шістнадцятого 17 транзисторів, емітери третього 15 та десятого 20 транзисторів з'єднано з колектором п'ятнадцятого 16 транзистора, бази дев'ятого 21, десятого 20, п'ятнадцятого 16, шістнадцятого 17 транзисторів з'єднано з колекторами дев'ятого 21 та десятого 20 транзисторів та з'єднано з вихідною шиною 23, емітери п'ятого 3 і восьмого 9 транзисторів з'єднано з колектором чотирнадцятого 8 транзистора, база чотирнадцятого 8 транзистора з'єднано з колектором п'ятого 3 транзистора, колектор восьмого 9 транзистора з'єднано з емітером дванадцятого 10 транзистора, бази сьомого 19 та дванадцятого 10 транзисторів з'єднано з колектором дванадцятого 10 транзистора та входом другого джерела струму 11, вихід другого джерела струму 11 з'єднано з шиною від'ємного живлення 24 та виходом четвертого джерела струму 13 та з колектором сьомого 19 транзистора, бази шостого 18 і восьмого 9 транзисторів з'єднано з колектором шостого 18 транзистора та емітером сьомого 19 транзистора, емітери шостого 18 і дев'ятого 21 транзисторів з'єднано з колектором шістнадцятого 17 транзистора, емітери тринадцятого 7 і п'ятнадцятого 16 транзисторів з'єднано з входом четвертого джерела струму 13.

Пристрій працює таким чином. Сигнал у вигляді напруги подається на вхідну шину 1.

У випадку, якщо вхідний сигнал має додатній потенціал, то четвертий 2 транзистор при закривається а п'ятий 3 транзистор при відкривається, це у свою чергу призводить до при закривання тринадцятого 7 транзистора та при відкривання чотирнадцятого 8 транзистора відповідно, в свою чергу це призводить до збільшення базового струму другого 14 транзистора та зменшення базового струму сьомого 19 транзистора відповідно, в свою чергу це призводить до при відкривання другого 14 транзистора та при закриванні сьомого 19 транзистора відповідно, в свою чергу струм емітера другого 14 транзистора збільшується, а сьомого 19 зменшується, даний струм передається на складені транзистори Шиклаї, які побудовано на десятому 20, п'ятнадцятому 16, а також дев'ятому 21, шістнадцятому 17 транзисторах у діодному вмиканні на вихідну шину 23, що призводить до підвищення напруги вихідної шини до того часу поки напруга вхідної шини 1 та вихідної шини 23 не збалансується.

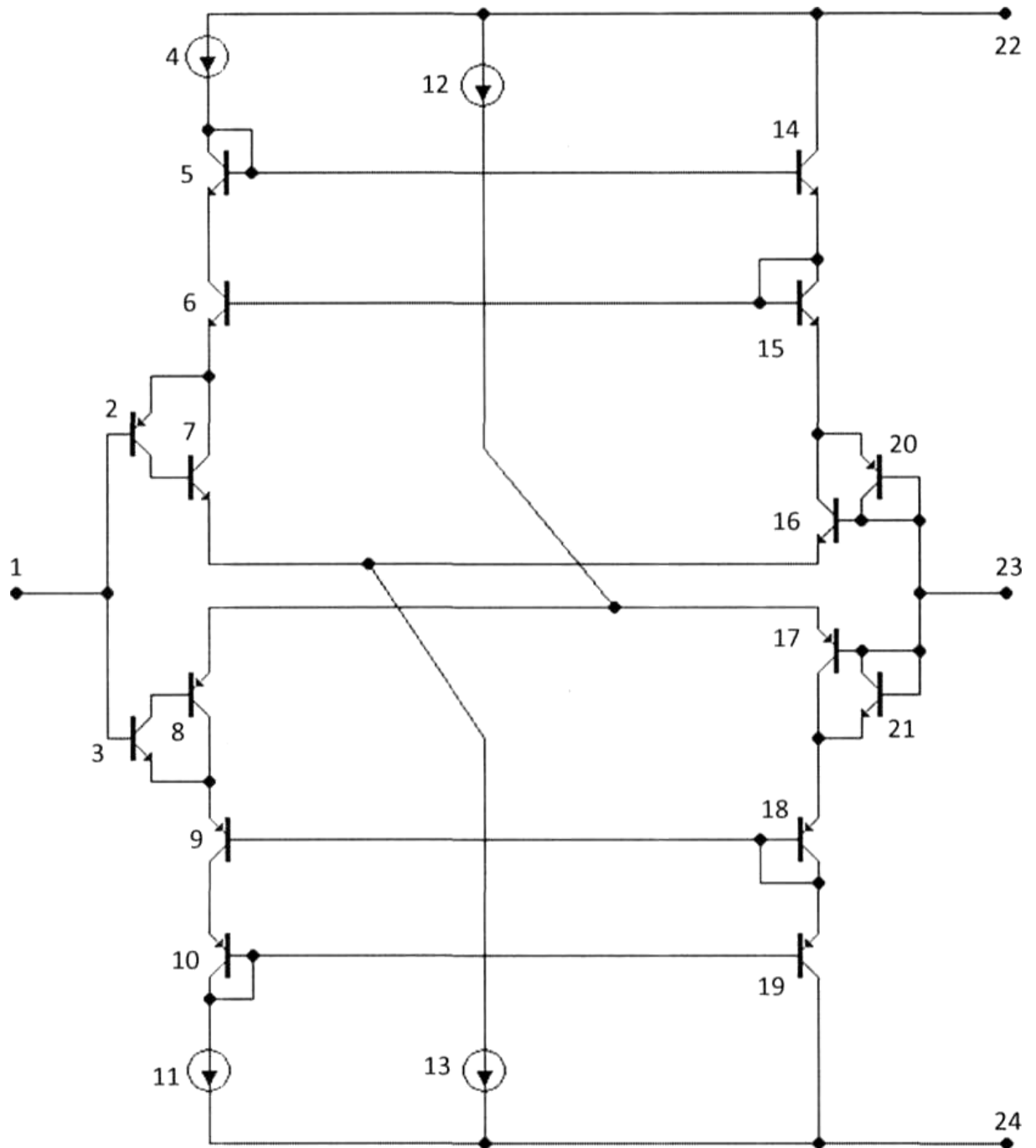
У випадку, якщо вхідний сигнал має від'ємний потенціал, то четвертий 2 транзистор привідкривається а п'ятий 3 транзистор при закривається, це у свою чергу призводить до привідкривання тринадцятого 7 транзистора та при закривання чотирнадцятого 8 транзистора відповідно, в свою чергу це призводить до зменшення базового струму другого 14 транзистора та збільшення базового струму сьомого 19 транзистора відповідно, в свою чергу це призводить до при закривання другого 14 транзистора та привідкриванні сьомого 19 транзистора відповідно, в свою чергу струм емітера другого 14 транзистора зменшується, а сьомого 19 збільшується, даний струм передається на складені транзистори Шиклаї, які побудовано на десятому 20, п'ятнадцятому 16, а також дев'ятому 21, шістнадцятому 17 транзисторах у діодному вмиканні на вихідну шину 23, що призводить до підвищення напруги вихідної шини до того часу поки напруга вхідної шини 1 та вихідної шини 23 не збалансується.

Четвертий 2, тринадцять 7 транзистори та п'ятий 3, чотирнадцятий 8 транзистори утворюють складені транзистори Шиклаї, за рахунок яких зменшується вхідний опір схеми що призводить до підвищення її навантажувальної здатності та точності роботи. Одинадцятий 5, другий 14, перший 6, третій 15 транзистори, а також дванадцятий 10, сьомий 19, восьмий 9, шостий 18 транзистори утворюють складені відбивачі Вільсона, які забезпечують передачу вхідного підсиленого сигналу на вхідному каскаді складеного з четвертого 2, тринадцятого 7, п'ятого 3, чотирнадцятого 8 транзисторів Шиклаї, а також задають режим роботи по постійному струмі каскадів схеми разом у поєднанні з першим 4, другим 11, третім 12, четвертим 13

джерелами струму відповідно, десятий 20, п'ятнадцятий 16, дев'ятий 21, шістнадцятий 17 транзистори Шиклаї утворюють вихідний каскад, який забезпечує балансування схеми по відношенню до вхідного каскаду, який побудовано на четвертому 2, тринадцятому 7, п'ятому 3, чотирнадцятому 8 транзисторах Шиклаї відповідно, шини додатного 22 і від'ємного 24 живлення забезпечують живлення схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буферний каскад, який містить шини додатного та від'ємного живлення, два джерела струму, десять транзисторів, вхідну та вихідну шини, причому вхідна шина з'єднана з базами четвертого, п'ятого транзисторів, емітери першого та четвертого транзисторів з'єднано між собою, емітери п'ятого та восьмого транзисторів з'єднано між собою, бази першого і третього транзисторів з'єднано з емітером другого транзистора та колектором третього транзистора, шина додатного живлення з'єднана з колектором другого транзистора та виходом першого джерела струму, вхід першого джерела струму з'єднано з базою другого транзистора, емітер третього транзистора з'єднано з емітером десятого транзистора, бази шостого, восьмого транзисторів з'єднано з колектором шостого та емітером сьомого транзисторів, база сьомого транзистора з'єднана з входом другого джерела струму та колектором восьмого транзистора, колектор сьомого транзистора з'єднано з виходом другого джерела струму та шиною від'ємного живлення, емітер шостого транзистора з'єднано з емітером дев'ятого транзистора, бази та колектори дев'ятого та десятого транзисторів з'єднано з вихідною шиною, який **відрізняється** тим, що введено шість транзисторів, два джерела струму, причому колектор четвертого транзистора з'єднано з базою тринадцятого транзистора, емітер тринадцятого транзистора з'єднано з емітерами першого і четвертого транзисторів, колектор п'ятого транзистора з'єднано з базою чотирнадцятого транзистора, колектор чотирнадцятого транзистора з'єднано з емітерами п'ятого і восьмого транзисторів, колектор першого транзистора з'єднано з емітером одинадцятого транзистора, колектор восьмого транзистора з'єднано з емітером дванадцятого транзистора, шина додатного живлення з'єднана з виходом третього джерела струму, шина від'ємного живлення з'єднана з виходом четвертого джерела струму, вхід третього джерела струму з'єднано з емітерами чотирнадцятого та шістнадцятого транзисторів, вхід четвертого джерела струму з'єднано з емітерами тринадцятого і п'ятнадцятого транзисторів, колектор п'ятнадцятого транзистора з'єднано з емітерами третього та десятого транзисторів, колектор шістнадцятого транзистора з'єднано з емітерами шостого та дев'ятого транзисторів, бази п'ятнадцятого та шістнадцятого транзисторів з'єднано з базами та колекторами дев'ятого і десятого транзисторів і з вихідною шиною.



Комп'ютерна верстка В. Юкін

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601