



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **135902** (13) **U**
(51) МПК (2019.01)
G06F 15/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

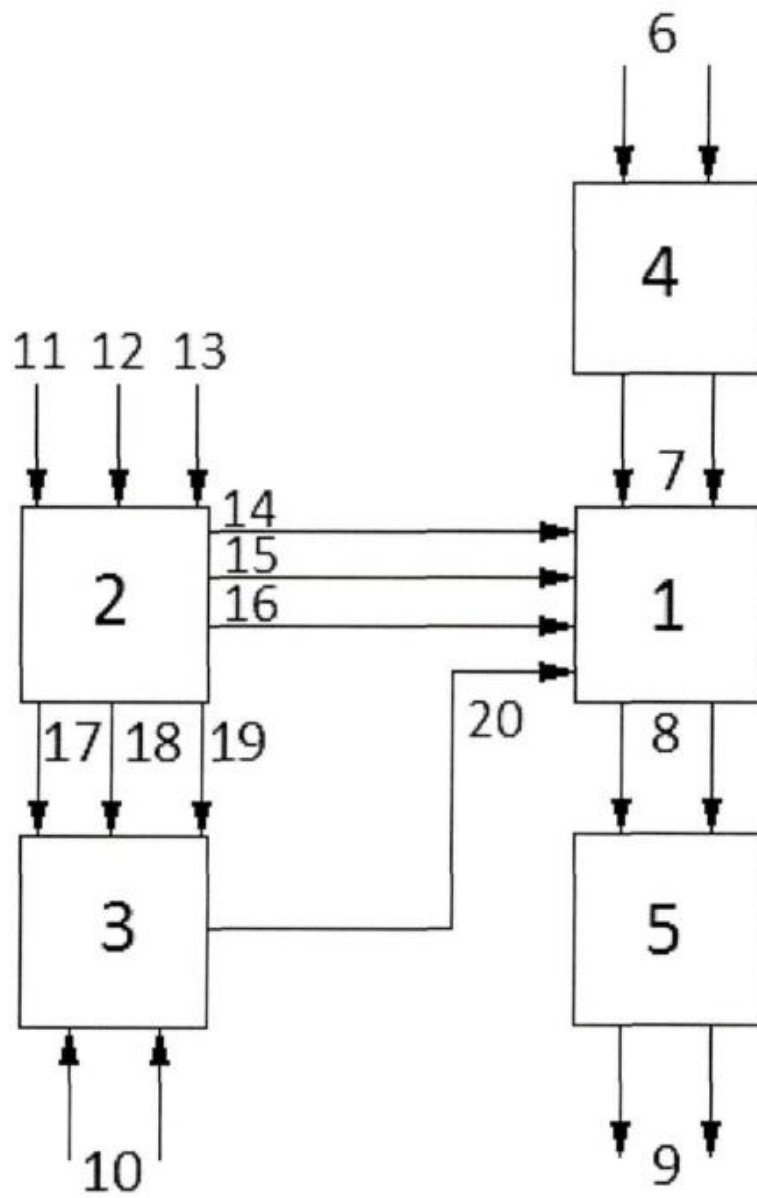
(21) Номер заявки: u 2019 01338	(72) Винахідник(и): Мартинюк Тетяна Борисівна (UA), Фащілін Сергій Максимович (UA), Круківський Богдан Ігорович (UA)
(22) Дата подання заявки: 11.02.2019	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 25.07.2019	
(46) Публікація відомостей про видачу патенту: 25.07.2019, Бюл.№ 14	

(54) КОРЕЛЯТОР

(57) Реферат:

Корелятор містить блок керування і кореляційну матрицю, обчислювальні комірки якої містять елемент І, перший вхід якого підключений до входу еталонного сигналу корелятора, два тригера, мультиплексор, в кожній обчислювальній комірці вихід мультиплексора з'єднаний з інформаційним входом першого тригера, вхід встановлення в "0" першого тригера і вхід встановлення в "1" другого тригера підключені до входу встановлення початкового стану, інверсний вихід першого тригера з'єднаний з другим входом елемента І, вихід якого з'єднаний з входом встановлення в "0" другого тригера. В кожному рядку матриці перші інформаційні входи мультиплексорів обчислювальних комірок кожного наступного стовпця з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього стовпця того ж рядка, а прямі виходи перших тригерів обчислювальних комірок наступного стовпця з'єднані з другими інформаційними входами мультиплексорів відповідних обчислювальних комірок попереднього стовпця того ж рядка, в кожному стовпці матриці треті інформаційні входи мультиплексорів обчислювальних комірок кожного наступного рядка з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього рядка того ж стовпця, а прямі виходи перших тригерів обчислювальних комірок кожного наступного рядка з'єднані з четвертими інформаційними входами мультиплексорів відповідних обчислювальних комірок попереднього рядка того ж стовпця. Введено блок пам'яті еталонів, аналого-цифровий перетворювач та матрицю світлодіодів, причому оптичні входи пристрою з'єднані з входами аналого-цифрового перетворювача, виходи якого електрично з'єднані з бінарними входами кореляційної матриці, бінарні виходи якої підключені до відповідних входів матриці світлодіодів, інформаційні виходи корелятора з'єднані з оптичними виходами матриці світлодіодів, а інформаційні входи корелятора з'єднані з входами блока пам'яті еталонів. Вхід початкового встановлення, вхід запуску, вхід синхронізації корелятора підключені відповідно до першого, другого і третього входів блока керування, перший, другий, третій виходи блока керування підключені відповідно до входів початкового встановлення, синхронізації та адреси кореляційної матриці, а його четвертий, п'ятий і шостий виходи з'єднані відповідно з входами запису і зчитування та адресним входом блока пам'яті еталонів, інформаційний вихід якого з'єднаний з входом кореляційної матриці. Крім цього в кожній обчислювальній комірці прямий вихід другого тригера з'єднаний з бінарним виходом обчислювальної комірки, її бінарний вхід з'єднаний з входом встановлення в "1" першого тригера, її адресний вхід і вхід синхронізації підключені відповідно до адресних входів мультиплексора і тактового входу першого тригера.

UA 135902 U



Фиг. 1

Корисна модель належить до обчислювальної техніки і може бути використана у спеціалізованих обчислювальних пристроях для цифрової обробки та аналізу сигналів та зображень, що працюють в реальному часі.

Відомий корелятор [а.с. СРСР 1381539, м. кл. G06F 15/336, 1988 р., бюл. № 10], що містить матрицю з N стовпців (N - довжина кореляційної послідовності) та M рядків (M - розрядність чисел вхідної послідовності) обчислювальних комірок, кожна з яких містить елемент I, суматор і чотири елементи затримки, перший вхід елемента I з'єднаний з входом першого елемента затримки і є першим входом обчислювальної комірки, вихід першого елемента затримки є першим виходом обчислювальної комірки, другий вхід елемента I з'єднаний з входом другого елемента затримки і є другим входом обчислювальної комірки, вихід другого елемента затримки є другим виходом обчислювальної комірки, вихід елемента I з'єднаний з першим інформаційним входом суматора, вхід переносу якого є третім входом обчислювальної комірки, вихід переносу та інформаційний вихід суматора з'єднані відповідно з входами третього і четвертого елементів затримки, вихід третього елемента затримки є третім виходом обчислювальної комірки, перший вхід кожної обчислювальної комірки першого стовпця матриці є відповідним інформаційним входом корелятора, перші входи обчислювальних комірок кожного наступного стовпця матриці з'єднані відповідно з першими виходами обчислювальних комірок попереднього стовпця матриці, другі входи обчислювальних комірок першого рядка матриці є входами задання відповідних кореляційних коефіцієнтів корелятора, треті входи обчислювальних комірок першого рядка матриці є входами задання нульового значення корелятора, у кожному стовпці матриці другі і треті входи кожної наступної обчислювальної комірки стовпця з'єднані відповідно з другим і третім виходами попередньої обчислювальної комірки того ж стовпця, крім того кожна обчислювальна комірка матриці містить п'ятий елемент затримки, вхід якого з'єднаний з виходом четвертого елемента затримки, а вихід є четвертим виходом обчислювальної комірки, другий інформаційний вхід суматора є четвертим входом обчислювальної комірки, четверті входи всіх обчислювальних комірок першого стовпця є входами заборони формування суми корелятора, в кожному рядку матриці четвертий вихід попередньої обчислювальної комірки з'єднаний з четвертим входом наступної обчислювальної комірки, четвертий вихід останньої обчислювальної комірки матриці є відповідним виходом результату корелятора.

Недоліком даного пристрою є складність візуалізації результатів кореляційної обробки через необхідність введення оптичних елементів у склад обчислювальних комірок матриці.

Найбільш близьким аналогом є корелятор [а.с. СРСР 1674154, м. кл. G06F 15/336, 1991 р., бюл. № 32], що містить матрицю обчислювальних комірок для визначення кореляційних коефіцієнтів, в подальшому кореляційну матрицю, обчислювальні комірки якої містять елемент I, перший вхід якого підключений до входу еталонного сигналу корелятора, два тригери, мультиплексор, фотодіод, світлодіод, струмозадаючий резистор, блок керування, що містить три тригери, п'ять лічильників, дешифратор, елемент I, елемент АБО-НІ, причому в блоці керування інформаційний вхід першого тригера є входом запуску корелятора, вхід встановлення в "0" першого тригера з'єднаний з входами встановлення в "0" другого тригера, першого, другого і третього лічильників, входами синхронізації четвертого і п'ятого лічильників, з входом встановлення в "1" третього тригера і з прямим виходом першого тригера, вхід синхронізації першого тригера з'єднаний з першим входом елемента I і є входом синхронізації корелятора, інформаційний вхід третього тригера з'єднаний з шиною нульового потенціалу, прямий вихід третього тригера з'єднаний з другим входом елемента I, вихід якого підключений до синхровходу дешифратора і до входу зворотної лічби другого лічильника, синхровхід якого з'єднаний з виходом ознаки від'ємного стану другого лічильника, з входом лічби третього лічильника і входом встановлення в "1" другого тригера, прямий вихід якого з'єднаний з входом лічби першого лічильника, інформаційний вихід якого з'єднаний з входом задання початкового стану другого лічильника, вхід встановлення в "0" третього тригера є входом встановлення в початковий стан корелятора, інформаційний вихід третього лічильника з'єднаний з інформаційним входом дешифратора, з першого по четвертий виходи якого з'єднані відповідно з входом зворотної лічби четвертого лічильника, входом прямої лічби п'ятого і четвертого лічильників, входом зворотної лічби п'ятого лічильника, вихід ознаки обнуління якого з'єднаний з першим входом елемента АБО-НІ, другий вхід якого з'єднаний з виходом ознаки обнуління четвертого лічильника, вихід елемента АБО-НІ з'єднаний з синхровходом третього тригера, в кожній обчислювальній комірці вихід мультиплексора з'єднаний з інформаційним входом першого тригера, вхід встановлення в "0" першого тригера і вхід встановлення в "1" другого тригера підключені до входу встановлення початкового стану корелятора, інверсний вихід першого тригера з'єднаний з другим входом елемента I, вихід якого з'єднаний з входом

встановлення в "0" другого тригера, прямий вихід якого з'єднаний з електричним входом світлодіода, електричний вихід якого підключений до шини нульового потенціалу, до якої підключений перший вивід струмозадаючого резистора, другий вивід якого підключений до входу встановлення в "1" першого тригера і до електричного входу фотодіода, електричний

5 вихід якого з'єднаний з шиною додатного потенціалу, в кожному рядку кореляційної матриці перші інформаційні входи мультиплексорів обчислювальних комірок кожного наступного стовпця з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього стовпця того ж рядка, а прямі виходи перших тригерів обчислювальних комірок наступного стовпця з'єднані з другими інформаційними входами мультиплексорів відповідних

10 обчислювальних комірок попереднього стовпця того ж рядка, в кожному стовпці кореляційної матриці треті інформаційні входи мультиплексорів обчислювальних комірок кожного наступного рядка з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього рядка того ж стовпця, а прямі виходи перших тригерів обчислювальних комірок кожного наступного рядка з'єднані з четвертими інформаційними входами мультиплексорів

15 відповідних обчислювальних комірок попереднього рядка того ж стовпця, прямий вихід першого тригера блока керування з'єднаний з входами встановлення в "0" перших тригерів і входами встановлення в "1" других тригерів всіх обчислювальних комірок, синхровходи перших тригерів обчислювальних комірок з'єднані з виходом елемента I блока керування, інформаційний вихід третього лічильника блока керування з'єднаний з адресними входами мультиплексорів

20 обчислювальних комірок, входи задання початкового стану четвертого і п'ятого лічильників блока керування є входами задання початкових координат еталонного зображення корелятора, інформаційні виходи четвертого і п'ятого лічильників підключені до адресного виходу координат еталонного зображення корелятора, оптичні входи фотодіодів і оптичні виходи світлодіодів всіх обчислювальних комірок утворюють відповідно оптичний вхід поточного зображення і оптичний

25 вихід еталонного зображення корелятора.

Недоліком найближчого аналога є складність реалізації повнофункціональної кореляційної матриці через неузгодженість електричних параметрів цифрових та оптичних елементів у складі її обчислювальних комірок.

В основу корисної моделі поставлено задачу створення корелятора, в якому за рахунок введення нових блоків і зв'язків досягається зменшення складності реалізації кореляційної

30 матриці через використання матричного аналого-цифрового перетворювача та матриці світлодіодів у складі корелятора.

Поставлена задача вирішується тим, що у корелятор, що містить кореляційну матрицю, обчислювальні комірки якої містять елемент I, перший вхід якого підключений до входу еталонного сигналу корелятора, блок керування, два тригера, мультиплексор, в кожній

35 обчислювальній комірці вихід мультиплексора з'єднаний з інформаційним входом першого тригера, вхід установки в "0" першого тригера і вхід установки в "1" другого тригера підключені до входу установки початкового стану, інверсний вихід першого тригера з'єднаний з другим входом елемента I, вихід якого з'єднаний з входом установки в "0" другого тригера, в кожному

40 рядку матриці перші інформаційні входи мультиплексорів обчислювальних комірок кожного наступного стовпця з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього стовпця того ж рядка, а прямі виходи перших тригерів обчислювальних осередків наступного стовпця з'єднані з другими інформаційними входами мультиплексорів

45 відповідних обчислювальних комірок попереднього стовпця того ж рядка, в кожному стовпці матриці треті інформаційні входи мультиплексорів обчислювальних комірок кожного наступного рядка з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього рядка того ж стовпця, а прямі виходи перших тригерів обчислювальних комірок кожного наступного рядка з'єднані з четвертими інформаційними входами мультиплексорів

50 відповідних обчислювальних комірок попереднього рядка того ж стовпця, введено блок пам'яті еталонів, аналого-цифровий перетворювач та матрицю світлодіодів, причому оптичні входи пристрою з'єднані з входами аналого-цифрового перетворювача, виходи якого електрично з'єднані з бінарними входами кореляційної матриці, бінарні виходи якої підключені до

55 відповідних входів матриці світлодіодів, інформаційні виходи корелятора з'єднані з оптичними виходами матриці світлодіодів, а інформаційні входи корелятора з'єднані з входами блока пам'яті еталонів, вхід початкового встановлення, вхід запуску, вхід синхронізації корелятора підключені відповідно до першого, другого і третього входів блока керування, перший, другий, третій виходи блока керування підключені відповідно до входів початкового встановлення, синхронізації та адреси кореляційної матриці, а його четвертий, п'ятий і шостий виходи з'єднані

60 відповідно з входами запису і читування та адресним входом блока пам'яті еталонів, інформаційний вихід якого з'єднаний з входом кореляційної матриці, крім того, в кожній

обчислювальній комірці прямий вихід другого тригера з'єднаний з бінарним виходом обчислювальної комірки, її бінарний вхід з'єднаний з входом встановлення в "1" першого тригера, її адресний вхід і вхід синхронізації підключені відповідно до адресних входів мультиплексора і тактового входу першого тригера.

5 На Фіг. 1 показано структурну схему корелятора, на Фіг. 2 представлено структурну схему кореляційної матриці, на Фіг. 3 показано функціональну схему обчислювальної комірки кореляційної матриці.

Корелятор (Фіг. 1) містить кореляційну матрицю 1, блок 2 керування, блок пам'яті 3 еталонів, аналого-цифровий перетворювач (АЦП) 4 та матрицю 5 світлодіодів.

10 Оптичні входи 6 пристрою з'єднані з входами аналого-цифрового перетворювача 4, виходи якого електрично з'єднані з бінарними входами 7 кореляційної матриці 1, бінарні виходи 8 якої підключені до відповідних входів матриці 5 світлодіодів. Інформаційні виходи 9 корелятора з'єднані з оптичними виходами матриці 5 світлодіодів, а інформаційні входи 10 корелятора з'єднані з входами блока пам'яті 3 еталонів, вхід 11 початкового встановлення, вхід 12 запуску, 15 вхід 13 синхронізації корелятора підключені до відповідних входів блока 2 керування. Виходи 14-16 блока 2 керування підключені відповідно до входів початкового встановлення, синхронізації та адреси кореляційної матриці 1, а його виходи 17-19 з'єднані відповідно з входами запису і зчитування та адресним входом блока пам'яті 3 еталонів, інформаційний вихід якого з'єднаний з входом 20 кореляційної матриці 1.

20 Кореляційна матриця 1 (Фіг. 2) містить матрицю обчислювальних комірок $21.i.j$ (i - номер рядка; j - номер стовпця), кожна з яких має вхід 14 початкового встановлення, вхід 15 синхронізації, адресний вхід 16, вхід 20 еталонного сигналу, бінарний вхід 7, бінарний вихід 8, інформаційні входи 22-25, інформаційні виходи 26-29. Інформаційні виходи 28 і 26, 27 і 29 кожної обчислювальної комірки $21.i.j$, крім крайніх, з'єднані з інформаційними входами 24 і 22, 25 і 23 відповідно сусідніх обчислювальних комірок, розташованих праворуч ($21.i+1.j$), ліворуч ($21.i-1.j$), зверху ($21.i.j+1$) і знизу ($21.i.j-1$).

30 Кожна обчислювальна комірка $21.i.j$ (Фіг. 3) містить D-тригер 30, RS-тригер 31, мультиплексор 32, елемент I 33. Вихід мультиплексора 32 з'єднаний з D-входом D-тригера 30, прямий вихід якого з'єднаний з інформаційними виходами 26-29 обчислювальної комірки, а інверсний вихід якого з'єднаний з першим входом елемента I 33, другий вхід якого з'єднаний з входом 20 еталонного сигналу, а вихід з'єднаний з R-входом RS-тригера 31. S-вхід RS-тригера 31 підключений до R-входу D-тригера 30 і до входу 14 початкового встановлення комірки, вхід 15 синхронізації якої з'єднаний з тактовим входом D-тригера 30. Прямий вихід RS-тригера 31 з'єднаний з бінарним виходом 8 обчислювальної комірки, дворозрядний адресний 35 вхід 16 якої з'єднаний з адресними входами A0, A1 мультиплексора 32, а інформаційні входи якого з'єднані з інформаційними входами 22-25 обчислювальної комірки, бінарний вхід 7 обчислювальної комірки з'єднаний з S-входом RS-тригера 30.

40 Корелятор (Фіг. 1) працює наступним чином. На блок 2 керування надходить сигнал початкового встановлення з входу 11 корелятора. Сигнал запуску з входу 12 та сигнал синхронізації з входу 13 корелятора надходять на блок 2 керування, з виходу 14 якого подається сигнал початкового встановлення до відповідних входів кореляційної матриці 1. З входу 10 корелятора на вхід блока пам'яті 3 еталонів записуються еталонні зображення за сигналами керування запису та адреси, що надходять відповідно з виходів 17 і 19 блока 2 керування. Після цього корелятор готовий до виконання кореляційної обробки поточного 45 зображення.

З оптичного входу 6 пристрою на аналого-цифровий перетворювач 4 надходить оптичне двовимірне поточне зображення, яке після перетворення в аналого-цифровому перетворювачі 4 в бінарне двовимірне зображення подається на бінарні входи 7 кореляційної матриці 1, де зберігається в її обчислювальних комірках. При цьому для синхронізації задіяно вихід 15 блока 2 керування.

50 Кореляційна обробка починається з подачі еталонного зображення попіксельно до входу 20 кореляційної матриці 1 з інформаційного виходу блока пам'яті 3 еталонів. Після подачі кожного пікселя еталонного зображення виконується відповідний зсув інформації у кореляційній матриці 1 за сигналами керування синхронізації та адреси з відповідних виходів 15 і 16 блока 2 керування. Одночасно змінюється адреса відповідного розряду (пікселя) еталонного зображення у блоці пам'яті 3 еталонів за сигналом керування з виходу 19 блока 2 керування. Цей процес завершується після зчитування останнього розряду еталонного зображення з блока пам'яті 3 еталонів на вхід 20 кореляційної матриці 1.

60 Після завершення кореляційної обробки з бінарних виходів 8 кореляційної матриці 1 до відповідних входів матриці 5 світлодіодів подається сформований двовимірний кореляційний

рельєф. На виходах матриці 5 світлодіодів, які є інформаційними виходами 9 корелятора, формується оптичний вигляд кореляційного рельєфу, де висвітлюються одиничні пікселі кореляційного рельєфу.

Кореляційна матриця 1 (Фіг. 2) працює таким чином. У кореляційній матриці 1 визначається місцезнаходження центра двовимірного еталонного зображення $G=\{g_{ij}\}$ на полі двовимірного поточного зображення $F=\{f_{ij}\}$, де $N \times M$ - розмірність поточного зображення F , $n \times m$ - розмірність еталонного зображення G . Поточне F та еталонне G зображення є бінарними зображеннями, тобто кожний їх піксель подається однорозрядним двійковим кодом. На полі поточного зображення F і на полі еталонного зображення G обов'язково присутні центрований рядок і центрований стовпець, які мають нульові номери.

Для прискорення процесу обчислення взаємно кореляційної функції застосовано підхід до визначення координат центра еталонних зображень G на полі поточного зображення F , який дозволяє відмовитись від "виращування" кореляційного рельєфу за рахунок поступового зменшення значення елементів матриці поточного кореляційного рельєфу на загальну величину у кожному такті обробки. В результаті одиничне значення на робочому полі кореляційної матриці 1 зберігають тільки глобальні максимуми, що не лише дозволяє перейти від багатоградаційного до бінарного результуючого кореляційного рельєфу, але й за рахунок візуалізації збільшити наочність результату і прискорити визначення необхідних координат. Для збереження інформації при зсуві поточного зображення F розмірність робочого поля кореляційної матриці 1 обчислювальних комірок $21.i.j$ повинна бути такою $(N+n-1) \times (M+m-1)$.

Обчислювальна комірка $21.i.j$ (Фіг. 3) функціонує таким чином. При надходженні керуючого сигналу з входу 14 початкового встановлення здійснюється встановлення в нульовий стан D-тригера 30 і встановлення в одиничний стан RS-тригера 31 всіх обчислювальних комірок $21.i.j$ кореляційної матриці 1. З надходженням чергового синхроімпульсу із входу 15 синхронізації в D-тригер 30 записується значення відповідного елемента f_{ij} бінарного поточного зображення F , що надходить на бінарний вхід 7 відповідної обчислювальної комірки $21.i.j$ матриці. При надходженні на вхід 20 кожної обчислювальної комірки $21.i.j$ значення елемента g_{ij} бінарного еталонного зображення G на виході елемента І 33 формується сигнал:

$$\delta_{ij} = g_{ij} \cdot \overline{f_{ij}}, \quad (1)$$

В залежності від коду адреси, що надходить на адресний вхід 16 обчислювальної комірки $21.i.j$, можливий зсув ліворуч (по входу 22), вгору (по входу 23), праворуч (по входу 24), донизу (по входу 25) вмісту кореляційної матриці 1 обчислювальних комірок $21.i.j$.

Отже, виведення зі складу кожної обчислювальної комірки кореляційної матриці фотодіода та світлодіода і введення у склад корелятора відповідно аналого-цифрового перетворювача і матриці світлодіодів забезпечує спрощення структури кореляційної матриці, яка тепер виконує цифрову двовимірну кореляційну обробку без непритаманних їй функцій перетворення оптичного сигналу в цифровий і навпаки, цифрового сигналу в оптичний.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Корелятор, що містить блок керування і кореляційну матрицю, обчислювальні комірки якої містять елемент І, перший вхід якого підключений до входу еталонного сигналу корелятора, два тригера, мультиплексор, в кожній обчислювальній комірці вихід мультиплексора з'єднаний з інформаційним входом першого тригера, вхід встановлення в "0" першого тригера і вхід встановлення в "1" другого тригера підключені до входу встановлення початкового стану, інверсний вихід першого тригера з'єднаний з другим входом елемента І, вихід якого з'єднаний з входом встановлення в "0" другого тригера, в кожному рядку матриці перші інформаційні входи мультиплексорів обчислювальних комірок кожного наступного стовпця з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього стовпця того ж рядка, а прямі виходи перших тригерів обчислювальних комірок наступного стовпця з'єднані з другими інформаційними входами мультиплексорів відповідних обчислювальних комірок попереднього стовпця того ж рядка, в кожному стовпці матриці треті інформаційні входи мультиплексорів обчислювальних комірок кожного наступного рядка з'єднані з прямими виходами перших тригерів відповідних обчислювальних комірок попереднього рядка того ж стовпця, а прямі виходи перших тригерів обчислювальних комірок кожного наступного рядка з'єднані з четвертими інформаційними входами мультиплексорів відповідних обчислювальних комірок попереднього рядка того ж стовпця, який **відрізняється** тим, що введено блок пам'яті еталонів, аналого-цифровий перетворювач та матрицю світлодіодів, причому оптичні входи пристрою з'єднані з входами аналого-цифрового перетворювача, виходи якого електрично з'єднані з бінарними входами кореляційної матриці, бінарні виходи якої підключені до

відповідних входів матриці світлодіодів, інформаційні виходи корелятора з'єднані з оптичними виходами матриці світлодіодів, а інформаційні входи корелятора з'єднані з входами блока пам'яті еталонів, вхід початкового встановлення, вхід запуску, вхід синхронізації корелятора підключені відповідно до першого, другого і третього входів блока керування, перший, другий, третій виходи блока керування підключені відповідно до входів початкового встановлення, синхронізації та адреси кореляційної матриці, а його четвертий, п'ятий і шостий виходи з'єднані відповідно з входами запису і зчитування та адресним входом блока пам'яті еталонів, інформаційний вихід якого з'єднаний з входом кореляційної матриці, крім того в кожній обчислювальній комірці прямиий вихід другого тригера з'єднаний з бінарним виходом обчислювальної комірці, її бінарний вхід з'єднаний з входом встановлення в «1» першого тригера, її адресний вхід і вхід синхронізації підключені відповідно до адресних входів мультимплектора і тактового входу першого тригера.

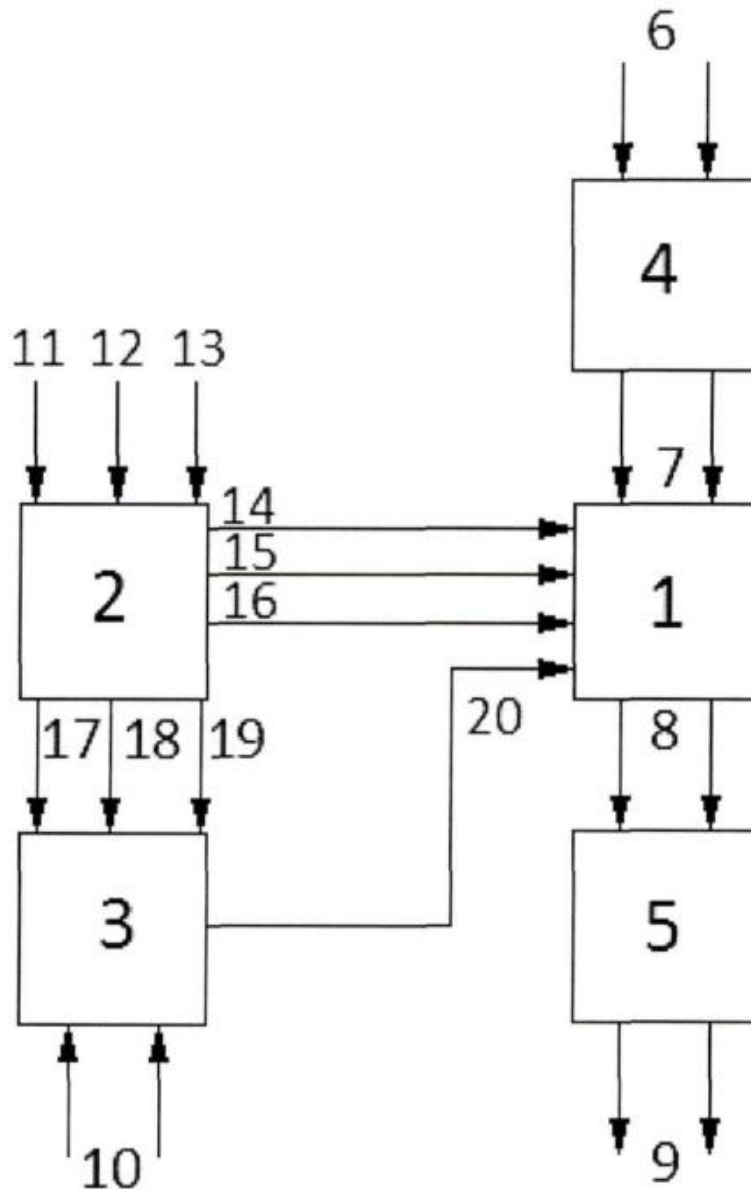
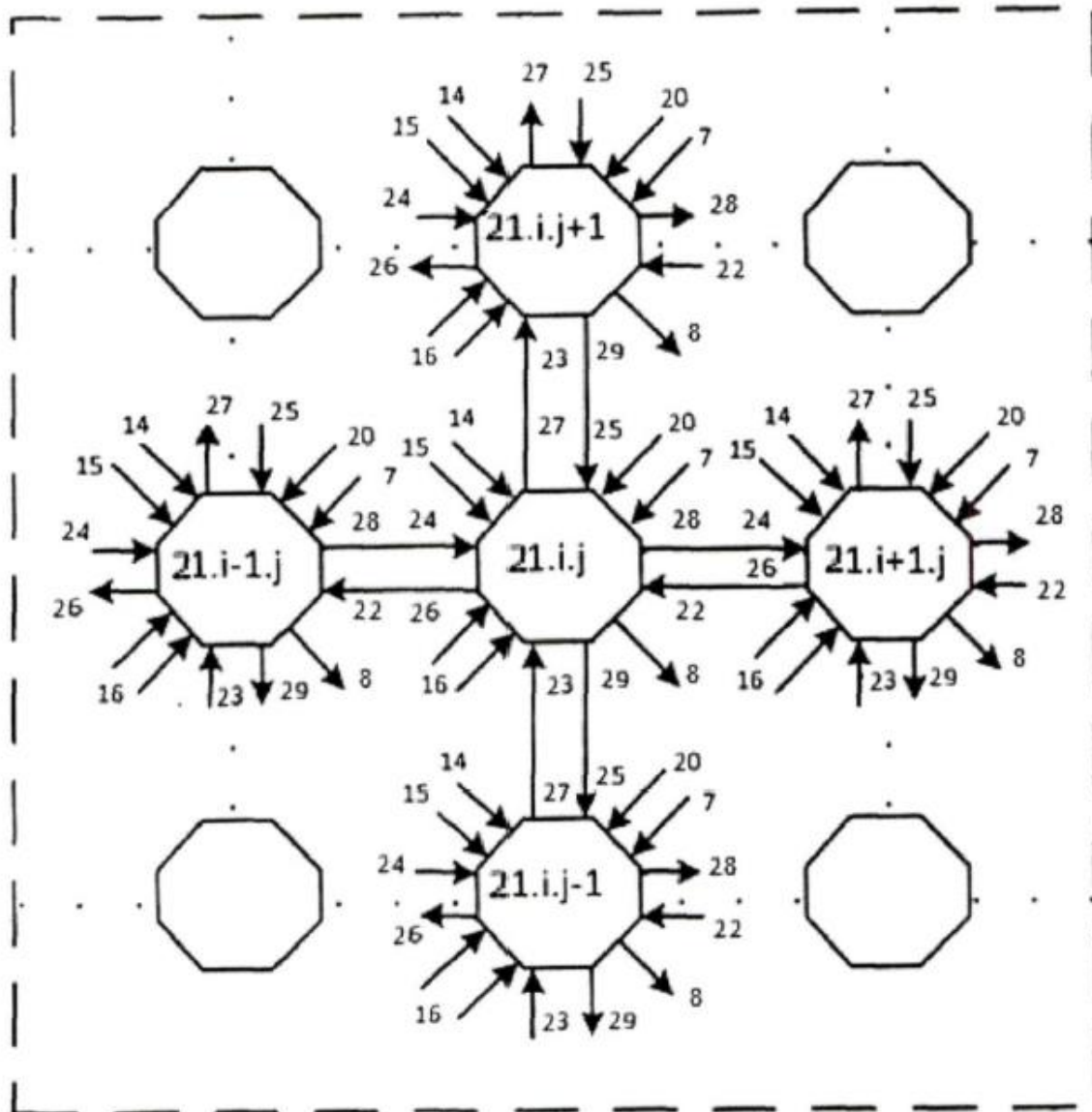
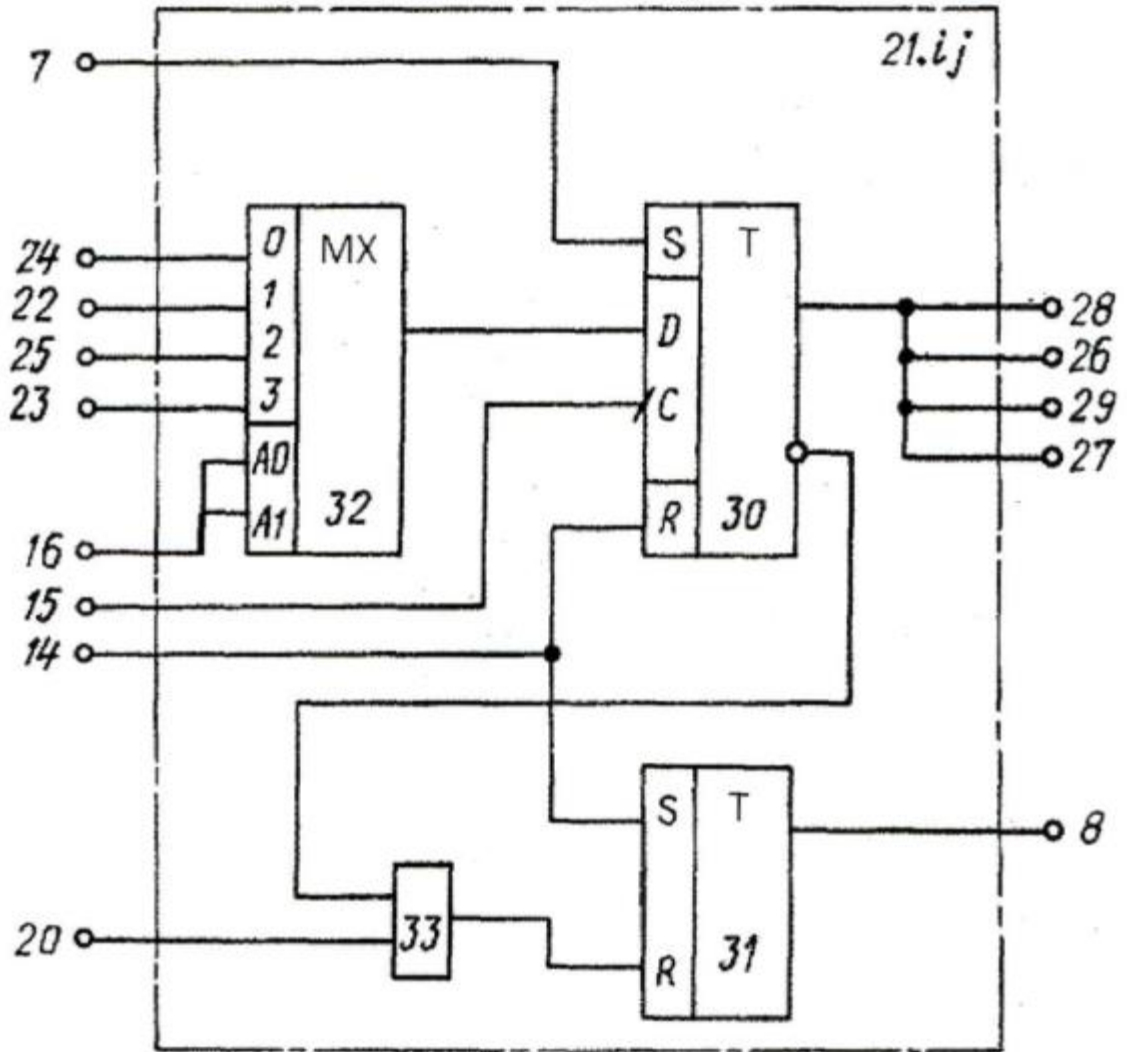


Fig. 1



Фиг. 2



Фіг. 3

Комп'ютерна верстка В. Юкін

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601