



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **135903** (13) **U**
(51) МПК
H03F 3/26 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2019 01340**
(22) Дата подання заявки: **11.02.2019**
(24) Дата, з якої є чинними права на корисну модель: **25.07.2019**
(46) Публікація відомостей про видачу патенту: **25.07.2019, Бюл.№ 14**

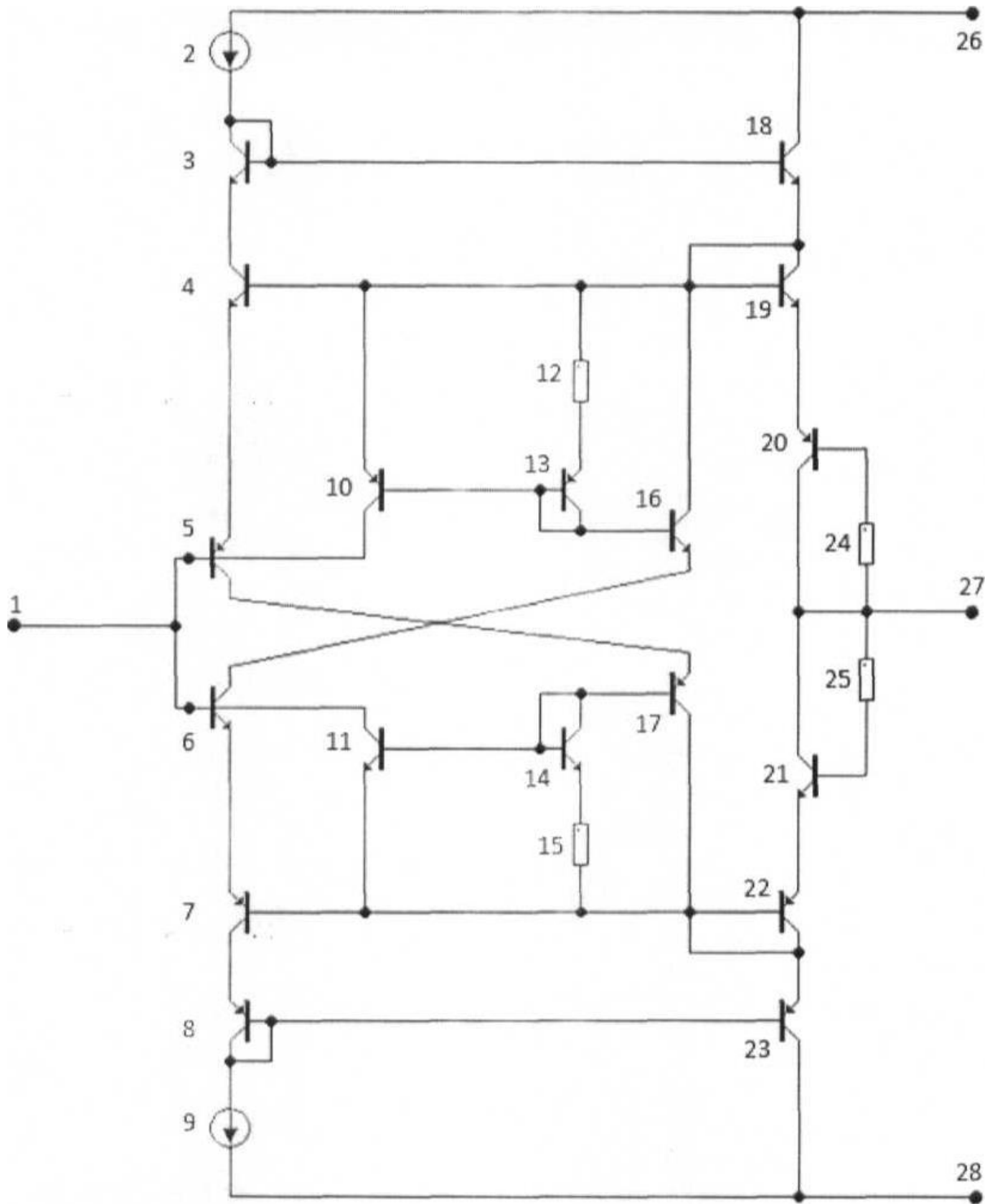
(72) Винахідник(и):
**Азаров Олексій Дмитрович (UA),
Павлов Сергій Володимирович (UA),
Богомолов Сергій Віталійович (UA),
Обертюк Максим Романович (UA),
Медяний Роман Михайлович (UA)**
(73) Власник(и):
**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
Хмельницьке шосе, 95, м. Вінниця, 21021
(UA)**

(54) БУФЕРНИЙ КАСКАД

(57) Реферат:

Буферний каскад містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, транзистори, бази транзисторів, емітери транзисторів та колектори транзисторів.

UA 135903 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо двотактний підсилювач потужності [А.с. № 1497713 СССР, Н03F3/26, 1989], який містить вхідний каскад, виконаний на першому та другому транзисторах, першому і другому генераторах струмів, першому і другому діодах ланцюга зміщення, керованих джерелах струму, що складаються з третього і четвертого транзисторів та третього і четвертого шунтуючих діодів, а також вихідний каскад, виконаний на п'ятому і шостому транзисторах та п'ятому і шостому діодах, керуючий каскад, виконаний на сьомому і восьмому транзисторах та першому і другому конденсаторах.

Основним недоліком цього пристрою є низька точність передачі вхідної напруги на вихід через не ідентичність значень струмів першого і другого генераторів струму, оскільки у випадку використання джерела вхідної напруги з ненульовим внутрішнім опором ($R_r \neq 0$) різниця між I' та I'' призводить до появи похибки зміщення напруги нуля.

За найближчий аналог вибрано буферний пристрій [деклараційний патент України на корисну модель № 15896], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори яких з'єднано з колекторами шостого та третього транзисторів відповідно, та емітерами сьомого та другого транзисторів відповідно, база та колектор першого транзистора об'єднані і приєднані до шини додатного живлення через перше джерело струму, а також до бази другого транзистора, база сьомого транзистора з'єднана з шиною від'ємного живлення через друге джерело струму, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, також містить дев'ятий, десятий, одинадцятий, дванадцятий транзистори, причому база кожного з них з'єднана з його колектором, емітер восьмого транзистора з'єднано з точкою об'єднання бази сьомого транзистора та першого виводу другого джерела струму, емітери дев'ятого та десятого транзисторів з'єднано з емітерами четвертого та п'ятого транзисторів відповідно, бази та колектори дев'ятого та десятого транзисторів з'єднано з базами третього та шостого транзисторів відповідно, а також базу та колектор дев'ятого транзистора з'єднано з емітером першого транзистора, базу та колектор десятого транзистора з'єднано з базою та колектором восьмого транзистора, емітери третього та шостого транзисторів з'єднано з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази і колектори одинадцятого та дванадцятого транзисторів з'єднані з вихідною шиною.

Недоліками прототипу є низька навантажувальна здатність, яка полягає в тому, що через високий вихідний опір схеми наявність навантаження призводить до появи різниці напруг між входом і виходом схеми.

В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність, а це в свою чергу розширює галузь використання корисної моделі в різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що в буферний каскад, який містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, дванадцять транзисторів, причому вхідна шина з'єднана з базами четвертого і п'ятого транзисторів, емітери четвертого і п'ятого транзисторів з'єднані з емітерами дев'ятого і десятого транзисторів відповідно, бази дев'ятого і десятого транзисторів з'єднано з базами третього і шостого транзисторів відповідно, колектор дев'ятого транзистора з'єднано з емітером першого транзистора, база десятого транзистора з'єднано з колектором восьмого транзистора, база сьомого транзистора з'єднано з виходом другого джерела струму, бази першого і другого транзисторів та колектор першого транзистора з'єднано з виходом першого джерела струму, входи першого і другого джерел струму та колектори другого і сьомого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, емітери другого і сьомого транзисторів з'єднано з колекторами третього і шостого транзисторів відповідно, емітери третього і шостого транзисторів з'єднано з емітерами одинадцятого і дванадцятого транзисторів відповідно, колектори одинадцятого і дванадцятого транзисторів з'єднано з вихідною шиною, згідно з корисною моделлю, введено, чотири резистори та шість транзисторів, колектор шістнадцятого транзистора з'єднано з базою шістнадцятого транзистора і виходом другого джерела струму, колектор десятого транзистора з'єднано з емітером шістнадцятого транзистора, бази четвертого і п'ятого транзисторів з'єднано з колекторами тринадцятого і вісімнадцятого транзисторів, колектори четвертого і п'ятого транзисторів з'єднано з емітерами восьмого і п'ятнадцятого транзисторів відповідно, емітер тринадцятого транзистора з'єднано з входом першого резистора, вихід першого резистора з'єднано з емітером чотирнадцятого транзистора, бази тринадцятого і чотирнадцятого

транзистора з'єднано з базою п'ятнадцятого і колектором чотирнадцятого транзисторів, колектори п'ятнадцятого і третього транзисторів з'єднані між собою та з базою третього транзистора, емітери вісімнадцятого і сьомого транзисторів з'єднано з колектором восьмого транзистора та з входом другого резистора, вихід другого резистора з'єднано з емітером
 5 сімнадцятого транзистора, бази вісімнадцятого, сімнадцятого, та восьмого транзисторів з'єднано з колектором сімнадцятого транзистора, бази одинадцятого і дванадцятого транзисторів з'єднано з входами третього і четвертого резисторів, виходи третього і четвертого резисторів з'єднано з вихідною шиною.

На кресленні представлено принципову схему буферного каскаду.

10 Пристрій містить вхідну шину 1, яка з'єднана з базами четвертого 5, п'ятого 6 транзисторів та з колекторами вісімнадцятого 11 і тринадцятого 10 транзисторів, емітери четвертого 5 та дев'ятого 4 транзисторів з'єднано між собою, емітери п'ятого 6 та десятого 7 транзисторів з'єднано між собою, колектор дев'ятого 4 транзистора з'єднано з емітером першого 3 транзистора, вхід першого джерела струму 2 з'єднано колектором першого 3 транзистора та
 15 базами першого 3 та другого 18 транзистора, шина додатного живлення 26 з'єднана з виходом першого джерела струму 2 та колектором другого 18 транзистора, колектор десятого 7 транзистора з'єднано з емітером шістнадцятого 8 транзистора, база та колектор шістнадцятого 8 транзистора з'єднано з базою сьомого 23 транзистора та з входом другого джерела струму 9, шина від'ємного живлення 28 з'єднано з колектором сьомого 23 транзистора та виходом другого
 20 джерела струму 9, бази шостого 22, десятого 7 транзисторів з'єднано з емітерами сьомого 23, вісімнадцятого 11 транзисторів та з колекторами шостого 22, восьмого 17 транзисторів та з входом другого резистора 15, бази вісімнадцятого 11, сімнадцятого 14, восьмого 17 транзисторів з'єднано між собою та з колектором сімнадцятого 14 транзистора, емітер сімнадцятого 14 з'єднано з виходом другого резистора 15, емітер восьмого 17 транзистора з'єднано з колектором четвертого 5 транзистора, емітери другого 18, тринадцятого 10
 25 транзисторів з'єднано з базами третього 19, дев'ятого 4 транзисторів та колектори п'ятнадцятого 16, третього 19 транзисторів і з входом першого резистора 12, емітер чотирнадцятого 13 транзистора з'єднано з виходом першого резистора 12, бази тринадцятого 10, чотирнадцятого 13, п'ятнадцятого 16 транзисторів з'єднано колектором чотирнадцятого 13 транзистора, емітер п'ятнадцятого 16 транзистора з'єднано з колектором п'ятого 6 транзистора, емітер третього 19 та одинадцятого 20 транзисторів з'єднано між собою, емітери дванадцятого 21 та шостого 22 транзисторів з'єднано між собою, колектори дванадцятого 21 і одинадцятого 20 транзисторів з'єднано виходами третього 24, четвертого 25 резисторів та з вихідною шиною 27, база одинадцятого 20 транзистора з'єднано з входом третього резистора 24, база
 35 дванадцятого 21 транзистора з'єднано з входом четвертого резистора 25.

Пристрій працює наступним таким чином. Вхідний сигнал у вигляді напруги надходить на вхідну шину 1.

У випадку, якщо напруга має додатній потенціал, то четвертий 5 транзистор частково закривається, а п'ятий 6 транзистор частково відкривається, при цьому емітерний струм
 40 четвертого 5 транзистора зменшується, а п'ятого 6 транзистора збільшується, це призводить до зменшення емітерних струмів першого 3 і дев'ятого 4 транзисторів та збільшення емітерних струмів шістнадцятого 8 і десятого 7 транзисторів відповідно, в свою чергу це призводить до того, що збільшується базовий струм другого 18 транзистора та зменшується базовий струм сьомого 23 транзистора, що в свою чергу призводить до часткового відкривання другого 18 та
 45 часткового закривання сьомого 23 транзистора відповідно, у свою чергу це призводить до збільшення струму третього 19 транзистора та зменшення емітерного струму шостого 22 транзистора відповідно, які у свою чергу передають на вихідну шину 27 через одинадцятого 20 та дванадцятого 21 транзисторів відповідно, що у свою чергу призводить до збільшення вихідної напруги на вихідній шині 27 це триває до того часу, поки здійсниться балансування
 50 вхідної 1 та вихідної 27 шин відповідно.

Якщо напруга має від'ємний потенціал, то четвертий 5 транзистор частково відкривається, а п'ятий 6 транзистор частково закривається, при цьому емітерний струм четвертого 5
 55 транзистора збільшується, а п'ятого 6 транзистора зменшується, це призводить до збільшення емітерних струмів першого 3 і дев'ятого 4 транзисторів та зменшення емітерних струмів шістнадцятого 8 і десятого 7 транзисторів відповідно, в свою чергу це призводить до того, що зменшується базовий струм другого 18 транзистора та збільшується базовий струм сьомого 23 транзистора, що в свою чергу призводить до часткового закривання другого 18 та часткового відкривання сьомого 23 транзистора відповідно, у свою чергу це призводить до зменшення струму третього 19 транзистора та збільшення емітерного струму шостого 22 транзистора
 60 відповідно, які у свою чергу передають на вихідну шину 27 через одинадцятого 20 та

дванадцятого 21 транзисторів відповідно, що у свою чергу призводить до зменшення вихідної напруги на вихідній шині 27, це триває до того часу, поки здійсниться балансування вхідної 1 та вихідної 27 шин відповідно.

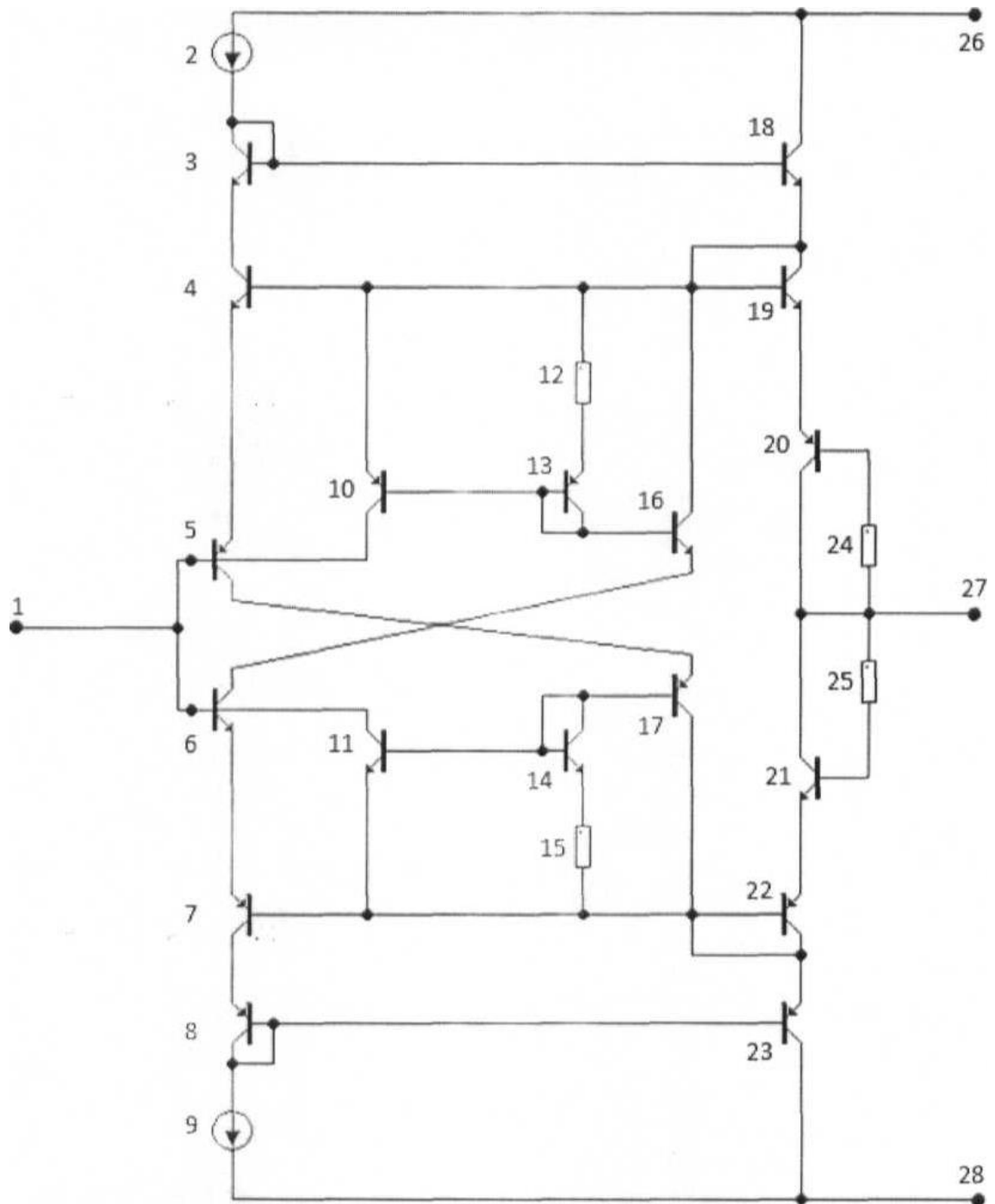
П'ятнадцятий 16 та восьмий 17 транзистори забезпечують генерацію, компенсуючи базових струмів, які з п'ятнадцятого 16 та восьмого 17 передаються на вхідну шину 1 через відбивачі струму, які побудовано на чотирнадцятому 13, тринадцятому 10 та сімнадцятому 14, вісімнадцятому 11 транзисторах відповідно, транзистори тринадцять 10, чотирнадцять 13, п'ятнадцятий 16 та першого 12 резистора та вісімнадцятий 11, сімнадцятий 14, восьмий 17 та другого 15 резистора утворюють генератори, компенсуючи сигналів для струму зміщення вхідного каскаду, які побудовано на четвертому 5 та п'ятому 6 транзисторах відповідно, перший 3, дев'ятий 4, другий 18, третій 19, а також шістнадцятий 8, десятий 7, сьомий 23, шостий 22 транзистори утворюють складені відбивачі Вільсона, які забезпечують передачу як вхідного сигналу, так і задання режиму по постійному струму з джерел струму 2 та 9 відповідно, одинадцятий 20 та дванадцятий 21 транзистори в діодному вмиканні забезпечують балансування схеми по відношенню до вхідного каскаду, який побудовано на четвертому 5 та п'ятому 6 транзисторах відповідно, перший 12, другий 15, третій 24, четвертий 25 резистори забезпечують точне задання компенсуючих сигналів для того, щоб збалансувати схему по вхідному струму і усунути зміщення зсуву нуля по струму, шини додатного 26 і від'ємного живлення 28 забезпечують живлення пристрою.

20

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буферний каскад, який містить шини додатного та від'ємного живлення, вхідну та вихідну шини, два джерела струму, дванадцять транзисторів, причому вхідна шина з'єднана з базами четвертого і п'ятого транзисторів, емітери четвертого і п'ятого транзисторів з'єднані з емітерами дев'ятого і десятого транзисторів відповідно, бази дев'ятого і десятого транзисторів з'єднано з базами третього і шостого транзисторів відповідно, колектор дев'ятого транзистора з'єднано з емітером першого транзистора, база десятого транзистора з'єднано з колектором восьмого транзистора, база сьомого транзистора з'єднана з виходом другого джерела струму, бази першого і другого транзисторів та колектор першого транзистора з'єднано з виходом першого джерела струму, входи першого і другого джерел струму та колектори другого і сьомого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, емітери другого і сьомого транзисторів з'єднано з колекторами третього і шостого транзисторів відповідно, емітери третього і шостого транзисторів з'єднано з емітерами одинадцятого і дванадцятого транзисторів відповідно, колектори одинадцятого і дванадцятого транзисторів з'єднано з вихідною шиною, який **відрізняється** тим, що введено чотири резистори та шість транзисторів, колектор шістнадцятого транзистора з'єднано з базою шістнадцятого транзистора і виходом другого джерела струму, колектор десятого транзистора з'єднано з емітером шістнадцятого транзистора, бази четвертого і п'ятого транзисторів з'єднано з колекторами тринадцятого і вісімнадцятого транзисторів, колектори четвертого і п'ятого транзисторів з'єднано з емітерами восьмого і п'ятнадцятого транзисторів відповідно, емітер тринадцятого транзистора з'єднано з входом першого резистора, вихід першого резистора з'єднано з емітером чотирнадцятого транзистора, бази тринадцятого і чотирнадцятого транзистора з'єднано з базою п'ятнадцятого і колектором чотирнадцятого транзисторів, колектори п'ятнадцятого і третього транзисторів з'єднані між собою та з базою третього транзистора, емітери вісімнадцятого і сьомого транзисторів з'єднано з колектором восьмого транзистора та з входом другого резистора, вихід другого резистора з'єднано з емітером сімнадцятого транзистора, бази вісімнадцятого, сімнадцятого та восьмого транзисторів з'єднано з колектором сімнадцятого транзистора, бази одинадцятого і дванадцятого транзисторів з'єднано з входами третього і четвертого резисторів, виходи третього і четвертого резисторів з'єднано з вихідною шиною.

50



Комп'ютерна верстка Г. Паяльніков

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601