



МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

УКРАЇНА

(19) UA

(11) 136282

(13) U

(51) МПК

H03F 3/26 (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2019 02213**

(22) Дата подання заявки: **04.03.2019**

(24) Дата, з якої є чинними  
права на корисну  
модель: **12.08.2019**

(46) Публікація відомостей  
про видачу патенту: **12.08.2019, Бюл.№ 15**

(72) Винахідник(и):

**Азаров Олексій Дмитрович (UA),  
Медяний Роман Михайлович (UA),  
Обертюх Максим Романович (UA),  
Каців Самуїл Шулімович (UA)**

(73) Власник(и):

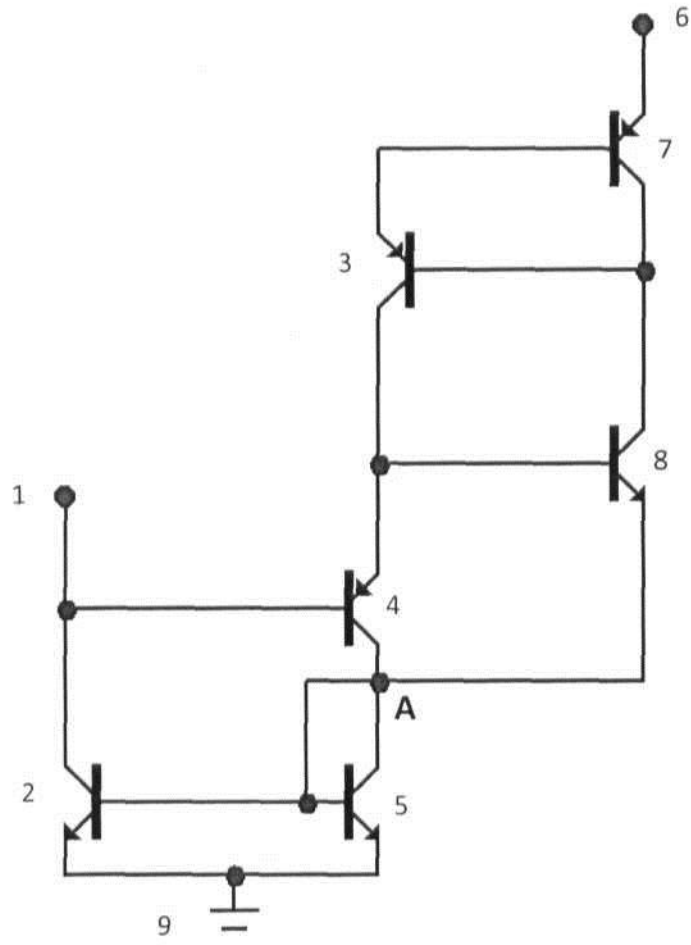
**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ  
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,  
Хмельницьке шосе, 95, м. Вінниця, 21021  
(UA)**

## (54) ВІДБИВАЧ СТРУМУ

(57) Реферат:

Відбивач струму містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, колектор четвертого транзистора з'єднано з базою третього транзистора. Введено два транзистора, причому вхідну шину з'єднано з базою п'ятого транзистора, колектори п'ятого та другого транзисторів з'єднано з емітером четвертого транзистора та базами першого і другого транзисторів, емітер п'ятого транзистора з'єднано з базою четвертого транзистора та з колектором третього транзистора, база третього транзистора з'єднано з колектором шостого транзистора, емітер третього транзистора з'єднано з базою шостого транзистора, емітер шостого транзистора з'єднано з вихідною шиною.

UA 136282 U



Корисна модель належить до аналогової техніки і може бути використана в двотактних підсилювальних схемах.

Відомо відбивач струму Уілсона (Титце У. Токовое зеркало Вильсона //Титце У., Шенк К. Полупроводниковая схемотехника. 12-е изд. Том 1: Пер. с нем. - М.: ДМК Пресс, 2008. - С. 342-344), який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною.

Недоліком є обмежені функціональні можливості.

За найближчого аналога взято відбивач струму [патент України № 88149, МПК Н03К 5/22, опубл. 11.03.2014], який містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, джерело струму, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, крім того пристрій містить четвертий транзистор та джерело струму, причому вхідну шину з'єднано з базою четвертого транзистора, емітер четвертого транзистора з'єднано з шиною нульового потенціалу, колектор четвертого транзистора з'єднано з базою третього транзистора, а також з другим виводом джерела струму, перший вивід джерела струму з'єднано з шиною нульового потенціалу, колектор третього транзистора з'єднано з базою та колектором другого транзистора, а також з базою першого транзистора, емітер третього транзистора з'єднано з вихідною шиною.

Недоліком найближчого аналога є низький вихідний опір пристрою, що обмежує точність роботи пристрою, а також галузь використання.

В основу корисної моделі поставлено задачу створення такого відбивача струму, в якому за рахунок введення нових елементів та зв'язків між ними, підвищується точність роботи, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у відбивач струму, який містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, колектор четвертого транзистора з'єднано з базою третього транзистора, введено два транзистора, причому вхідну шину з'єднано з базою п'ятого транзистора, колектори п'ятого та другого транзисторів з'єднано з емітером четвертого транзистора та базами першого і другого транзисторів, емітер п'ятого транзистора з'єднано з базою четвертого транзистора та з колектором третього транзистора, база третього транзистора з'єднано з колектором шостого транзистора, емітер третього транзистора з'єднано з базою шостого транзистора, емітер шостого транзистора з'єднано з вихідною шиною.

На кресленні представлено схему відбивача струму.

Пристрій містить вхідну шину 1, яка з'єднана з колектором першого 2 транзистора та з базою п'ятого 4 транзистора, бази першого 2 та другого 5 транзисторів з'єднано між собою і з колектором п'ятого 4 транзистора та емітером четвертого 8 транзистора відповідно, емітери першого 2 та другого 5 транзисторів з'єднано між собою та з шиною нульового потенціалу 9, емітер п'ятого 4 транзистора з'єднано з базою четвертого 8 та колектором третього 3 транзисторів відповідно, база третього 3 транзистора з'єднано з колекторами четвертого 8 та шостого 7 транзисторів відповідно, емітер третього 3 транзистора з'єднано з базою шостого 7 транзистора, емітер шостого 7 транзистора з'єднано з вихідною шиною 6.

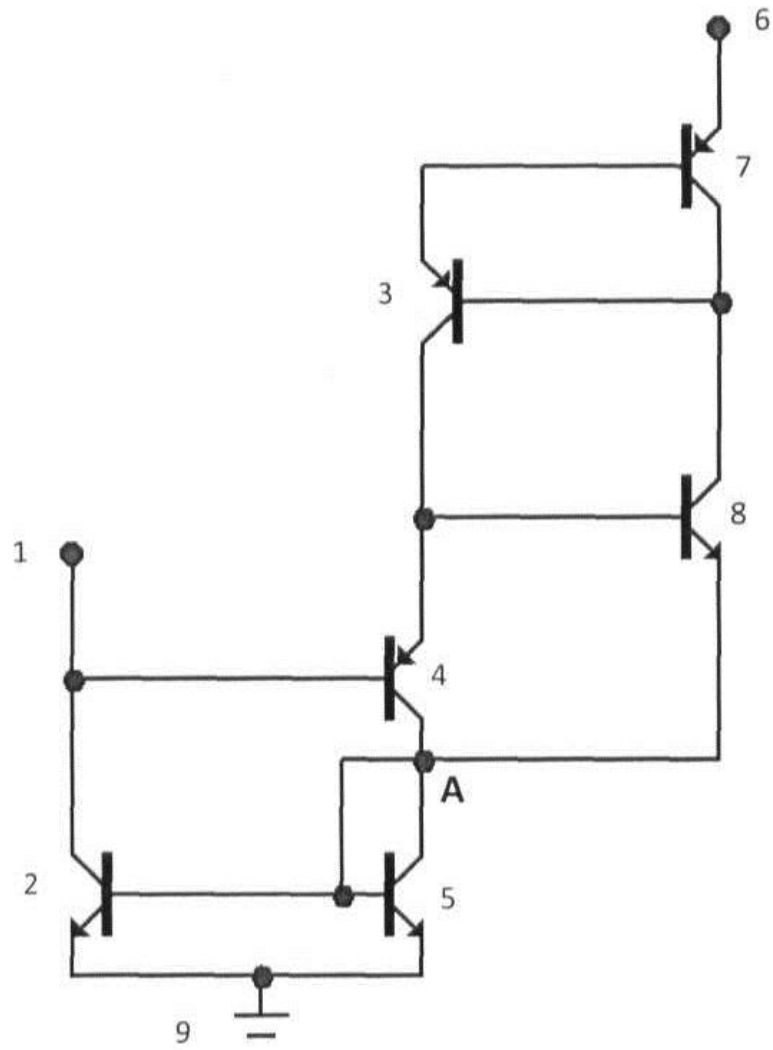
Працює пристрій таким чином: перший 2 і другий 5 транзистори підключені за схемою струмового дзеркала, струми через їх емітери (колектори) рівні і становлять ( $I_{K1} = I_{K2} = I_{BX} + I_{B5}$ ), де  $I_{K1}$ ,  $I_{K2}$  - струми колекторів першого 2 і другого 5 транзисторів,  $I_{BX}$  - вхідний струм,  $I_{B5}$  - струм бази п'ятого 4 транзистора. Струм, що витікає з точки А, буде дорівнювати  $I_{K2} + I_{B2} + I_{B1} = (I_{BX} + I_{B5}) * (1 + 2/\beta_1)$ , де  $I_{B1}$ ,  $I_{B2}$  - струми бази першого 2 і другого 5 транзисторів,  $\beta_1$  - коефіцієнт передачі струму бази n-p-n транзистора. Шина нульового потенціалу 9 встановлює необхідний рівень напруги для живлення схеми. Струм, що втікає в точку А буде дорівнювати:  $I_{K5} + I_{E4} = I_{K4} + I_{B4} + I_{E5} - I_{B5} = I_{K6} + I_{B3} + I_{B4} + I_{K3} - I_{B4} - I_{B5} = I_{ВИХ} - I_{B6} + I_{B3} + I_{B6} - I_{B3} - I_{B5} = I_{ВИХ} - I_{B5}$ ,

де  $I_{K3}$ ,  $I_{K4}$ ,  $I_{K5}$ ,  $I_{K6}$  - струми колекторів третього 3, четвертого 8, п'ятого 4, шостого 7 транзисторів,  $I_{E4}$ ,  $I_{E5}$  - струми емітерів четвертого 8, п'ятого 4 транзисторів,  $I_{B3}$ ,  $I_{B4}$ ,  $I_{B5}$ ,  $I_{B6}$  - струми баз третього 3, четвертого 8, п'ятого 4, шостого 7 транзисторів,  $I_{ВИХ}$  - вихідний струм.

- Прирівнюючи ці значення знайдемо  $I_{ВІХ} = I_{ВХ} \cdot (1+2/\beta_1) + (2+2/\beta_1) \cdot I_{Б5} \approx I_{ВХ} \cdot (1+2/\beta_1) + 2 \cdot I_{Б5}$ . Таким чином вихідний струм з вихідної шини 6 практично дорівнює вхідному на вхідній шині 1 і пристрій працює як струмове дзеркало. Шостий 7 та третій 3 транзистори задають струм через п'ятий транзистор 4  $I_{Е5} \approx I_{Е3} \approx I_{ВІХ}/\beta_2$ , де  $\beta_2$  - коефіцієнт передачі струму бази р-п-р транзистора.
- 5 Четвертий транзистор 8 включений по схемі із загальною базою, і диференційний вихідний опір схеми складає з урахуванням вищевказаного:  $\Delta U_{ВІХ} / \Delta I_{ВІХ} = \Delta U_{ВІХ} / (2 \cdot \Delta I_{Б5}) \approx (\beta_2/2) \cdot (\Delta U_{БК4} / \Delta I_{Б4}) = (\beta_2 / 2) \cdot r_{К.ЗБ}$ , де  $\Delta U_{ВІХ}$ ,  $\Delta I_{ВІХ}$  - збільшення вихідного струму і напруги,  $\Delta I_{Б5}$ ,  $\Delta I_{Б4}$  - збільшення відповідних струмів,  $r_{К.ЗБ}$  - диференційний опір колектора транзистора при включенні по схемі із загальною базою. З вищевказаного випливає, що вихідний опір буде приблизно в  $\beta_2$
- 10 більше ніж в схемі Уілсона. За результатами моделювання вихідний опір становитиме близько 41 МОм.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

- 15 Відбивач струму, який містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, колектор четвертого транзистора з'єднано з базою третього транзистора, який **відрізняється** тим, що
- 20 введено два транзистора, причому вхідну шину з'єднано з базою п'ятого транзистора, колектори п'ятого та другого транзисторів з'єднано з емітером четвертого транзистора та базами першого і другого транзисторів, емітер п'ятого транзистора з'єднано з базою четвертого транзистора та з колектором третього транзистора, база третього транзистора з'єднано з колектором шостого транзистора, емітер третього транзистора з'єднано з базою шостого транзистора, емітер шостого транзистора з'єднано з вихідною шиною.
- 25




---

Комп'ютерна верстка С. Чулій

---

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601