



УКРАЇНА

(19) **UA** (11) **140196** (13) **U**  
(51) МПК (2020.01)  
**G05F 1/08** (2006.01)  
**G05F 3/02** (2006.01)  
**H04L 27/00**

МІНІСТЕРСТВО РОЗВИТКУ  
ЕКОНОМІКИ, ТОРГІВЛІ ТА  
СІЛЬСЬКОГО ГОСПОДАРСТВА  
УКРАЇНИ

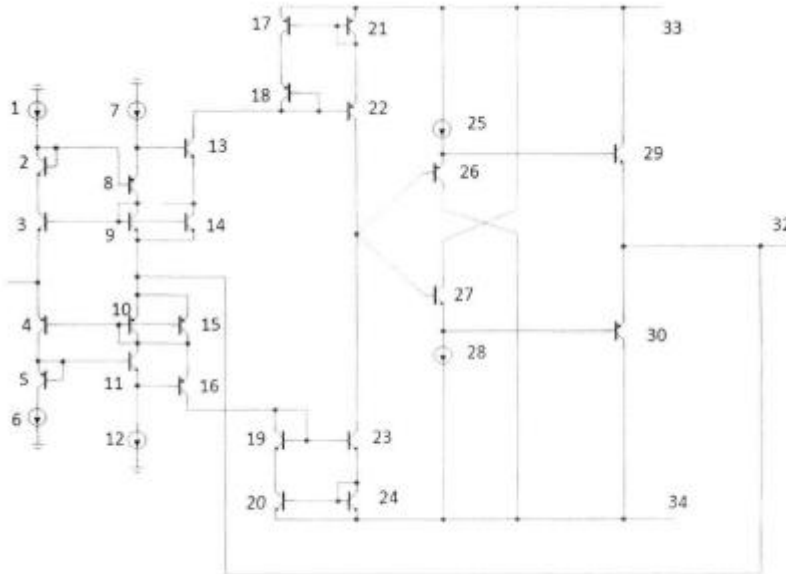
## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: <b>u 2019 07562</b>	(72) Винахідник(и): <b>Азаров Олексій Дмитрович (UA), Обертюх Максим Романович (UA), Стахов Олексій Ярославович (UA), Лизогуб Денис Володимирович (UA)</b>
(22) Дата подання заявки: <b>05.07.2019</b>	
(24) Дата, з якої є чинними права на корисну модель: <b>10.02.2020</b>	
(46) Публікація відомостей про видачу патенту: <b>10.02.2020, Бюл.№ 3</b>	(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b>

## (54) БУФЕР НАПРУГИ

### (57) Реферат:

Буфер напруги містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини. Введено шістнадцять транзисторів та чотири джерела струму.



UA 140196 U



Корисна модель належить до імпульсної техніки і може бути використана в аналогоцифрових перетворювачах і цифрових вимірювальних приладах.

Відомий буферний каскад(патент України №1589,МПК H03K 5/22, G05B 1/00, опубл. 17.06.2006, бюл. № 7),який містить дванадцять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини. Вхідна шина з'єднана з базами четвертого та п'ятого транзисторів, колектори яких з'єднані з колекторами шостого та третього транзисторів відповідно, та емітерами сьомого та другого транзисторів відповідно. База та колектор першого транзистора об'єднані і приєднані до шини додатного живлення через перше джерело струму, а також до бази другого транзистора. База сьомого транзистора з'єднана з шиною від'ємного живлення через друге джерело струму. Колектори другого та сьомого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно. Емітер восьмого транзистора з'єднаний з базою сьомого транзистора та першим виводом другого джерела струму. Емітери дев'ятого та десятого транзисторів з'єднані з емітерами четвертого та п'ятого транзисторів відповідно. Бази та колектори дев'ятого та десятого транзисторів з'єднані з базами третього та шостого транзисторів відповідно. База та колектор дев'ятого транзистора з'єднані з емітером першого транзистора. База та колектор десятого транзистора з'єднані з базою та колектором восьмого транзистора. Емітери третього та шостого транзисторів з'єднані з емітерами одинадцятого та дванадцятого транзисторів відповідно. Бази і колектори одинадцятого та дванадцятого транзисторів з'єднані з вихідною шиною.

Недоліком цього технічного рішення є низька точність роботи обумовлена різницею базових струмів вхідного каскаду.

Найближчим аналогом є буферний пристрій [Бахтиаров Г.Д., Малинин В.В., Школин В.П. Аналого-цифровые преобразователи / Под ред. Г.Д. Бахтиарова. - М.: Советское радио, 1980. - 280с. ил. Рис.6.28 на сторінці 150], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини. Бази другого та третього транзисторів з'єднані з вхідною шиною. Емітери другого та третього транзисторів з'єднані з емітерами першого та четвертого транзисторів відповідно, та з базами шостого та сьомого транзисторів відповідно, колектори другого та третього транзисторів з'єднані з колекторами сьомого та шостого транзисторів відповідно, а також з емітерами восьмого та п'ятого транзисторів відповідно. Бази та колектори першого та четвертого транзисторів з'єднані з базами п'ятого та восьмого транзисторів відповідно, а також з'єднані з шинами додатного та від'ємного живлення через перше та друге джерела струму відповідно. Колектори п'ятого та восьмого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно. Емітери шостого та сьомого транзисторів з'єднані з вихідною шиною.

Недоліком цього технічного рішення є низька точність роботи, що обмежує галузь використання пристрою.

В основу корисної моделі поставлено задачу створення буфера напруги, в якому за рахунок введення нових елементів і зв'язків між ними підвищується навантажувальна здатність та точність роботи пристрою, що розширює функціональні можливості.

Поставлена задача досягається тим, що в буфер напруги, який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому бази та колектори першого та четвертого транзисторів з'єднані з шинами додатного та від'ємного живлення через перше та друге джерела струму відповідно емітери шостого та сьомого транзисторів з'єднані з вихідною шиною, згідно з корисною моделлю, введено шістнадцять транзисторів та чотири джерела струму, причому емітери другого та третього транзисторів з'єднані з вхідною шиною. Колектори другого та третього транзисторів з'єднані з емітерами першого та четвертого відповідно. Базу другого транзистора з'єднані з колектором дев'ятого та емітером п'ятого транзистора, а також з базами і колекторами десятого та шостого транзисторів. Аналогічно базу третього транзистора з'єднані з колекторами одинадцятого, сьомого, дванадцятого, емітером восьмого і з базою одинадцятого транзисторів. Бази першого та четвертого транзисторів з'єднані з базами дев'ятого та дванадцятого транзисторів відповідно. Емітер дев'ятого та база п'ятого транзистора з'єднані між собою та з'єднані з шиною додатного живлення через третє джерело струму, так само емітер дванадцятого та база восьмого з'єднані між собою та з шиною від'ємного живлення через четверте джерело струму. Емітери десятого та шостого транзисторів з'єднані між собою та емітерами одинадцятого та сьомого транзисторів. Колектор п'ятого транзистора з'єднані з входом першого відбивача струму, в якому колектор та база чотирнадцятого транзистора з'єднані з базою вісімнадцятого, емітер чотирнадцятого транзистора з'єднані з колектором тринадцятого, базу тринадцятого транзистора з'єднані з базою та колектором сімнадцятого та емітером вісімнадцятого транзистора, емітери тринадцятого та сімнадцятого транзистора з'єднані з шиною додатного

живлення. Колектор восьмого транзистора з'єднано з входом другого відбивача струму, в якому колектор та база п'ятнадцятого транзистора з'єднано з базою дев'ятнадцятого, емітер п'ятнадцятого з'єднано з колектором шістнадцятого транзистора, а базу шістнадцятого транзистора з'єднано з базою та колектором двадцятого та емітером дев'ятнадцятого. Емітери шістнадцятого та двадцятого транзисторів з'єднано з шиною від'ємного живлення. Колектори вісімнадцятого та дев'ятнадцятого транзисторів з'єднано з базами двадцять першого та двадцять другого транзисторів. Емітери двадцять першого та двадцять другого транзисторів з'єднано з базами двадцять третього та двадцять четвертого транзисторів відповідно та шинами додатного та від'ємного живлення через п'яте та шосте джерело струму відповідно. Колектори двадцять першого та двадцять четвертого транзисторів з'єднано з шинами від'ємного живлення, а колектори двадцять другого та двадцять третього транзисторів з'єднано з шиною додатного живлення. Емітери двадцять третього та двадцять четвертого транзисторів з'єднано з вихідною шиною.

Корисна модель пояснюється кресленням, на якому зображена схема буфера напруги.

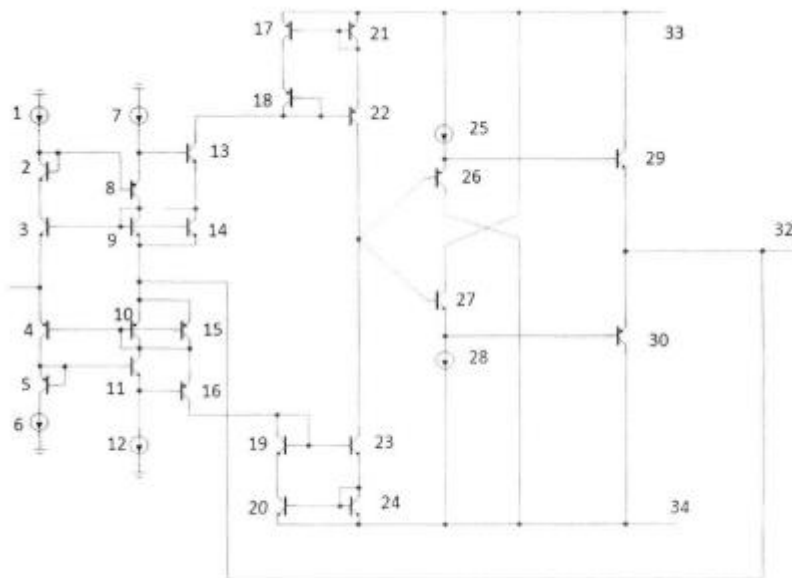
Буфер напруги містить вхідну 31 та вихідну 32 шини, бази та колектори першого 2 та четвертого 5 транзисторів з'єднано з шинами додатного 33 та від'ємного 34 живлення через перше 1 та друге 6 джерела струму відповідно, а емітери шостого 14 та сьомого 15 транзисторів з'єднано з вихідною шиною 32, емітери другого 3 та третього 4 транзисторів з'єднано з вхідною шиною 31. Колектори другого 3 та третього 4 транзисторів з'єднано з емітерами першого 2 та четвертого 5 транзисторів відповідно. Базу другого 3 транзистора з'єднано з колектором дев'ятого 8 та емітером п'ятого 13 транзисторів, а також з базами і колекторами десятого 9 та шостого 14 транзисторів. Аналогічно базу третього 4 транзистора з'єднано з колекторами одинадцятого 10, сьомого 15, дванадцятого 11, емітером восьмого 16і з базою одинадцятого 10 транзисторів. Бази першого 2 та четвертого 5 транзисторів з'єднано з базами дев'ятого 8 та дванадцятого 11 транзисторів відповідно. Емітер дев'ятого 8 та база п'ятого 13 транзистора з'єднано між собою та з'єднано з шиною додатного живлення 33 через третє 7 джерело струму, так само емітер дванадцятого 11 та база восьмого 16 з'єднано між собою та з шиною від'ємного живлення 34 через четверте 12 джерело струму. Емітери десятого 9 та шостого 14 транзисторів з'єднано між собою та емітерами одинадцятого 10 та сьомого 15 транзисторів. Колектор п'ятого 13 транзистора з'єднано з входом першого відбивача струму, в якому колектор та база чотирнадцятого 18 транзистора з'єднано з базою вісімнадцятого 22 транзистора, емітер чотирнадцятого 18 транзистора з'єднано з колектором тринадцятого 17, базу тринадцятого 17 транзистора з'єднано з базою та колектором сімнадцятого 21 та емітером вісімнадцятого 22 транзистора, емітери тринадцятого 17 та сімнадцятого 21 транзистора з'єднано з шиною додатного живлення 33. Колектор восьмого 16 транзистора з'єднано з входом другого відбивача струму, в якому колектор та база п'ятнадцятого 19 транзистора з'єднано з базою дев'ятнадцятого 23, емітер п'ятнадцятого 19 з'єднано з колектором шістнадцятого 20 транзистора, а базу шістнадцятого 20 транзистора з'єднано з базою та колектором двадцятого 24 та емітером дев'ятнадцятого 23. Емітери шістнадцятого 20 та двадцятого 24 транзисторів з'єднано з шиною від'ємного живлення 34. Колектори вісімнадцятого 22 та дев'ятнадцятого 23 транзисторів з'єднано з базами двадцять першого 26 та двадцять другого 27 транзисторів. Емітери двадцять першого 26 та двадцять другого 27 транзисторів з'єднано з базами двадцять третього 29 та двадцять четвертого 30 транзисторів і шинами додатного 33 та від'ємного 34 живлення через п'яте 25 та шосте 28 джерело струму відповідно. Колектори двадцять першого 26 та двадцять четвертого 30 транзисторів з'єднано з шиною від'ємного живлення 34, а колектори двадцять другого 27 та двадцять третього 29 транзисторів з'єднано з шиною додатного живлення 33. Емітери двадцять третього 29 та двадцять четвертого 30 транзисторів з'єднано з вихідною шиною 32.

Працює пристрій таким чином: вхідний сигнал від джерела вхідної напруги подається на вхідну шину 31. При цьому, якщо ця напруга збільшується, то другий транзистор 3 приймає криву, а третій транзистор 4 правді криву. За таких умов потенціал бази дев'ятого транзистора 8 збільшується, а потенціал бази дванадцятого 11 зменшується. Це призведе до того, що п'ятий транзистор 13 привідкривається, а восьмий транзистор 16 приймає криву. Десятий 9 та шостий 14 транзистори задають однакові струми через дев'ятий 8 та п'ятий 13 транзистори. П'ятий 13, дев'ятий 8, та перший 2 транзистори забезпечують постійний потенціал колектора другого транзистора 3. Аналогічно одинадцятий 10 та сьомий 15 транзистори задають постійний потенціал колектора третього 4 транзистора через дванадцятий 11 та восьмий 16 транзистори відповідно. Восьмий 16, дванадцятий 11, та четвертий 5 транзистори слугують для задання постійного потенціалу колектора третього 4. Збільшення колекторного струму п'ятого транзистора 13 призведе до збільшення колекторного струму

вісімнадцятого транзистора 22, першого відбивача струму, який складається з тринадцятого 17, чотирнадцятого 18, сімнадцятого 21 та вісімнадцятого 22 транзисторів. Подібно до цього, зменшення колекторного струму восьмого транзистора 16, зменшує колекторний струм дев'ятнадцятого транзистора 23, який є виходом другого відбивача струму, що складається також із п'ятнадцятого 19, шістнадцятого 20 та двадцятого 24 транзисторів. Це збільшує потенціал баз двадцять першого, 26 та двадцять другого 27 транзисторів, що призведе до привідкривання двадцять третього транзистора 29 і призакривання двадцять четвертого транзистора 30. Таким чином потенціал вихідної шини 32 збільшується. Якщо вхідна напруга зменшується, то другий транзистор 3 привідкривається, а третій транзистор 4 призакривається. Відповідно п'ятий транзистор 13 призакривається, а восьмий транзистор 16 привідкривається. Це призведе до зменшення колекторного струму дев'ятнадцятого транзистора 23, а також до зменшення потенціалу баз двадцять першого 26 та двадцять другого 27 транзисторів. У свою чергу це спричинить призакривання двадцять третього транзистора 29 та привідкривання двадцять четвертого транзистора 30. В результаті потенціал вихідної шини 32 зменшується. Перше 1, друге 6, третє 7, четверте 12, п'яте 25 та шосте 28 джерела струму забезпечують режим функціонування схеми по постійному струму. Шини додатного 33 та від'ємного 34 живлення забезпечують живлення схеми напругою +10 та -10В відповідно.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буфер напруги, що містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, бази та колектори першого та четвертого транзисторів з'єднано з шинами додатного та від'ємного живлення через перше та друге джерела струму відповідно, а емітери шостого та сьомого транзисторів з'єднано з вихідною шиною, який **відрізняється** тим, що введено шістнадцять транзисторів та чотири джерела струму, причому емітери другого та третього транзисторів з'єднано з вхідною шиною, колектори другого та третього транзисторів з'єднано з емітерами першого та четвертого відповідно, базу другого транзистора з'єднано з колектором дев'ятого та емітером п'ятого транзистора, а також з базами і колекторами десятого та шостого транзисторів, аналогічно базу третього транзистора з'єднано з колекторами одинадцятого, сьомого, дванадцятого, емітером восьмого і з базою одинадцятого транзисторів, бази першого та четвертого транзисторів з'єднано з базами дев'ятого та дванадцятого транзисторів відповідно, емітер дев'ятого та база п'ятого транзистора з'єднано між собою та з'єднано з шиною додатного живлення через третє джерело струму, так само емітер дванадцятого та база восьмого з'єднано між собою та з шиною від'ємного живлення через четверте джерело струму, емітери десятого та шостого транзисторів з'єднано між собою та емітерами одинадцятого та сьомого транзисторів, колектор п'ятого транзистора з'єднано з входом першого відбивача струму, в якому колектор та база чотирнадцятого транзистора з'єднано з базою вісімнадцятого, емітер чотирнадцятого транзистора з'єднано з колектором тринадцятого, базу тринадцятого транзистора з'єднано з базою та колектором сімнадцятого та емітером вісімнадцятого транзистора, емітери тринадцятого та сімнадцятого транзистора з'єднано з шиною додатного живлення, колектор восьмого транзистора з'єднано з входом другого відбивача струму, в якому колектор та база п'ятнадцятого транзистора з'єднано з базою дев'ятнадцятого, емітер п'ятнадцятого з'єднано з колектором шістнадцятого транзистора, а базу шістнадцятого транзистора з'єднано з базою та колектором двадцятого та емітером дев'ятнадцятого, емітери шістнадцятого та двадцятого транзисторів з'єднано з шиною від'ємного живлення, колектори вісімнадцятого та дев'ятнадцятого транзисторів з'єднано з базами двадцять першого та двадцять другого транзисторів, емітери двадцять першого та двадцять другого транзисторів з'єднано з базами двадцять третього та двадцять четвертого транзисторів відповідно та шинами додатного та від'ємного живлення через п'яте та шосте джерело струму відповідно, колектори двадцять першого та двадцять четвертого транзисторів з'єднано з шинами від'ємного живлення, а колектори двадцять другого та двадцять третього транзисторів з'єднано з шиною додатного живлення, емітери двадцять третього та двадцять четвертого транзисторів з'єднано з вихідною шиною.



---

Комп'ютерна верстка І. Скворцова

---

Міністерство розвитку економіки, торгівлі та сільського господарства України,  
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601