



УКРАЇНА

(19) **UA** (11) **140842** (13) **U**
(51) МПК
H03F 3/26 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: u 2019 09170</p> <p>(22) Дата подання заявки: 07.08.2019</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.03.2020</p> <p>(46) Публікація відомостей про видачу патенту: 10.03.2020, Бюл.№ 5</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Генеральницький Євгеній Сергійович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

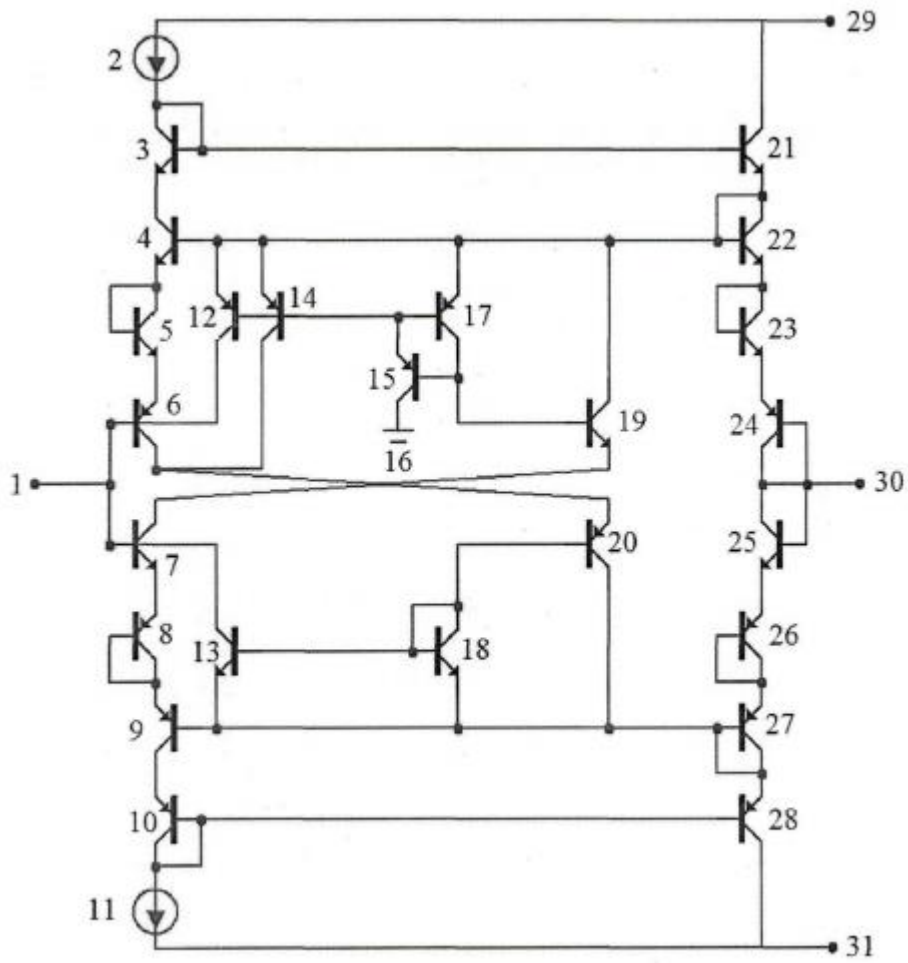
(54) БУФЕРНИЙ КАСКАД

(57) Реферат:

Буферний каскад містить десять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектор другого транзистора з шиною додатного живлення, яка в свою чергу з'єднана з першим джерелом струму, бази першого та третього транзисторів об'єднані та з'єднані з емітером другого та колектором третього транзисторів, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною, бази шостого та восьмого транзисторів об'єднані та з'єднані з колектором шостого та емітером сьомого транзисторів, колектор сьомого транзистора з'єднано з шиною від'ємного живлення, яку в свою чергу з'єднано з другим джерелом живлення. Введено чотирнадцять транзисторів та шину нульового потенціалу.

UA 140842 U

UA 140842 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

За аналог вибрано буферний каскад [патент України № 15896 м. кл., Н03К 5/22, МПК 2006, G05B 1/00, бюл. № 7, 2006 р.], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідна шина з'єднана з базами четвертого та п'ятого транзисторів, колектори яких з'єднані з колекторами шостого та третього транзисторів відповідно, та емітерами сьомого та другого транзисторів відповідно, база та колектор першого транзистора об'єднані і приєднані до шини додатного живлення через перше джерело струму, а також до бази другого транзистора, база сьомого транзистора з'єднана з шиною від'ємного живлення через друге джерело струму, колектори другого та сьомого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно, крім того введені дев'ятий, десятий, одинадцятий, дванадцятий транзистори, причому база кожного з них з'єднана з його колектором, емітер восьмого транзистора з'єднаний з базою сьомого транзистора та першим виводом другого джерела струму, емітери дев'ятого та десятого транзисторів з'єднані з емітерами четвертого та п'ятого транзисторів відповідно, бази та колектори дев'ятого та десятого транзисторів з'єднані з базами третього та шостого транзисторів відповідно, а також база та колектор дев'ятого транзистора з'єднані з емітером першого транзистора, база та колектор десятого транзистора з'єднані з базою та колектором восьмого транзистора, емітери третього та шостого транзисторів з'єднані з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази і колектори одинадцятого та дванадцятого транзисторів з'єднані з вихідною шиною.

Недоліками аналогу є низька точність, що викликано значною вихідною напругою зміщення нуля через неідентичність параметрів пар n-p-n та p-n-p транзисторів у верхньому та нижньому каналах.

За аналог вибрано буферний каскад [патент України № 51014 м. кл., Н03К 5/22, МПК 2009, G05B 1/00, бюл. № 12, 2010 р.], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, крім того введено дев'ятий та десятий транзистори, причому бази другого та сьомого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а бази першого та восьмого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, колектори та бази дев'ятого та десятого транзисторів об'єднано між собою, а також з колекторами четвертого та п'ятого транзисторів та з'єднано з вихідною шиною.

Недоліками аналога є низький вхідний опір, який обумовлений низьким вхідним опором біполярних транзисторів, що призводить до збільшення похибки коефіцієнта передачі при підключенні на вхід буферного пристрою джерела сигналу з високим вихідним опором.

В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність, а це в свою чергу розширює галузь використання корисної моделі в різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що в буферний каскад, який містить двадцять чотири транзистори, перше та друге джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектор другого транзистора з шиною додатного живлення, яка в свою чергу з'єднана з першим джерелом струму, бази першого та третього транзисторів об'єднані та з'єднані з емітером другого та колектором третього транзисторів, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною, бази шостого та восьмого транзисторів об'єднані та з'єднані з колектором шостого та емітером сьомого транзисторів, колектор сьомого транзистора з'єднано з шиною від'ємного живлення, яку в свою чергу з'єднано з другим джерелом живлення, причому базу сьомого транзистора з'єднано з базою та колектором чотирнадцятого транзистора та об'єднано з другим джерелом струму, колектор восьмого та емітер чотирнадцятого транзисторів з'єднані між собою, базу другого транзистора з'єднано з базою та колектором одинадцятого транзистора та об'єднано з першим джерелом струму, емітер одинадцятого та колектор першого транзисторів з'єднано між собою, емітер першого транзистора з'єднано з базою та колектором дванадцятого транзистора, емітери

дванадцятого та четвертого транзисторів об'єднані, емітери п'ятого та тринадцятого транзисторів об'єднані, базу та колектор тринадцятого транзистора з'єднано з емітером восьмого транзистора, емітер третього транзистора з'єднано з базою та колектором двадцять третього транзистора, емітери двадцять третього та дев'ятого транзисторів об'єднані, емітери
 5 десятого та двадцять четвертого транзисторів об'єднані, база та колектор двадцять четвертого транзистора з'єднані з емітером шостого транзистора, емітери п'ятнадцятого, сімнадцятого, дев'ятнадцятого транзисторів об'єднані та з'єднані з базою першого та колектором двадцять першого транзисторів, емітери шістнадцятого та двадцятого транзисторів об'єднані та з'єднані з колектором двадцять другого та базою восьмого транзисторів, бази шістнадцятого, двадцятого,
 10 двадцять другого транзисторів об'єднані та з'єднані з колектором двадцятого транзистора, базу п'ятого транзистора з'єднано з колектором шістнадцятого транзистора, колектор п'ятого транзистора з'єднано з емітером дев'ятнадцятого транзистора, бази п'ятнадцятого, сімнадцятого, дев'ятнадцятого транзисторів об'єднано та з'єднано з емітером вісімнадцятого транзистора, базу четвертого транзистора з'єднано з колектором п'ятнадцятого транзистора,
 15 колектори четвертого, сімнадцятого, транзисторів об'єднано та з'єднано з емітером двадцять другого транзистора, бази вісімнадцятого та двадцять першого транзисторів об'єднано та з'єднано з колектором дев'ятнадцятого транзистора, колектор вісімнадцятого транзистора з'єднано з шиною нульового потенціалу.

На кресленні представлено принципову схему буферного каскаду.

20 Пристрій містить двадцять чотири транзистори, перше 2 та друге 11 джерела струму, шини додатного 29 та від'ємного 31 живлення, вхідну 1 та вихідну 30 шини, шину нульового потенціалу 16, причому вхідну шину 1 з'єднано з базами четвертого 6 та п'ятого 7 транзисторів, колектор другого 21 транзистора з'єднано з шиною додатного живлення 29, яка в свою чергу з'єднана з першим джерелом струму 2, бази першого 4 та третього 22 транзисторів об'єднані та
 25 з'єднані з емітером другого 21 та колектором третього 22 транзисторів, бази та колектори дев'ятого 24 та десятого 25 транзисторів об'єднані та з'єднані з вихідною шиною 30, бази шостого 27 та восьмого 9 транзисторів об'єднані та з'єднані з колектором шостого 27 та емітером сьомого 28 транзисторів, колектор сьомого 28 транзистора з'єднано з шиною від'ємного живлення 31, яку в свою чергу з'єднано з другим джерелом живлення 11, причому
 30 базу сьомого 28 транзистора з'єднано з базою та колектором чотирнадцятого 10 транзистора та об'єднано з другим джерелом струму 11, колектор восьмого 9 та емітер чотирнадцятого 10 транзисторів з'єднані між собою, базу другого 21 транзистора з'єднано з базою та колектором одинадцятого 3 транзистора та об'єднано з першим джерелом струму 2, емітер одинадцятого 3 та колектор першого 4 транзисторів з'єднано між собою, емітер першого 4 транзистора з'єднано
 35 з базою та колектором дванадцятого 5 транзистора, емітери дванадцятого 5 та четвертого 6 транзисторів об'єднані, емітери п'ятого 7 та тринадцятого 8 транзисторів об'єднані, базу та колектор тринадцятого 8 транзистора з'єднано з емітером восьмого 9 транзистора, емітер третього 22 транзистора з'єднано з базою та колектором двадцять третього 23 транзистора, емітери двадцять третього 23 та дев'ятого 24 транзисторів об'єднані, емітери десятого 25 та
 40 двадцять четвертого 26 транзисторів об'єднані, база та колектор двадцять четвертого 26 транзистора з'єднано з емітером шостого 27 транзистора, емітери п'ятнадцятого 12, сімнадцятого 14, дев'ятнадцятого 17 транзисторів об'єднані та з'єднані з базою першого 4 та колектором двадцять першого 19 транзисторів, емітери шістнадцятого 13 та двадцятого 18 транзисторів об'єднані та з'єднані з колектором двадцять другого 20 та базою восьмого 9
 45 транзисторів, бази шістнадцятого 13, двадцятого 18, двадцять другого 20 транзисторів об'єднані та з'єднані з колектором двадцятого 18 транзистора, базу п'ятого 7 транзистора з'єднано з колектором шістнадцятого 13 транзистора, колектор п'ятого 7 транзистора з'єднано з емітером дев'ятнадцятого 21 транзистора, бази п'ятнадцятого 12, сімнадцятого 14, дев'ятнадцятого 17 транзисторів об'єднано та з'єднано з емітером вісімнадцятого 15 транзистора, базу четвертого 6
 50 транзистора з'єднано з колектором п'ятнадцятого 12 транзистора, колектори четвертого 6, сімнадцятого 14, транзисторів об'єднано та з'єднано з емітером двадцять другого 20 транзистора, бази вісімнадцятого 15 та двадцять першого 19 транзисторів об'єднано та з'єднано з колектором дев'ятнадцятого 17 транзистора, колектор вісімнадцятого 15 транзистора з'єднано з шиною нульового потенціалу 16.

55 Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 1.

Якщо вхідний сигнал має додатну полярність то п'ятий 7 транзистор частково відкривається, а четвертий 6 транзистор частково закривається, При цьому емітерний струм п'ятого 7 транзистора збільшується, а четвертого 6 транзистора зменшується, це у свою чергу приводить
 60 до збільшення емітерного струму восьмого 9 транзистора та зменшення емітерного струму

першого 4 транзистора, у свою чергу це призводить до збільшення колекторного струму восьмого 9 транзистора та зменшення колекторного струму першого 4 транзистора, у свою чергу це призводить до зменшення базового струму сьомого 28 транзистора та збільшення базового струму другого 21 транзистора, які у свою чергу частково відкриваються, що

5 призводить до збільшення емітерного струму шостого 27 транзистора та зменшення емітерного струму третього 22 транзистора, емітерний струм шостого 27 та третього 22 транзистора через дев'ятий 24 та десятий 25 транзистори у діодному вмиканні передається на вихідну шину 30, при цьому це призводить до наближення потенціалу напруги вихідної шини 30 до шини від'ємного живлення 31.

10 Якщо вхідний сигнал має від'ємну полярність то четвертий 6 транзистор частково відкривається, а п'ятий 7 транзистор частково закривається, при цьому емітерний струм четвертого 6 транзистора збільшується, а п'ятого 7 транзистора зменшується, це у свою чергу приводить до збільшення емітерного струму першого 4 транзистора та зменшення емітерного струму восьмого 9 транзистора, у свою чергу це призводить до збільшення колекторного струму першого 4 транзистора та зменшення колекторного струму другого 21 транзистора та збільшення базового струму сьомого 28 транзистора, які у свою чергу частково відкриваються, що

15 призводить до збільшення емітерного струму третього 22 транзистора та зменшення емітерного струму шостого 27 транзистора, емітерний струм третього 22 та шостого 27 транзистора через дев'ятий 24 та десятий 25 транзистори у діодному вмиканні передається на вихідну шину 30, при цьому це призводить до наближення потенціалу напруги вихідної шини 30 до шини додатного живлення 29.

Перше 2 та друге 11 джерела струмів задають режим по постійному струмі каскадів схеми, четвертий 6 та п'ятий 7 транзистори утворюють вхідний каскад, який забезпечує передачу

25 вхідного сигналу на каскади схеми, двадцять перший 19, двадцять другий 20 транзистори та відбивачі струму як на п'ятнадцятому 12, дев'ятнадцятому 17 та шістнадцятому 13, двадцятому 18 транзисторах виконують балансування схеми, для компенсації зсуву нуля у відбивачі додано сімнадцятий 14 та вісімнадцятий 15 транзистори та шину нульового потенціалу 16, які забезпечують коригування струму в схемі та балансування, дванадцятий 5, тринадцятий 8 та

30 двадцять третій 23, двадцять четвертий 26 транзистори в діодному вмиканні забезпечують більш стабільні режими для роботи схеми, перший 4, другий 21, третій 22, одинадцятий 3 та восьмий 9, шостий 27, сьомий 28, чотирнадцятий 10 транзистори утворюють відбивачі Вілсона, які передають сигнал з вхідних каскадів на вихідну шину 30 через дев'ятий 24 та десятий 25 транзистори в діодному вмиканні, відповідно таким чином забезпечується балансування

35 потенціалу вихідної шини 30, що різниця потенціалу з вхідною шиною 1 наближається до нуля. За рахунок цього досягається підвищення точності роботи схеми буферного каскаду. Шини додатного живлення 29 та від'ємного живлення 31 забезпечують напругу потрібну для живлення схеми.

40 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буферний каскад, який містить десять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектор другого транзистора з шиною додатного живлення, яка в свою

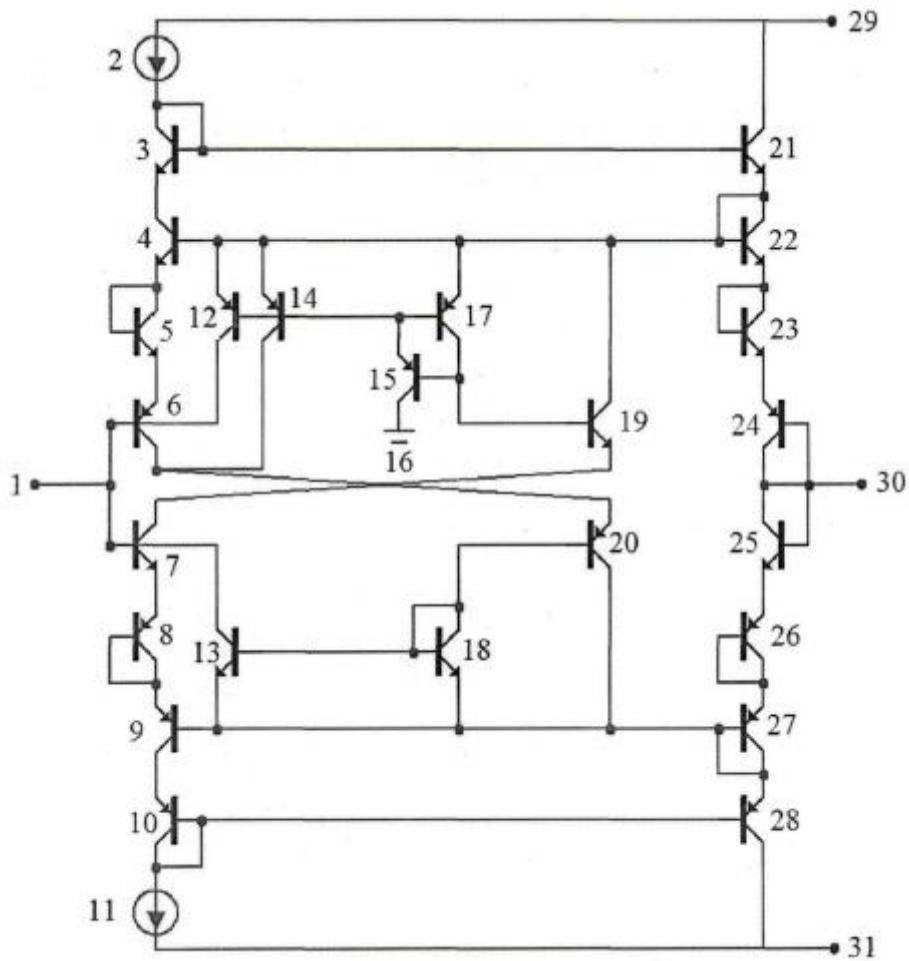
45 чергу з'єднана з першим джерелом струму, бази першого та третього транзисторів об'єднані та з'єднані з емітером другого та колектором третього транзисторів, бази та колектори дев'ятого та десятого транзисторів об'єднані та з'єднані з вихідною шиною, бази шостого та восьмого транзисторів об'єднані та з'єднані з колектором шостого та емітером сьомого транзисторів, колектор сьомого транзистора з'єднано з шиною від'ємного живлення, яку в свою чергу з'єднано

50 з другим джерелом живлення, який **відрізняється** тим, що введено чотирнадцять транзисторів та шину нульового потенціалу, причому базу сьомого транзистора з'єднано з базою та колектором чотирнадцятого транзистора та об'єднано з другим джерелом струму, колектор восьмого та емітер чотирнадцятого транзисторів з'єднані між собою, базу другого транзистора з'єднано з базою та колектором одинадцятого транзистора та об'єднано з першим джерелом

55 струму, емітер одинадцятого та колектор першого транзисторів з'єднано між собою, емітер першого транзистора з'єднано з базою та колектором дванадцятого транзистора, емітери дванадцятого та четвертого транзисторів об'єднані, емітери п'ятого та тринадцятого транзисторів об'єднані, базу та колектор тринадцятого транзистора з'єднано з емітером восьмого транзистора, емітер третього транзистора з'єднано з базою та колектором двадцять

60 третього транзистора, емітери двадцять третього та дев'ятого транзисторів об'єднані, емітери

десятого та двадцять четвертого транзисторів об'єднані, база та колектор двадцять четвертого транзистора з'єднані з емітером шостого транзистора, емітери п'ятнадцятого, сімнадцятого, дев'ятнадцятого транзисторів об'єднані та з'єднані з базою першого та колектором двадцять першого транзисторів, емітери шістнадцятого та двадцятого транзисторів об'єднані та з'єднані з колектором двадцять другого та базою восьмого транзисторів, бази шістнадцятого, двадцятого, двадцять другого транзисторів об'єднані та з'єднані з колектором двадцятого транзистора, базу п'ятого транзистора з'єднано з колектором шістнадцятого транзистора, колектор п'ятого транзистора з'єднано з емітером дев'ятнадцятого транзистора, бази п'ятнадцятого, сімнадцятого, дев'ятнадцятого транзисторів об'єднано та з'єднано з емітером вісімнадцятого транзистора, базу четвертого транзистора з'єднано з колектором п'ятнадцятого транзистора, колектори четвертого, сімнадцятого транзисторів об'єднано та з'єднано з емітером двадцять другого транзистора, бази вісімнадцятого та двадцять першого транзисторів об'єднано та з'єднано з колектором дев'ятнадцятого транзистора, колектор вісімнадцятого транзистора з'єднано з шиною нульового потенціалу.



Комп'ютерна верстка А. Крижанівський

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601