



УКРАЇНА

(19) **UA** (11) **141386** (13) **U**  
(51) МПК (2020.01)  
**Н03М 7/00**

МІНІСТЕРСТВО РОЗВИТКУ  
ЕКОНОМІКИ, ТОРГІВЛІ ТА  
СІЛЬСЬКОГО ГОСПОДАРСТВА  
УКРАЇНИ

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2019 08712**

(22) Дата подання заявки: **19.07.2019**

(24) Дата, з якої є чинними  
права на корисну  
модель: **10.04.2020**

(46) Публікація відомостей **10.04.2020, Бюл.№ 7**  
про видачу патенту:

(72) Винахідник(и):

**Азаров Олексій Дмитрович (UA),  
Черняк Олександр Іванович (UA)**

(73) Власник(и):

**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ  
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,  
Хмельницьке шосе, 95, м. Вінниця,  
21021 (UA)**

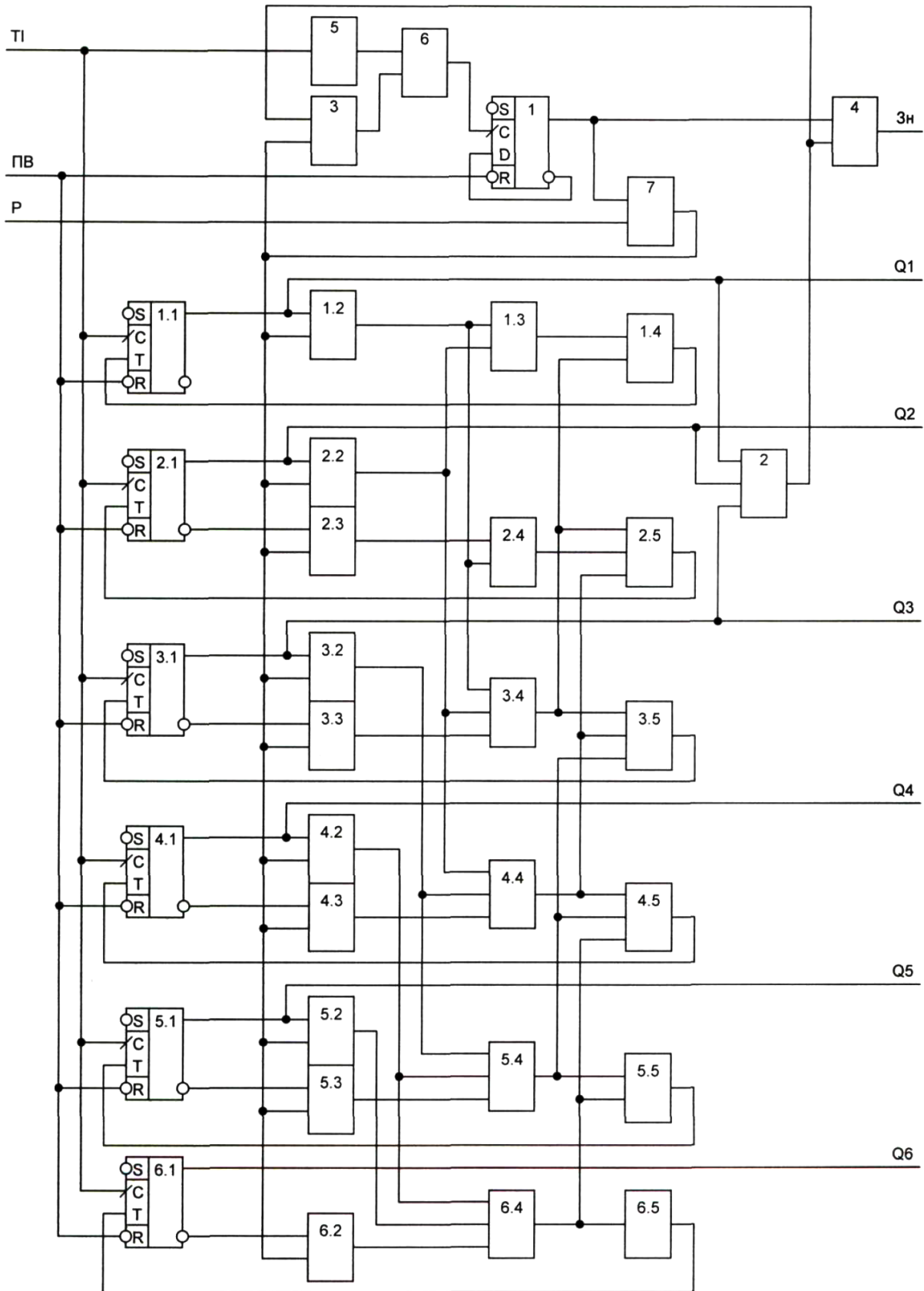
## (54) РЕВЕРСИВНИЙ ЛІЧИЛЬНИК У ФІБОНАЧЧІЄВІЙ СИСТЕМІ ЧИСЛЕННЯ

(57) Реферат:

Реверсивний лічильник у фібоначчівій системі числення має N розрядів, вхід тактових імпульсів, вхід режиму реверсивної лічби, N інформаційних виходів та у кожному розряді містить лічильний тригер. Перший, другий та (N-1)-й розряди містять логічні елементи 2I-НІ, другий, (N-1)-й та N-й розряди містять логічні елементи 3I-НІ, N-й розряд містить логічний елемент НІ, перший і N-й розряди містять логічні елементи ВИКЛЮЧНЕ АБО. Кожен розряд, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-НІ. Кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО. Перший розряд містить логічний елемент 2I. Додатково введено вхід початкового встановлення, вихід знака, D-тригер, логічний елемент ЗАБО-НІ, перший і другий логічні елементи 2I, логічний елемент 2I-НІ, логічний елемент НІ та логічний елемент ВИКЛЮЧНЕ АБО.

UA 141386 U

UA 141386 U



Корисна модель належить до обчислювальної техніки і автоматики та може бути використана у цифрових пристроях.

Відомо цифро-аналоговий перетворювач, [патент на корисну модель UA № 94085, МПК Н03М 1/46, опублікований 27.10.2014, бюл. № 20], в якому описано швидкодіючий лічильник у фібоначчівій системі числення, що містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу,  $N$  інформаційних виходів та у кожному  $i$ -му розряді містить лічильний тригер, вхід  $S$  синхронізації якого з'єднаний зі входом тактових імпульсів пристрою, вхід  $R$  встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан пристрою, а вихід з'єднаний з  $i$ -м інформаційним виходом пристрою, крім того, перший і другий розряди пристрою містять по одному логічному елементу 2I-НІ, а кожний розряд пристрою, починаючи з третього, містить перший і другий логічні елементи 3I-НІ, причому перший вхід логічного елемента 2I-НІ першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з  $T$ -входом лічильного тригера першого розряду; перший вхід логічного елемента 2I-НІ другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента 3I-НІ четвертого розряду, а вихід з'єднаний з  $T$ -входом лічильного тригера другого розряду; у кожному  $i$ -му розряді пристрою, починаючи з третього, перший вхід першого логічного елемента 3I-НІ з'єднаний з інверсним виходом лічильного тригера  $i$ -го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера  $(i-i)$ -го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера  $(i-2)$ -го розряду, а вихід з'єднаний з першим входом другого логічного елемента 3I-НІ  $i$ -го розряду; другий вхід другого логічного елемента 3I-НІ  $i$ -го розряду, крім  $N$ -го, з'єднаний з виходом першого логічного елемента 3I-НІ  $(i+1)$ -го розряду, третій вхід другого логічного елемента 3I-НІ  $i$ -го розряду, крім  $N$ -го та  $(N-1)$ -го, з'єднаний з виходом першого логічного елемента 3I-НІ  $(i+2)$ -го розряду, а вихід другого логічного елемента 3I-НІ  $i$ -го розряду з'єднаний з  $T$ -входом лічильного тригера  $i$ -го розряду; другий і третій входи другого логічного елемента 3I-НІ  $N$ -го розряду та третій вхід другого логічного елемента 3I-НІ  $(N-1)$ -го розряду з'єднані з входом одиничного потенціалу пристрою.

Недоліком даного пристрою є обмежені функціональні можливості тому, що відсутній режим зміни з оберненого на прямий порядок лічби і навпаки, крім того, лічба може виконуватись лише при додатних значеннях коду.

Як найближчий аналог вибрано реверсивний лічильник у фібоначчівій системі числення, [патент на корисну модель UA № 109080, МПК Н03М 7/00, опублікований 10.08.2016, бюл. № 15]. Пристрій має  $N$  входів встановлення розрядів з першого по  $N$ -й в одиничний стан,  $N$  входів встановлення розрядів з першого по  $N$ -й у нульовий, вхід тактових імпульсів,  $N$  інформаційних виходів та у кожному розряді містить лічильний тригер, крім того, перший, другий та  $(N-1)$ -й розряди містять логічний елемент 2I-НІ, другий,  $(N-1)$ -й та  $N$ -й розряди містять логічний елемент 3I-НІ,  $N$ -й розряд містить логічний елемент НІ, а кожен розряд, крім першого,  $(N-1)$ -го та  $N$ -го, містить перший та другий логічні елементи 3I-НІ, причому входи встановлення розрядів в одиничний стан з'єднані з входами  $S$  встановлення в одиничний стан лічильних тригерів відповідних розрядів, входи встановлення розрядів в нульовий стан з'єднані з входами  $R$  встановлення в одиничний стан лічильних тригерів відповідних розрядів, вхід тактових імпульсів пристрою з'єднаний з входами  $S$  синхронізації лічильних тригерів з першого по  $N$ -й розрядів, прямий вихід кожного  $i$ -го лічильного тригера з першого по  $N$ -й розряди з'єднаний з  $i$ -им інформаційним виходом пристрою, вихід першого логічного елемента 3I-НІ кожного  $i$ -го розряду з третього по  $(N-2)$ -й з'єднаний з першим входом другого логічного елемента 3I-НІ  $i$ -го розряду, вихід якого з'єднаний з  $T$ -входом лічильного тригера  $i$ -го розряду, вихід першого логічного елемента 3I-НІ кожного  $i$ -го розряду, з четвертого по  $(N-2)$ -й, з'єднаний з другим входом другого логічного елемента 3I-НІ  $(i-1)$ -го розряду, вихід першого логічного елемента 3I-НІ кожного  $i$ -го розряду, з п'ятого по  $(N-2)$ -й, з'єднаний з третім входом другого логічного елемента 3I-НІ  $(i-2)$ -го розряду, вихід логічного елемента 3I-НІ  $(N-1)$ -го розряду з'єднаний з третім входом другого логічного елемента 3I-НІ  $(N-3)$ -го розряду, другим входом логічного другого елемента 3I-НІ  $(N-2)$ -го розряду та першим входом логічного елемента 2I-НІ  $(N-1)$ -го розряду, другий вхід якого з'єднаний з виходом логічного елемента 3I-НІ  $N$ -го розряду, третім входом другого логічного елемента 3I-НІ  $(N-2)$ -го розряду та входом логічного елемента НІ  $N$ -го розряду, а вихід з'єднаний з  $T$ -входом лічильного тригера  $(N-1)$ -го розряду, вихід логічного елемента НІ  $N$ -го розряду з'єднаний з  $T$ -входом лічильного тригера  $N$ -го розряду, вихід першого логічного елемента 3I-НІ третього розряду з'єднаний з першим входом логічного елемента 3I-НІ другого розряду, другий вхід якого з'єднаний з виходом першого елемента 3I-НІ четвертого розряду, а вихід з'єднаний з  $T$ -входом лічильного тригера другого розряду, крім того, пристрій додатково

містить вхід режиму реверсивної лічби, а також перший і N-й розряд містить логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 2I, причому, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, 5  
 АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з третього по (N-2)-й з'єднаний з першим входом першого логічного елемента 3I-NI i-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з першим входом логічного елемента 3I-NI (N-1)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-4)-й з'єднаний з другим входом першого логічного елемента 3I-NI (i+1)-го розряду та третім входом першого логічного елемента 3I-NI (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 2I-NI першого розряду, першим входом логічного елемента 2I-NI другого розряду та третім входом першого логічного елемента 3I-NI третього розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI другого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI першого розряду, вихід якого з'єднаний з першим входом логічного елемента 2I першого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента 3I-NI третього розряду, а вихід з'єднаний з T-входом лічильного тригера першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду з'єднаний з другим входом першого логічного елемента 3I-NI (N-2)-го розряду та другим входом логічного елемента 3I-NI (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-2)-го розряду з'єднаний з третім входом логічного елемента 3I-NE (N-1)-го розряду та другим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з третім входом логічного елемента 3I-NI N-го розряду, вихід логічного елемента 2I-NI другого розряду з'єднаний з третім входом логічного елемента 3 I-NI другого розряду.

Недоліком найближчого аналога є обмежені функціональні можливості тому, що лічба у прямому і зворотному порядку може виконуватись лише при додатних значеннях коду.

В основу корисної моделі поставлено задачу створення реверсивного лічильника у фібоначчівій системі числення, в якому за рахунок введення нових елементів та зв'язків організується режим реверсивної лічби з урахуванням знака, що приводить до розширення функціональних можливостей. Якщо у режимі прямої лічби знак від'ємний або у режимі оберненої лічби знак додатний, то на кожному такті віднімається одиниця. При досягненні нульового значення знак змінюється на протилежний і в подальшому на кожному такті додається одиниця.

Поставлена задача вирішується тим, що у реверсивний лічильник у фібоначчівій системі числення, який має N розрядів, вхід тактових імпульсів, вхід режиму реверсивної лічби, N інформаційних виходів та у кожному розряді містить лічильний тригер, крім того, перший, другий та (N-1)-й розряди містять логічні елементи 2I-NI, другий, (N-1)-й та N-й розряди містять логічні елементи 3I-NI, N-й розряд містить логічний елемент NI, перший і N-й розряди містять логічні елементи ВИКЛЮЧНЕ АБО, а кожен розряд, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-NI, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 2I, причому вхід початкового встановлення з'єднано з входами R встановлення в нульовий стан лічильних тригерів всіх розрядів, вхід тактових імпульсів з'єднано з входами C синхронізації лічильних тригерів всіх розрядів, прямий вихід кожного i-го лічильного тригера з першого по N-й розряди з'єднано з i-м інформаційним виходом пристрою, вихід першого логічного елемента 3I-NI кожного i-го розряду з третього по (N-2)-й з'єднано з першим входом другого логічного елемента 3I-NI i-го розряду, вихід якого з'єднано з T-входом лічильного тригера i-го розряду, вихід першого логічного елемента 3I-NI кожного i-го розряду, з четвертого по (N-2)-й, з'єднано з другим входом другого логічного елемента 3I-NI (i-1)-го розряду, вихід першого логічного

елемента 3I-NI кожного i-го розряду, з п'ятого по (N-2)-й, з'єднано з третім входом другого логічного елемента 3I-NI (i-2)-го розряду, вихід логічного елемента 3I-NI (N-1)-го розряду з'єднано з третім входом другого логічного елемента 3I-NI (N-3)-го розряду, другим входом другого логічного елемента 3I-NI (N-2)-го розряду та першим входом логічного елемента 2I-NI (N-1)-го розряду, другий вхід якого з'єднано з виходом логічного елемента 3I-NI N-го розряду, третім входом другого логічного елемента 3I-NI (N-2)-го розряду та входом логічного елемента NI N-го розряду, а вихід з'єднано з T-входом лічильного тригера (N-1)-го розряду, вихід логічного елемента NI N-го розряду з'єднано з T-входом лічильного тригера N-го розряду, вихід першого логічного елемента 3I-NI третього розряду з'єднано з першим входом логічного елемента 3I-NI другого розряду, другий вхід якого з'єднано з виходом першого елемента 3I-NI четвертого розряду, а вихід з'єднано з T-входом лічильного тригера другого розряду, вхід режиму реверсивної лічби з'єднано з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднано з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднано з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднано з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднано з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з третього по (N-2)-й з'єднано з першим входом першого логічного елемента 3I-NI i-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднано з першим входом логічного елемента 3I-NI (N-1)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднано з першим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-4)-й з'єднано з другим входом першого логічного елемента 3I-NI (i+1)-го розряду та третім входом першого логічного елемента 3I-NI (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднано з першим входом логічного елемента 2I-NI першого розряду, першим входом логічного елемента 2I-NI другого розряду та третім входом першого логічного елемента 3I-NI третього розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднано з другим входом логічного елемента 2I-NI другого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднано з другим входом логічного елемента 2I-NI першого розряду, вихід якого з'єднано з першим входом логічного елемента 2I першого розряду, другий вхід якого з'єднано з виходом першого логічного елемента 3I-NI третього розряду, а вихід з'єднано з T-входом лічильного тригера першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду з'єднано з другим входом першого логічного елемента 3I-NI (N-2)-го розряду та другим входом логічного елемента 3I-NI (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-2)-го розряду з'єднано з третім входом логічного елемента 3I-NI (N-1)-го розряду та другим входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднано з третім входом логічного елемента 3I-NI N-го розряду, вихід логічного елемента 2I-NI другого розряду з'єднано з третім входом логічного елемента 3I-NI другого розряду, згідно з корисною моделлю, введено вхід початкового встановлення, вихід знака, D-тригер, логічний елемент 3 АБО-NI, перший і другий логічні елементи 2I, логічний елемент 2I-NI, логічний елемент NI та логічний елемент ВИКЛЮЧНЕ АБО причому, вхід початкового встановлення з'єднано з входом R встановлення в нуль D-тригера та входами R встановлення в нуль лічильних тригерів всіх розрядів, вхід тактових імпульсів з'єднано з входом логічного елемента NI, вихід якого з'єднано з першим входом логічного елемента 2I-NI, другий вхід якого з'єднано з виходом першого логічного елемента 2I, а вихід з'єднано з входом C D-тригера, прямий вихід якого з'єднано з першим входом другого логічного елемента 2I та першим входом логічного елемента ВИКЛЮЧНЕ АБО, другий вхід якого з'єднано з входом режиму реверсивної лічби, а вихід з'єднано з першим входом першого логічного елемента 2I, другий вхід якого з'єднано з виходом логічного елемента 3 АБО-NI та другим входом другого логічного елемента 2I, вихід якого з'єднано з виходом знака, інверсний вихід D-тригера з'єднано з його входом D, прямі виходи лічильних тригерів першого, другого та третього розрядів з'єднано відповідно з першим, другим та третім входами логічного елемента 3 АБО-NI.

На кресленні зображено схему шестирозрядного реверсивного лічильника у фібоначчівій системі числення.

Реверсивний лічильник у фібоначчівій системі числення має шість розрядів, вхід тактових імпульсів TI, вхід режиму реверсивної лічби R, вхід початкового встановлення ПВ, вихід знака

Зн, шість інформаційних виходів Q1, Q2, Q3, Q4, і Q6, лічильні тригери 1.1, 2.1, 3.1, 4.1, 5.1 і 6.1 першого, другого, третього, четвертого п'ятого і шостого розрядів, логічні елементи 1.3, 2.4 і 5.5 2I-НІ першого, другого і п'ятого розрядів, логічні елементи 2.5, 5.4 і 6.4 3I-НІ другого, п'ятого і шостого розрядів, логічний елемент 6.5 НІ шостого розряду, логічні елементи 1.2 і 6.2

5 ВИКЛЮЧНЕ АБО першого і шостого розрядів, перші логічні елементи 3.4 і 4.4 3I-НІ третього і четвертого розрядів, другі логічні елементи 3.5 і 4.5 3I-НІ третього і четвертого розрядів, перші логічні елементи 2.2, 3.2, 4.2 і 5.2 ВИКЛЮЧНЕ АБО другого, третього, четвертого і п'ятого розрядів, другі логічні елементи 2.3, 3.3, 4.3, і 5.3 ВИКЛЮЧНЕ АБО другого, третього, четвертого і п'ятого розрядів, логічний елемент 1.4 2I першого розряду, D-тригер 1, логічний

10 елемент 2 3 АБО-НІ, перший 3 і другий 4 логічні елементи 2I, логічний елемент 5 НІ, логічний елемент 6 2I-НІ та логічний елемент 7 ВИКЛЮЧНЕ АБО, причому вхід ПВ початкового встановлення з'єднано з входами R встановлення в нульовий стан лічильних тригерів всіх розрядів, вхід ТІ тактових імпульсів з'єднано з входами С синхронізації лічильних тригерів всіх розрядів, прямі виходи лічильних тригерів 1.1, 2.1, 3.1, 4.1, 5.1, і 6.1 першого, другого, третього,

15 четвертого п'ятого і шостого розрядів з'єднано з інформаційними виходами відповідно Q1, Q2, Q3, Q4, Q5 і Q6, виходи перших логічних елементів 3.4, 4.4 3I-НІ третього і четвертого розрядів з'єднано з першими входами других логічних елементів відповідно 3.5, 4.5 3I-НІ третього і четвертого розрядів, виходи яких з'єднано з Т-входами лічильних тригерів відповідно 3.1, 4.1

20 третього і четвертого розрядів, вихід першого логічного елемента 4.4 3I-НІ четвертого розряду з'єднано з другим входом другого логічного елемента 3.5 3I-НІ третього розряду, вихід логічного елемента 5.4 3I-НІ п'ятого розряду з'єднано з третім входом другого логічного елемента 3.5 3I-НІ третього розряду, другим входом другого логічного елемента 4.5 3I-НІ четвертого розряду та першим входом логічного елемента 5.5 2I-НІ п'ятого розряду, другий вхід якого з'єднано з

25 виходом логічного елемента 6.4 3I-НІ шостого розряду, третім входом другого логічного елемента 4.5 3I-НІ четвертого розряду та входом логічного елемента 6.5 НІ шостого розряду, а вихід з'єднано з Т-входом лічильного тригера 5.1 п'ятого розряду, вихід логічного елемента 6.5 НІ шостого розряду з'єднано з Т-входом лічильного тригера 6.1 шостого розряду, вихід першого логічного елемента 3.4 3I-НІ третього розряду з'єднано з першим входом логічного елемента 2.5

30 3I-НІ другого розряду, другий вхід якого з'єднано з виходом першого елемента 4.4 3I-НІ четвертого розряду, а вихід з'єднано з Т-входом лічильного тригера 2.1 другого розряду, вхід Р режиму реверсивної лічби з'єднано з першими входами логічних елементів 1.2 і 6.2 ВИКЛЮЧНЕ АБО першого і шостого розрядів, першими входами перших логічних елементів 2.2, 3.2, 4.2 і 5.2

35 ВИКЛЮЧНЕ АБО другого, третього, четвертого і п'ятого розрядів та першими входами других логічних елементів 2.3, 3.3, 4.3, і 5.3 ВИКЛЮЧНЕ АБО другого, третього, четвертого і п'ятого розрядів, прямий вихід лічильного тригера 1.1 першого розряду з'єднано з другим входом логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду, прямі виходи лічильних тригерів 2.1, 3.1, 4.1 і 5.1 другого, третього, четвертого і п'ятого розрядів з'єднано з другими входами перших логічних елементів відповідно 2.2, 3.2, 4.2, і 5.2 ВИКЛЮЧНЕ АБО другого, третього, четвертого і

40 п'ятого розрядів, інверсні виходи лічильних тригерів 2.1, 3.1, 4.1 і 5.1 другого, третього, четвертого і п'ятого розрядів з'єднано з другими входами других логічних елементів відповідно 2.3, 3.3, 4.3, і 5.3 ВИКЛЮЧНЕ АБО другого, третього, четвертого і п'ятого розрядів, інверсний вихід лічильного тригера 6.1 шостого розряду з'єднано з другим входом логічного елемента 6.2

45 ВИКЛЮЧНЕ АБО шостого розряду, виходи других логічних елементів 3.3 і 4.3 ВИКЛЮЧНЕ АБО третього і четвертого розрядів з'єднано з першими входами перших логічних елементів відповідно 3.4 і 4.4 3I-НІ третього і четвертого розрядів, вихід другого логічного елемента 5.3

50 ВИКЛЮЧНЕ АБО п'ятого розряду з'єднано з першим входом логічного елемента 5.4 3I-НІ п'ятого розряду, вихід логічного елемента 6.2 ВИКЛЮЧНЕ АБО шостого розряду з'єднано з першим входом логічного елемента 6.4 3I-НІ шостого розряду, вихід першого логічного елемента 2.2

55 ВИКЛЮЧНЕ АБО другого розряду з'єднано з другим входом першого логічного елемента 3.4 3I-НІ третього розряду та третім входом першого логічного елемента 4.4 3I-НІ четвертого розряду, вихід логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду з'єднано з першим входом логічного елемента 1.3 2I-НІ першого розряду, першим входом логічного елемента 2.4 2I-НІ

60 другого розряду та третім входом першого логічного елемента 3.4 3I-НІ третього розряду, вихід другого логічного елемента 2.3 ВИКЛЮЧНЕ АБО другого розряду з'єднано з другим входом логічного елемента 2.2 ВИКЛЮЧНЕ АБО другого розряду з'єднано з другим входом логічного елемента 1.3 2I-НІ першого розряду, вихід якого з'єднано з першим входом логічного елемента 1.4 2I першого розряду, другий вхід якого з'єднано з виходом першого логічного елемента 3.4 3I-НІ третього розряду, а вихід з'єднано з Т-входом лічильного тригера 1.1 першого розряду, вихід першого логічного елемента 3.2

4.4 3I-NI четвертого розряду та другим входом логічного елемента 5.4 3I-NI п'ятого розряду, вихід першого логічного елемента 4.4 ВИКЛЮЧНЕ АБО четвертого розряду з'єднано з третім входом логічного елемента 5.4 3I-NI п'ятого розряду та другим входом логічного елемента 6.4 3I-NI шостого розряду, вихід першого логічного елемента 5.2 ВИКЛЮЧНЕ АБО п'ятого розряду з'єднано з третім входом логічного елемента 6.4 3I-NI шостого розряду, вихід логічного елемента 2.4 2I-NI другого розряду з'єднано з третім входом логічного елемента 2.5 3I-NI другого розряду, вхід ПВ початкового встановлення з'єднано з входом R встановлення в нуль D-тригера 1 та входами R встановлення в нуль лічильних тригерів всіх розрядів, вхід тактових імпульсів з'єднано з входом логічного елемента 5 NI, вихід якого з'єднано з першим входом логічного елемента 6 2I-NI, другий вхід якого з'єднано з виходом першого логічного елемента 3 2I, а вихід з'єднано з входом C D-тригера 1, прямий вихід якого з'єднано з першим входом другого логічного елемента 4 2I та першим входом логічного елемента 7 ВИКЛЮЧНЕ АБО, другий вхід якого з'єднано з входом режиму реверсивної лічби, а вихід з'єднано з першим входом першого логічного елемента 3 2I, другий вхід якого з'єднано з виходом логічного елемента 2 3 АБО-NI та другим входом другого логічного елемента 4 2I, вихід якого з'єднано з виходом 3n знака, інверсний вихід D-тригера 1 з'єднано з його входом D, прямі виходи лічильних тригерів 1.1, 2.1 і 3.1 першого, другого і третього розрядів з'єднано відповідно з першим, другим і третім входами логічного елемента 2 3 АБО-NI.

Пристрій працює таким чином. Нехай, наприклад, на вхід Р режиму реверсивної лічби подано нульовий сигнал, який встановлює режим прямої лічби. На вхід ПВ початкового встановлення надходить нульовий сигнал, який встановлює всі тригери в нульовий стан. На виході 3n знака встановлюється нульовий сигнал, що вказує на додатний знак коду у пристрої. На виході логічного елемента 7 ВИКЛЮЧНЕ АБО встановлюється нульовий сигнал, який задає режим додавання одиниці у пристрої. Подальша робота пристрою полягає у збільшенні додатного коду і є відомою. При цьому значення D-тригера 1 не змінюється, оскільки на перший вхід першого логічного елемента 3 2I надходить нульовий сигнал з виходу логічного елемента 3 АБО-NI, який обумовлений тим, що при ненульовому коді у пристрої хоча б один з трьох молодших розрядів матиме одиничне значення. Тому на вході C D-тригера 1 встановлено одиничний сигнал, який не змінюється. Нехай на деякому такті лічби у пристрої знаходиться додатний код і на вхід Р надходить одиничний сигнал, який задає режим віднімання одиниці. При цьому на виході логічного елемента 7 ВИКЛЮЧНЕ АБО встановлюється одиничний сигнал, який задає режим віднімання. Подальша робота пристрою полягає у зменшенні додатного коду і є відомою. При досягненні нульового коду у пристрої на виході логічного елемента 3 АБО-NI встановлюється одиничний сигнал. На виході першого логічного елемента 3 2I встановлюється одиничний сигнал. У другій половині тактового імпульсу при його нульовому значенні одиничний сигнал встановлюється також на виході логічного елемента 5 NI. На виході логічного елемента 6 2I-NI встановлюється нульовий сигнал. При надходженні наступного такту на виході даного елемента встановлюється одиничний сигнал, який надходить на вхід C D-тригера 1 та змінює його стан на протилежний. На виході логічного елемента 7 ВИКЛЮЧНЕ АБО встановлюється нульовий сигнал, який задає режим додавання одиниці у пристрої. На виході логічного елемента 4 2I встановлюється одиничний сигнал, який надходить на вихід 3n знака і вказує на те, що знак коду у пристрої від'ємний. Подальша робота пристрою полягає у збільшенні додатного коду і є відомою. Отже, якщо у пристрої знаходиться додатний код і задано режим оберненої лічби, то встановлюється режим віднімання одиниці. При досягненні нульового коду знак змінюється на від'ємний і встановлюється режим додавання одиниці. Аналогічно, якщо у пристрої знаходиться від'ємний код і задано режим прямої лічби, то встановлюється режим віднімання одиниці. При досягненні нульового коду знак змінюється на додатний і встановлюється режим додавання одиниці. При нульовому значенні коду у на виході логічного елемента 2 3 АБО-NI встановлюється нульовий сигнал, який задає нульовий сигнал на виході 3n. Тому у будь-якому режимі знак нульового коду буде додатним.

Таким чином, організація режиму реверсивної лічби з урахуванням знака приводить до розширення функціональних можливостей. Якщо у режимі прямої лічби знак від'ємний або у режимі оберненої лічби знак додатний, то на кожному такті віднімається одиниця. При досягненні нульового значення знак змінюється на протилежний і в подальшому на кожному такті додається одиниця, що підтверджує вирішення поставленої задачі.

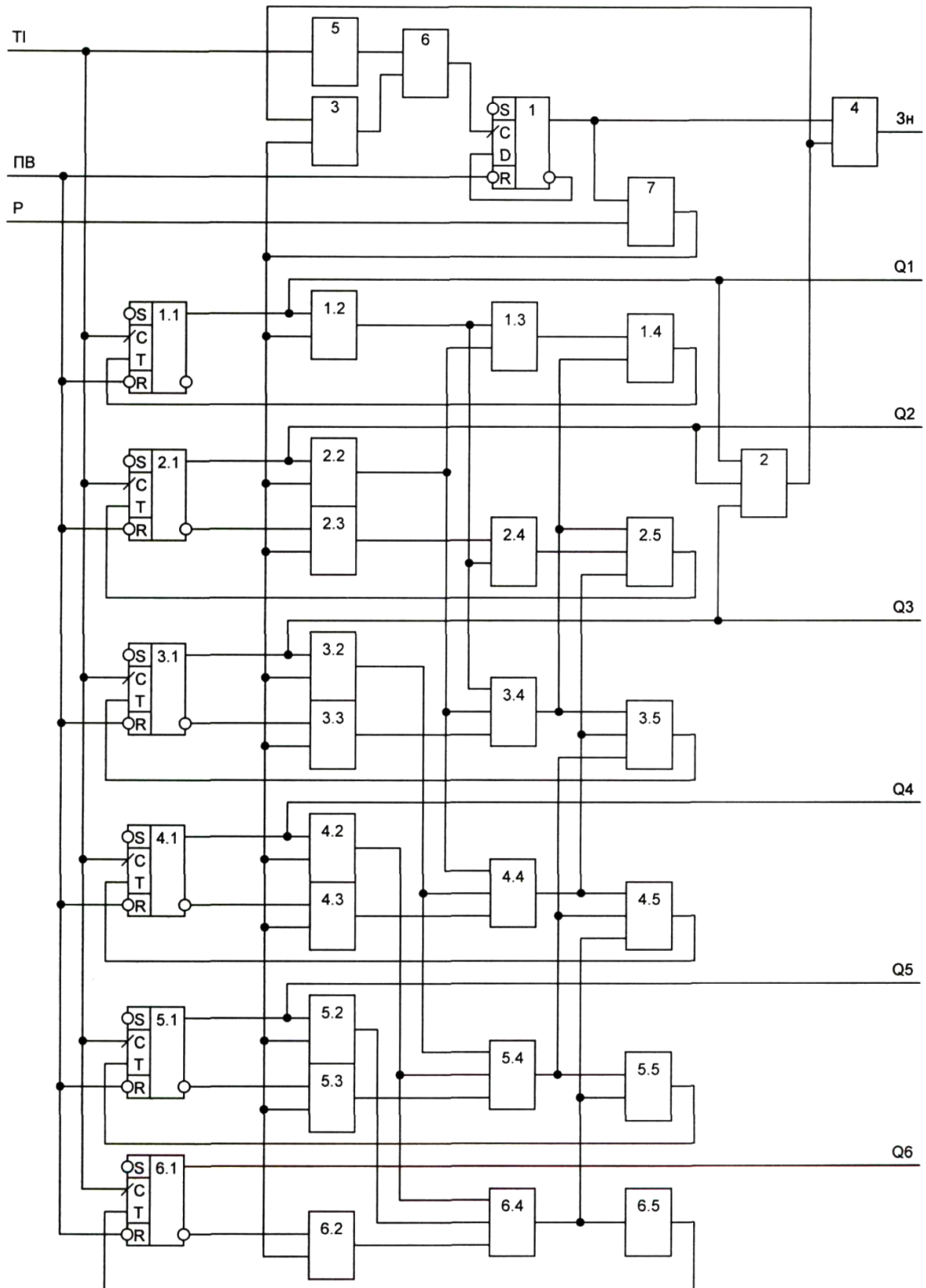
#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Реверсивний лічильник у фібоначчівській системі числення, що має N розрядів, вхід тактових імпульсів, вхід режиму реверсивної лічби, N інформаційних виходів та у кожному розряді

містить лічильний тригер, крім того, перший, другий та (N-1)-й розряди містять логічні елементи 2I-НІ, другий, (N-1)-й та N-й розряди містять логічні елементи 3I-НІ, N-й розряд містить логічний елемент НІ, перший і N-й розряди містять логічні елементи ВИКЛЮЧНЕ АБО, а кожен розряд, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-НІ, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 2I, причому вхід початкового встановлення з'єднано з входами R встановлення в нульовий стан лічильних тригерів всіх розрядів, вхід тактових імпульсів з'єднано зі входами С синхронізації лічильних тригерів всіх розрядів, прямий вихід кожного і-го лічильного тригера з першого по N-й розряди з'єднано з і-м інформаційним виходом лічильника, вихід першого логічного елемента 3I-НІ кожного і-го розряду з третього по (N-2)-й з'єднано з першим входом другого логічного елемента 3I-НІ і-го розряду, вихід якого з'єднано з Т-входом лічильного тригера і-го розряду, вихід першого логічного елемента 3I-НІ кожного і-го розряду, з четвертого по (N-2)-й, з'єднано з другим входом другого логічного елемента 3I-НІ (i-1)-го розряду, вихід першого логічного елемента 3I-НІ кожного і-го розряду, з п'ятого по (N-2)-й, з'єднано з третім входом другого логічного елемента 3I-НІ (i-2)-го розряду, вихід логічного елемента 3I-НІ (N-1)-го розряду з'єднано з третім входом другого логічного елемента 3I-НІ (N-3)-го розряду, другим входом другого логічного елемента 3I-НІ (N-2)-го розряду та першим входом логічного елемента 2I-НІ (N-1)-го розряду, другий вхід якого з'єднано з виходом логічного елемента 3I-НІ N-го розряду, третім входом другого логічного елемента 3I-НІ (N-2)-го розряду та входом логічного елемента НІ N-го розряду, а вихід з'єднано з Т-входом лічильного тригера (N-1)-го розряду, вихід логічного елемента НІ N-го розряду з'єднано з Т-входом лічильного тригера N-го розряду, вихід першого логічного елемента 3I-НІ третього розряду з'єднано з першим входом логічного елемента 3I-НІ другого розряду, другий вхід якого з'єднано з виходом першого елемента 3I-НІ четвертого розряду, а вихід з'єднано з Т-входом лічильного тригера другого розряду, вхід режиму реверсивної лічби з'єднано з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднано з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного і-го лічильного тригера з другого по (N-1)-й розряди з'єднано з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід кожного і-го лічильного тригера з другого по (N-1)-й розряди з'єднано з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднано з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного і-го розряду з третього по (N-2)-й з'єднано з першим входом першого логічного елемента 3I-НІ і-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднано з першим входом логічного елемента 3I-НІ (N-1)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднано з першим входом логічного елемента 3I-НІ N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного і-го розряду з другого по (N-4)-й з'єднано з другим входом першого логічного елемента 3I-НІ (i+1)-го розряду та третім входом першого логічного елемента 3I-НІ (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднано з першим входом логічного елемента 2I-НІ першого розряду, першим входом логічного елемента 2I-НІ другого розряду та третім входом першого логічного елемента 3I-НІ третього розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднано з другим входом логічного елемента 2I-НІ другого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднано з другим входом логічного елемента 2I-НІ першого розряду, вихід якого з'єднано з першим входом логічного елемента 2I першого розряду, другий вхід якого з'єднано з виходом першого логічного елемента 3I-НІ третього розряду, а вихід з'єднано з Т-входом лічильного тригера першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду з'єднано з другим входом першого логічного елемента 3I-НІ (N-2)-го розряду та другим входом логічного елемента 3I-НІ (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-2)-го розряду з'єднано з третім входом логічного елемента 3I-НІ (N-1)-го розряду та другим входом логічного елемента 3I-НІ N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднано з третім входом логічного елемента 3I-НІ N-го розряду, вихід логічного елемента 2I-НІ другого розряду з'єднано з третім входом логічного елемента 3I-НІ другого розряду, який **відрізняється** тим, що в нього введено вхід початкового встановлення, вихід знака, D-тригер, логічний елемент ЗАБО-НІ, перший і другий логічні елементи 2I, логічний елемент 2I-НІ, логічний елемент НІ та логічний елемент ВИКЛЮЧНЕ АБО, причому вхід початкового встановлення з'єднано з входом R встановлення в нуль D-тригера та входами R встановлення в нуль лічильних тригерів всіх розрядів, вхід тактових імпульсів з'єднано з входом логічного



5 елемента НІ, вихід якого з'єднано з першим входом логічного елемента 2І-НІ, другий вхід якого з'єднано з виходом першого логічного елемента 2І, а вихід з'єднано з входом С D-тригера, прямий вихід якого з'єднано з першим входом другого логічного елемента 2І та першим входом логічного елемента ВИКЛЮЧНЕ АБО, другий вхід якого з'єднано з входом режиму реверсивної лічби, а вихід з'єднано з першим входом першого логічного елемента 2І, другий вхід якого з'єднано з виходом логічного елемента ЗАБО-НІ та другим входом другого логічного елемента 2І, вихід якого з'єднано з виходом знака, інверсний вихід D-тригера з'єднано з його входом D, прямі виходи лічильних тригерів першого, другого та третього розрядів з'єднано відповідно з першим, другим та третім входами логічного елемента ЗАБО-НІ.



Комп'ютерна верстка В. Юкін

Міністерство розвитку економіки, торгівлі та сільського господарства України,  
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601