



УКРАЇНА

(19) **UA** (11) **141387** (13) **U**
(51) МПК (2020.01)
Н03М 7/00

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: u 2019 08713</p> <p>(22) Дата подання заявки: 19.07.2019</p> <p>(24) Дата, з якої є чинними права на корисну модель: 10.04.2020</p> <p>(46) Публікація відомостей про видачу патенту: 10.04.2020, Бюл.№ 7</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
---	--

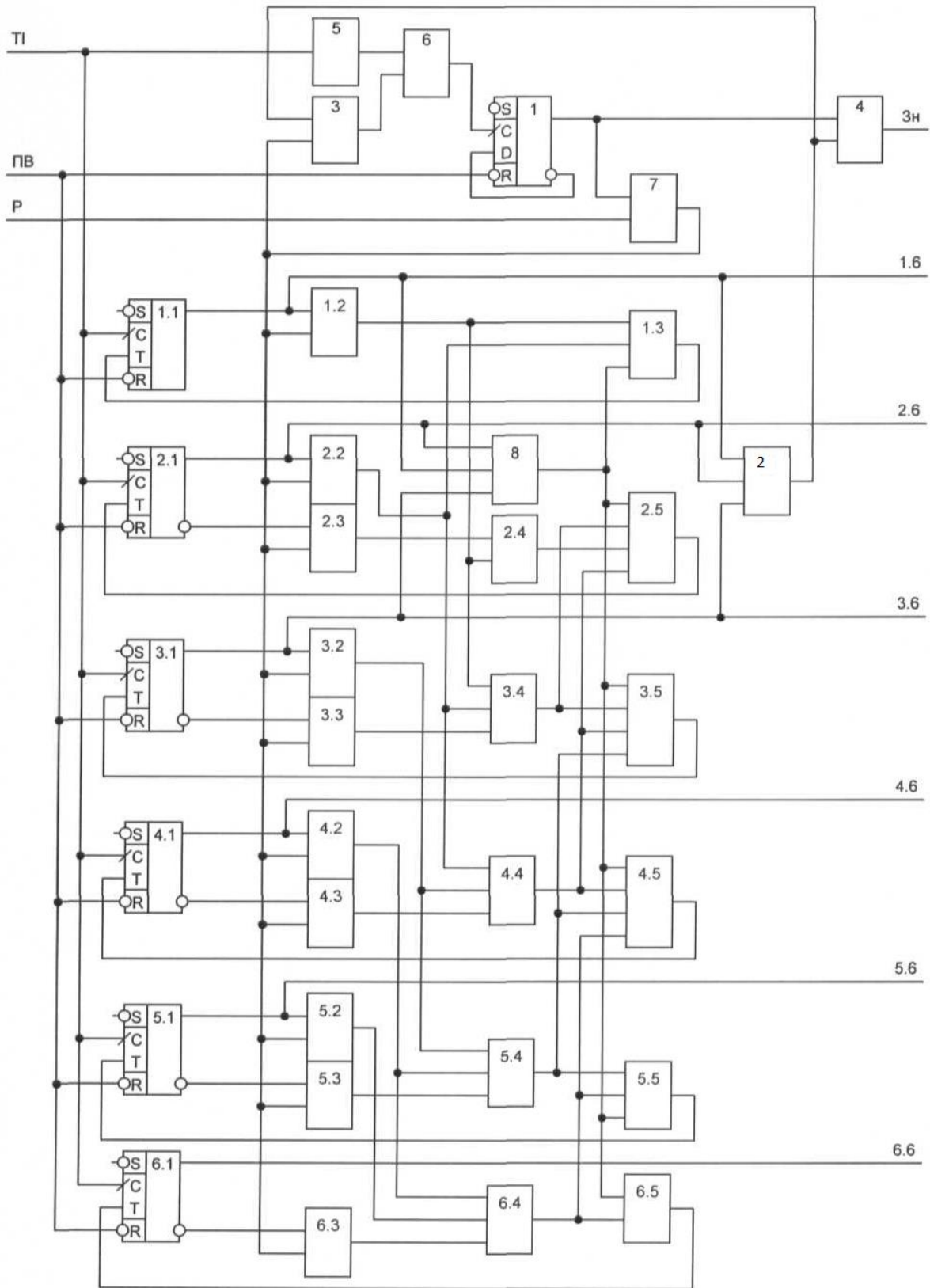
(54) РЕВЕРСИВНИЙ ЦИКЛІЧНИЙ ЛІЧИЛЬНИК У ФІБОНАЧЧІЄВІЙ СИСТЕМІ ЧИСЛЕННЯ

(57) Реферат:

Реверсивний циклічний лічильник у фібоначчіївій системі числення має N розрядів, вхід режиму реверсивної лічби, вхід тактових імпульсів, N інформаційних виходів, та у кожному розряді містить лічильний тригер, перший розряд містить логічний елемент I-НІ, перший і N-ий розряд містять логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший і другий логічні елементи I-НІ, а N-ий розряд містить перший логічний елемент I-НІ, в який введено другий логічний елемент I-НІ N-го розряду та перший логічний елемент I-НІ лічильника. Додатково введено вхід початкового встановлення, вихід знака, D-тригер, логічний елемент АБО-НІ, перший і другий логічні елементи I, перший логічний елемент I-НІ, логічний елемент НІ та логічний елемент ВИКЛЮЧНЕ АБО.

UA 141387 U

UA 141387 U



Корисна модель належить до обчислювальної техніки і автоматики та може бути використана у цифрових пристроях.

Відомо цифро-аналоговий перетворювач, патент на корисну модель UA № 94085, МПК H03M1/46, опублікований 27.10.2014, бюл. № 20, в якому описано швидкодіючий лічильник у фібоначчівій системі числення, що містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу, N інформаційних виходів, та у кожному i-му розряді містить лічильний тригер, вхід С синхронізації якого з'єднаний зі входом тактових імпульсів пристрою, вхід R встановлення у початковий стан з'єднаний зі входом встановлення у початковий стан пристрою, а вихід з'єднаний з i-м інформаційним виходом пристрою, крім того, перший і другий розряди пристрою містять по одному логічному елементу 2I-НІ, а кожний розряд пристрою, починаючи з третього, містить перший і другий логічні елементи 3I-НІ, причому перший вхід логічного елемента 2I-НІ першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду; перший вхід логічного елемента 2I-НІ другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента 3I-НІ четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду; у кожному i-му розряді пристрою, починаючи з третього, перший вхід першого логічного елемента 3I-НІ з'єднаний з інверсним виходом лічильного тригера i-го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера (i-i)-го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера (i-2)-го розряду, а вихід з'єднаний з першим входом другого логічного елемента 3I-НІ i-го розряду; другий вхід другого логічного елемента 3I-НІ i-го розряду, крім N-го, з'єднаний з виходом першого логічного елемента 3I-НІ (i+1)-го розряду, третій вхід другого логічного елемента 3I-НІ i-го розряду, крім N-го та (N-1)-го, з'єднаний з виходом першого логічного елемента 3I-НІ (i+2)-го розряду, а вихід другого логічного елемента 3I-НІ i-го розряду з'єднаний з Т-входом лічильного тригера i-го розряду; другий і третій входи другого логічного елемента 3I-НІ N-го розряду та третій вхід другого логічного елемента 3I-НІ (N-1)-ий розряду з'єднані з входом одиничного потенціалу пристрою.

Недоліком даного пристрою є обмежені функціональні можливості тому, що відсутній режим зміни з оберненого на прямий порядок лічби і навпаки.

Як найближчий аналог вибрано реверсивний лічильник у фібоначчівій системі числення, патент на корисну модель UA № 109080, МПК H03M7/00, опублікований 10.08.2016, бюл. № 15. Пристрій має N входів встановлення розрядів з першого по N-й в одиничний стан, N входів встановлення розрядів з першого по N-ий у нульовий, вхід тактових імпульсів, N інформаційних виходів, та у кожному розряді містить лічильний тригер, крім того, перший, другий та (N-1)-й розряди містять логічний елемент 2I-НІ, другий, (N-1)-й та N-й розряди містять логічний елемент 3I-НІ, N-й розряд містить логічний елемент НІ, а кожен розряд, крім першого, другого, (N-1)-го та N-го, містить перший та другий логічні елементи 3I-НІ, причому входи встановлення розрядів в одиничний стан з'єднані з входами S встановлення в одиничний стан лічильних тригерів відповідних розрядів, входи встановлення розрядів в нульовий стан з'єднані з входами R встановлення в одиничний стан лічильних тригерів відповідних розрядів, вхід тактових імпульсів пристрою з'єднаний з входами С синхронізації лічильних тригерів з першого по N-й розрядів, прямий вихід кожного i-го лічильного тригера з першого по N-й розряди з'єднаний з i-м інформаційним виходом пристрою, вихід першого логічного елемента 3I-НІ кожного i-го розряду з третього по (N-2)-го з'єднаний з першим входом другого логічного елемента 3I-НІ i-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера i-го розряду, вихід першого логічного елемента 3I-НІ кожного i-го розряду, з четвертого по (N-2)-й, з'єднаний з другим входом другого логічного елемента 3I-НІ (i-1)-го розряду, вихід першого логічного елемента 3I-НІ кожного i-го розряду, з п'ятого по (N-2)-го, з'єднаний з третім входом другого логічного елемента 3I-НІ (i-2)-го розряду, вихід логічного елемента 3I-НІ (N-1)-го розряду з'єднаний з третім входом другого логічного елемента 3I-НІ (N-3)-го розряду, другим входом логічного другого елемента 3I-НІ (N-2)-го розряду та першим входом логічного елемента 2I-НІ (N-1)-го розряду, другий вхід якого з'єднаний з виходом логічного елемента 3I-НІ N-го розряду, третім входом другого логічного елемента 3I-НІ (N-2)-го розряду та входом логічного елемента НІ N-го розряду, а вихід з'єднаний з Т-входом лічильного тригера (N-1)-го розряду, вихід логічного елемента НІ N-го розряду з'єднаний з Т-входом лічильного тригера N-го розряду, вихід першого логічного елемента 3I-НІ третього розряду з'єднаний з першим входом логічного елемента 3I-НІ другого розряду, другий вхід якого з'єднаний з виходом першого елемента 3I-НІ четвертого розряду, а вихід з'єднаний з Т-входом лічильного тригера другого розряду, крім того, пристрій додатково містить вхід режиму реверсивної лічби, а також перший і N-й розряд містить логічний елемент

ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи
 ВИКЛЮЧНЕ АБО, перший розряд містить логічний елемент 21, причому вхід режиму
 реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх
 перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ
 5 АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного
 елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з
 другого по (N-1)-й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ
 АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-го розряди
 10 з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний
 вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента
 ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го
 розряду з третього по (N-2)-го з'єднаний з першим входом першого логічного елемента 3I-NI i-го
 розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду з'єднаний з
 15 першим входом логічного елемента 3I-NI (N-1)-го розряду, вихід логічного елемента
 ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом логічного елемента 3I-NI N-го
 розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по
 (N-4)-го з'єднаний з другим входом першого логічного елемента 3I-NI (i+1)-го розряду та третім
 входом першого логічного елемента 3I-NI (i+2)-го розряду, вихід логічного елемента
 20 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 2I-NI
 першого розряду, першим входом логічного елемента 2I-NI другого розряду та третім входом
 першого логічного елемента 3I-NI третього розряду, вихід другого логічного елемента
 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 2I-NI другого
 розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з
 25 другим входом логічного елемента 2I-NI першого розряду, вихід якого з'єднаний з першим
 входом логічного елемента 2I першого розряду, другий вхід якого з'єднаний з виходом першого
 логічного елемента 3I-NI третього розряду, а вихід з'єднаний з T-входом лічильного тригера
 першого розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО (N-3)-го розряду
 з'єднаний з другим входом першого логічного елемента 3I-NI (N-2)-го розряду та другим входом
 логічного елемента 3I-NI (N-1)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО
 30 (N-2)-го розряду з'єднаний з третім входом логічного елемента 3I-NI (N-1)-го розряду та другим
 входом логічного елемента 3I-NI N-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ
 АБО (N-1)-го розряду з'єднаний з третім входом логічного елемента 3I-NI N-го розряду, вихід
 логічного елемента 2I-NI другого розряду з'єднаний з третім входом логічного елемента 3I-NI
 другого розряду.

35 Недоліком найближчого аналога є обмежені функціональні можливості тому, що лічба у
 прямому порядку зупиняється при досягненні коду "всі одиниці", так само як зупиняється лічба у
 зворотному порядку при досягненні коду "всі нулі".

В основу корисної моделі поставлено задачу створення реверсивного циклічного лічильника
 у фібоначчівій системі числення, в якому за рахунок введення нових елементів та зв'язків
 40 організується режим циклічної лічби як у прямому, так і у зворотному порядку, що приводить до
 розширення функціональних можливостей. У режимі прямої лічби при досягненні пристроєм
 коду "всі одиниці" лічба у прямому порядку продовжується далі з коду "всі нулі". У режимі
 оберненої лічби при досягненні пристроєм коду "всі нулі" лічба у зворотному порядку
 продовжується далі з коду "всі одиниці".

45 Поставлена задача вирішується тим, що у реверсивний циклічний лічильник у фібоначчівій
 системі числення, який має N розрядів, вхід режиму реверсивної лічби, вхід тактових імпульсів,
 N інформаційних виходів, перший логічний елемент I-NI та у кожному розряді містить лічильний
 тригер, перший розряд містить логічний елемент I-NI, перший і N-й розряд містять логічний
 елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні
 50 елементи ВИКЛЮЧНЕ АБО, перший і другий логічні елементи I-NI, а N-й розряд містить перший
 і другий логічні елементи I-NI, причому вхід тактових імпульсів пристрою з'єднаний з входами С
 синхронізації лічильних тригерів з першого по N-й розрядів, прямий вихід кожного i-го
 лічильного тригера з першого по N-й розряди з'єднаний з i-м інформаційним виходом пристрою,
 вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів
 55 ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних
 елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднаний з
 другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-
 го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом першого логічного
 елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з
 60 другого по (N-1)-го розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ

АБО i -го розряду, інверсний вихід лічильного тригера N -го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N -го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i -го розряду з другого по $(N-1)$ -го з'єднаний з першим входом першого логічного елемента І-НЕ i -го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО
 5 кожного i -го розряду з другого по $(N-2)$ -го з'єднаний з другим входом першого логічного елемента І-НІ $(i+1)$ -го розряду та третім входом першого логічного елемента І-НІ $(i+2)$ -го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента І-НІ першого розряду, другим входом першого логічного елемента І-НІ
 10 логічного елемента ВИКЛЮЧНЕ АБО N -го розряду з'єднаний з першим входом першого логічного елемента І-НІ N -го розряду, другий вхід якого з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО $(N-1)$ -го розряду, вихід першого логічного елемента І-НІ кожного i -го розряду з другого по $(N-1)$ -го з'єднаний з першим входом другого логічного елемента І-НІ i -го
 15 розряду, вихід якого з'єднаний з Т-входом лічильного тригера i -го розряду, вихід першого логічного елемента І-НІ кожного i -го розряду з третього по N -й з'єднаний з другим входом другого логічного елемента І-НІ $(i-1)$ -го розряду, вихід першого логічного елемента І-НІ кожного i -го розряду з четвертого по N -й з'єднаний з третім входом другого логічного елемента І-НІ $(i-2)$ -
 20 го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента І-НІ першого розряду, вихід першого логічного елемента І-НІ з'єднаний з третім входом логічного елемента І-НІ першого розряду, четвертими входами других логічних елементів І-НІ розрядів з другого по $(N-2)$ -го, третім входом другого логічного
 елемента І-НІ $(N-1)$ -го розряду та першим входом другого логічного елемента І-НІ N -го розряду, другий вхід якого з'єднаний з виходом першого логічного елемента І-НЕ N -го розряду, а вихід з'єднаний з Т-входом лічильного тригера N -го розряду, вихід логічного елемента ВИКЛЮЧНЕ
 25 АБО першого розряду з'єднаний з Т-входом лічильного тригера першого розряду, введено вхід початкового встановлення, вихід знаку, D-тригер, логічний елемент АБО-НІ, перший і другий логічні елементи І, перший логічний елемент І-НЕ, логічний елемент НІ та логічний елемент ВИКЛЮЧНЕ АБО, причому вхід початкового встановлення з'єднано з входом R встановлення в нуль D-тригера та входами R встановлення в нуль лічильних тригерів всіх розрядів, вхід
 30 тактових імпульсів з'єднано з входом логічного елемента НІ, вихід якого з'єднано з першим входом логічного елемента І-НІ, другий вхід якого з'єднано з виходом першого логічного елемента І, а вихід з'єднано з входом CD-тригера, прямий вихід якого з'єднано з першим входом другого логічного елемента І та першим входом логічного елемента ВИКЛЮЧНЕ АБО,
 другий вхід якого з'єднано з входом режиму реверсивної лічби, а вихід з'єднано з першим
 35 входом першого логічного елемента І, другий вхід якого з'єднано з виходом логічного елемента З АБО-НІ та другим входом другого логічного елемента І, вихід якого з'єднано з виходом знаку, інверсний вихід D-тригера з'єднано з його входом D, прямі виходи лічильних тригерів першого, другого та третього розрядів з'єднано відповідно з першим, другим та третім входами логічного
 елемента АБО-НІ, вихід лічильного тригера першого розряду з'єднано з першим входом другого логічного елемента І-НІ, другий вхід якого з'єднано з виходом лічильного тригера другого
 40 розряду, а третій вхід з'єднано з виходом лічильного тригера третього розряду.

На кресленні зображено схему шестирозрядного реверсивного циклічного лічильника у фібоначчівій системі числення.

Реверсивний циклічний лічильник у фібоначчівій системі числення має шість розрядів, вхід
 45 тактових імпульсів ТІ, вхід режиму реверсивної лічби Р, вхід початкового встановлення ПВ, вихід знака Зн, шість інформаційних виходів 1.6, 2.6, 3.6, 4.6, 5.6 і 6.6, лічильні тригери 1.1, 2.1, 3.1, 4.1, 5.1 і 6.1 першого, другого, третього, четвертого п'ятого і шостого розрядів, D-тригер 1, логічний елемент 2 ЗАБО-НІ, перший 3, і другий 4 логічні елементи 2І, логічний елемент 5 НІ, логічний елемент 6 2І-НІ, логічний елемент 7 ВИКЛЮЧНЕ АБО, логічний елемент 8 І-НІ
 50 пристрою, крім того, у кожному i -у розряді містить лічильний тригер $i.1$, перший розряд містить логічний елемент 2.3 І-НІ, перший і шостий розряди містять логічні елементи 1.2 і 6.3 ВИКЛЮЧНЕ АБО, кожен i -й розряд, крім першого і шостого, містить перший $i.2$ і другий логічні
 елементи $i.3$ ВИКЛЮЧНЕ АБО, а також перший $i.4$ і другий $i.5$ логічні елементи І-НІ, а шостий розряд містить перший 6.4 і другий 6.5 логічні елементи І-НІ, причому вхід початкового
 55 встановлення з'єднано з входом R встановлення в нуль D-тригера 1 та входами R встановлення в нуль лічильних тригерів всіх розрядів, вхід ТІ тактових імпульсів з'єднано з входом логічного елемента 5 НІ, вихід якого з'єднано з першим входом логічного елемента 6 І-НІ, другий вхід якого з'єднано з виходом першого логічного елемента 3 І, а вихід з'єднано з входом С D-тригера 1, прямий вихід якого з'єднано з першим входом другого логічного елемента 4 І та першим
 60 входом логічного елемента 7 ВИКЛЮЧНЕ АБО, другий вхід якого з'єднано з входом Р режиму

реверсивної лічби, а вихід з'єднано з першим входом першого логічного елемента 3 I, другий вхід якого з'єднано з виходом логічного елемента 2 ЗАБО-НІ та другим входом другого логічного елемента 4 I, вихід якого з'єднано з виходом 3n знака, інверсний вихід D-тригера 1 з'єднано з його входом D, вхід ТІ тактових імпульсів пристрою з'єднаний з входами С синхронізації

5 лічильних тригерів 1.1÷6.1 розрядів з першого по шостий, прямий вихід кожного і-го лічильного тригера і.1 розрядів з першого по шостий з'єднаний з і-м інформаційним виходом 1.6÷6.6 пристрою, вхід Р режиму реверсивної лічби з'єднаний з першими входами логічних елементів 1.2, 6.3 ВИКЛЮЧНЕ АБО першого і шостого розрядів, перших логічних елементів 2.2÷5.2

10 ВИКЛЮЧНЕ АБО розрядів з другого по п'ятий та других логічних елементів 2.3÷5.3 ВИКЛЮЧНЕ АБО розрядів з другого по п'ятий, прямий вихід лічильного тригера 1.1 першого розряду з'єднаний з другим входом логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного і-го лічильного тригера і.1 з другого по п'ятий з'єднаний з другим входом першого логічного елемента і.2 ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід кожного і-го лічильного тригера і.1 розрядів з другого по п'ятий з'єднаний з другим входом другого логічного елемента

15 і.3 ВИКЛЮЧНЕ АБО і-го розряду, інверсний вихід лічильного тригера 6.1 шостого розряду з'єднаний з другим входом логічного елемента 6.3 ВИКЛЮЧНЕ АБО шостого розряду, вихід другого логічного елемента і.3 ВИКЛЮЧНЕ АБО кожного і-го розряду з другого по п'ятий з'єднаний з першим входом першого логічного елемента і.4 I-НІ і-го розряду, вихід першого логічного елемента і.2 ВИКЛЮЧНЕ АБО кожного і-го розряду з другого по четвертий з'єднаний з

20 другим входом першого логічного елемента (і+1).6 I-НІ (і+1)-го розряду та третім входом першого логічного елемента (і+2).6 I-НІ (і+2)-го розряду, вихід логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 1.3 I-НІ першого розряду, другим входом першого логічного елемента 2.4 I-НІ другого розряду та третім входом першого логічного елемента 3.4 I-НІ третього розряду, вихід логічного елемента 6.3

25 ВИКЛЮЧНЕ АБО шостого розряду з'єднаний з першим входом першого логічного елемента 6.4 I-НІ шостого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента 5.2 ВИКЛЮЧНЕ АБО п'ятого розряду, вихід першого логічного елемента і.4 I-НІ кожного і-го розряду з другого по п'ятий з'єднаний з першим входом другого логічного елемента і.5 I-НІ і-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера і.1 і-го розряду, вихід першого логічного

30 елемента і.4 I-НІ кожного і-го розряду з третього по шостий з'єднаний з другим входом другого логічного елемента (і-1).7 I-НІ (і-1)-го розряду, вихід першого логічного елемента і.4 I-НІ кожного і-го розряду з четвертого по шостий з'єднаний з третім входом другого логічного елемента (і-2).7 I-НІ (і-2)-го розряду, вихід першого логічного елемента 2.2 ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента 1.3 I-НІ першого розряду, вихід логічного

35 елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента 8 I-НІ пристрою, другий вхід якого з'єднаний з виходом першого логічного елемента 2.2 ВИКЛЮЧНЕ АБО другого розряду, третій вхід з'єднаний з виходом першого логічного елемента 3.2 ВИКЛЮЧНЕ АБО третього розряду, а вихід з'єднаний з третім входом логічного елемента 1.3 I-НІ першого розряду, четвертими входами других логічних елементів 2.5÷4.5 I-НІ розрядів з

40 другого по четвертий, третім входом другого логічного елемента 5.5 I-НІ п'ятого розряду та першим входом другого логічного елемента 6.5 I-НІ шостого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента 6.4 I-НІ шостого розряду, а вихід з'єднаний з Т-входом лічильного тригера 6.1 шостого розряду, вихід логічного елемента 1.2 ВИКЛЮЧНЕ АБО першого розряду з'єднаний з Т-входом лічильного тригера 1.1 першого розряду.

45 Пристрій працює таким чином. Нехай, наприклад, на вхід Р режиму реверсивної лічби подано нульовий сигнал, який встановлює режим прямої лічби. На вхід ПВ початкового встановлення надходить нульовий сигнал, який встановлює D-тригер та лічильні тригери 1.1, 2.1, 3.1, 4.1, 5.1, і 6.1 першого, другого, третього, четвертого, п'ятого і шостого розрядів в нульовий стан. На виході 3n знака встановлюється нульовий сигнал, що вказує на додатний знак коду у пристрої. На виході логічного елемента 7 ВИКЛЮЧНЕ АБО встановлюється нульовий сигнал, який задає режим додавання одиниці у пристрої. Подальша робота пристрою полягає у збільшенні додатного коду і є відомою. При цьому значення D-тригера 1 не змінюється, оскільки на перший вхід першого логічного елемента 3 2I надходить нульовий

50 сигнал з виходу логічного елемента ЗАБО-НІ, який обумовлений тим, що при ненульовому коді у пристрої хоча б один з трьох молодших розрядів матиме одиничне значення. Тому на вході С D-тригера 1 встановлено одиничний сигнал, який не змінюється. При досягненні у пристрої коду "всі одиниці" на виході логічного елемента 8 I-НІ встановлюється одиничний сигнал. На виходах логічних елементів 1.3, 2.5, 3.5, 4.5, 5.5, 6.5 I-НІ першого, другого, третього, четвертого, п'ятого і шостого розрядів встановлюються нульові сигнали. Лічильні тригери 1.2÷1.6 всіх розрядів

60 встановлюються у нульові стани. Нехай на деякому такті лічби у пристрої знаходиться додатний

код і на вхід Р надходить одиничний сигнал, який задає режим віднімання одиниці. При цьому на виході логічного елемента 7 ВИКЛЮЧНЕ АБО встановлюється одиничний сигнал, який задає режим віднімання. Подальша робота пристрою полягає у зменшенні додатного коду і є відомою. При досягненні нульового коду у пристрої на виході логічного елемента 3 АБО-НІ встановлюється одиничний сигнал. На виході першого логічного елемента 3 2І встановлюється одиничний сигнал. У другій половині тактового імпульсу при його нульовому значенні одиничний сигнал встановлюється також на виході логічного елемента 5 НІ. На виході логічного елемента 6 2І-НІ встановлюється нульовий сигнал. При надходженні наступного такту на виході даного елемента встановлюється одиничний сигнал, який надходить на вхід СD-тригера 1 та змінює його стан на протилежний. На виході логічного елемента 7 ВИКЛЮЧНЕ АБО встановлюється нульовий сигнал, який задає режим додавання одиниці у пристрої. На виході логічного елемента 4 2І встановлюється одиничний сигнал, який надходить на вихід 3н знака і вказує на те, що знак коду у пристрої від'ємний. Подальша робота пристрою полягає у збільшенні додатного коду і є відомою. Отже, якщо у пристрої знаходиться додатний код і задано режим оберненої лічби, то встановлюється режим віднімання одиниці. При досягненні нульового коду знак змінюється на від'ємний і встановлюється режим додавання одиниці. Аналогічно, якщо у пристрої знаходиться від'ємний код і задано режим прямої лічби, то встановлюється режим віднімання одиниці. При досягненні нульового коду знак змінюється на додатний і встановлюється режим додавання одиниці. При нульовому значенні коду у на виході логічного елемента 2 АБО-НІ встановлюється нульовий сигнал, який задає нульовий сигнал на виході 3н. Тому у будь-якому режимі знак нульового коду буде додатним.

Таким чином, організація режиму циклічної реверсивної лічби з урахуванням знака приводить до розширення функціональних можливостей. В залежності від комбінації знака і заданого режиму лічби встановлюється режим додавання або віднімання одиниці. У режимі додавання одиниці при досягненні коду "всі одиниці" на наступному такті у пристрої встановлюється код "всі нулі". Якщо у режимі прямої лічби знак від'ємний або у режимі оберненої лічби знак додатний, то на кожному такті віднімається одиниця. При досягненні нульового значення знак змінюється на протилежний і в подальшому на кожному такті додається одиниця, що підтверджує вирішення поставленої задачі.

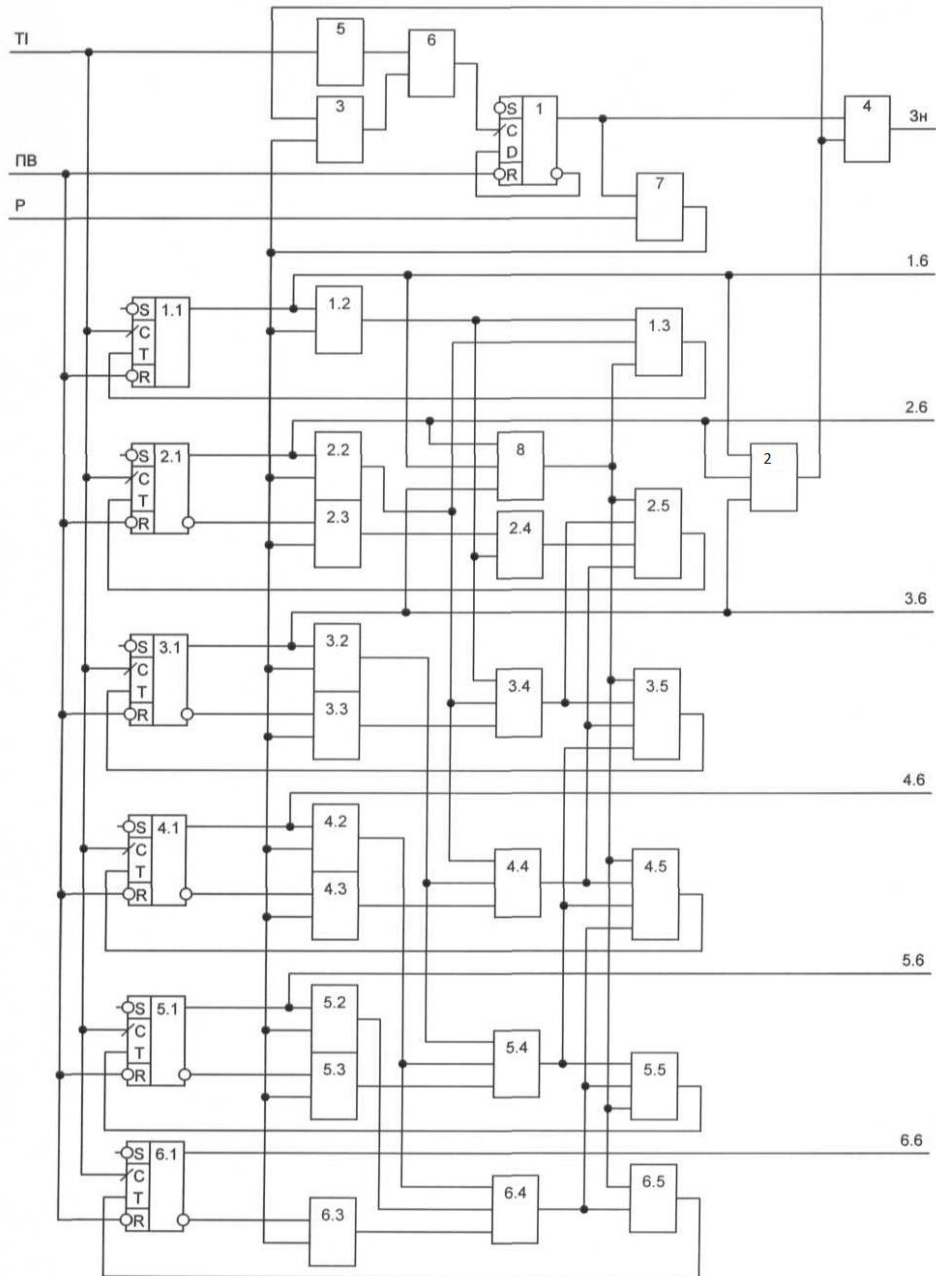
30

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Реверсивний циклічний лічильник у фібоначчівій системі числення, що має N розрядів, вхід режиму реверсивної лічби, вхід тактових імпульсів, N інформаційних виходів, перший логічний елемент І-НІ та у кожному розряді містить лічильний тригер, перший розряд містить логічний елемент І-НІ, перший і N-й розряд містять логічний елемент ВИКЛЮЧНЕ АБО, кожен розряд, крім першого і N-го, містить перший і другий логічні елементи ВИКЛЮЧНЕ АБО, перший і другий логічні елементи І-НІ, а N-й розряд містить перший і другий логічні елементи І-НІ, причому вхід тактових імпульсів лічильника з'єднаний з входами С синхронізації лічильних тригерів з першого по N-й розрядів, прямий вихід кожного i-го лічильного тригера з першого по N-й розряди з'єднаний з i-им інформаційним виходом лічильника, вхід режиму реверсивної лічби з'єднаний з першими входами всіх логічних елементів ВИКЛЮЧНЕ АБО, всіх перших логічних елементів ВИКЛЮЧНЕ АБО та всіх других логічних елементів ВИКЛЮЧНЕ АБО, прямий вихід лічильного тригера першого розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО першого розряду, прямий вихід кожного i-го лічильного тригера з другого по (N-1)-й розряди з'єднаний з другим входом першого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід кожного i-го лічильного тригера з другого по (N-1)-ий розряди з'єднаний з другим входом другого логічного елемента ВИКЛЮЧНЕ АБО i-го розряду, інверсний вихід лічильного тригера N-го розряду з'єднаний з другим входом логічного елемента ВИКЛЮЧНЕ АБО N-го розряду, вихід другого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-1)-ий з'єднаний з першим входом першого логічного елемента І-НІ i-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО кожного i-го розряду з другого по (N-2)-ий з'єднаний з другим входом першого логічного елемента І-НІ (i+1)-го розряду та третім входом першого логічного елемента І-НІ (i+2)-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з першим входом логічного елемента І-НІ першого розряду, другим входом першого логічного елемента І-НІ другого розряду та третім входом першого логічного елемента І-НІ третього розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО N-го розряду з'єднаний з першим входом першого логічного елемента І-НІ N-го розряду, другий вхід якого з'єднаний з виходом першого логічного елемента ВИКЛЮЧНЕ АБО (N-1)-го розряду, вихід першого логічного елемента І-НІ кожного i-го розряду з другого по (N-1)-ий з'єднаний з першим

60

входом другого логічного елемента I-NI i-го розряду, вихід якого з'єднаний з T-входом лічильного тригера i-го розряду, вихід першого логічного елемента I-NI кожного i-го розряду з третього по N-й з'єднаний з другим входом другого логічного елемента I-NI (i-1)-го розряду, вихід першого логічного елемента I-NI кожного i-го розряду з четвертого по N-й з'єднаний з третім входом другого логічного елемента I-NI (i-2)-го розряду, вихід першого логічного елемента ВИКЛЮЧНЕ АБО другого розряду з'єднаний з другим входом логічного елемента I-NI першого розряду, вихід першого логічного елемента I-NI з'єднаний з третім входом логічного елемента I-NI першого розряду, четвертими входами других логічних елементів I-NI розрядів з другого по (N-2)-й, третім входом другого логічного елемента I-NI (N-1)-го розряду та першим входом другого логічного елемента I-NI N-го розряду, другий вхід якого з'єднаний з виходом першого логічного елемента I-NI N-го розряду, а вихід з'єднаний з T-входом лічильного тригера N-го розряду, вихід логічного елемента ВИКЛЮЧНЕ АБО першого розряду з'єднаний з T-входом лічильного тригера першого розряду, який **відрізняється** тим, що в нього введено вхід початкового встановлення, вихід знака, D-тригер, логічний елемент АБО-NI, перший і другий логічні елементи I, перший логічний елемент I-NI, логічний елемент NI та логічний елемент ВИКЛЮЧНЕ АБО, причому вхід початкового встановлення з'єднано з входом R встановлення в нуль D-тригера та входами R встановлення в нуль лічильних тригерів всіх розрядів, вхід тактових імпульсів з'єднано з входом логічного елемента NI, вихід якого з'єднано з першим входом логічного елемента I-NI, другий вхід якого з'єднано з виходом першого логічного елемента I, а вихід з'єднано з входом CD-тригера, прямий вихід якого з'єднано з першим входом другого логічного елемента I та першим входом логічного елемента ВИКЛЮЧНЕ АБО, другий вхід якого з'єднано з входом режиму реверсивної лічби, а вихід з'єднано з першим входом першого логічного елемента I, другий вхід якого з'єднано з виходом логічного елемента ЗАБО-NI та другим входом другого логічного елемента I, вихід якого з'єднано з виходом знака, інверсний вихід D-тригера з'єднано з його входом D, прямі виходи лічильних тригерів першого, другого та третього розрядів з'єднано відповідно з першим, другим та третім входами логічного елемента АБО-NI, вихід лічильного тригера першого розряду з'єднано з першим входом другого логічного елемента I-NI, другий вхід якого з'єднано з виходом лічильного тригера другого розряду, а третій вхід з'єднано з виходом лічильного тригера третього розряду.



Комп'ютерна верстка Л. Бурлак

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601