УКРАЇНА

(19) UA **(11) 142663** **(13) U**

(51) МПК
H03F 3/26 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ ЕКОНОМІКИ, ТОРГІВЛІ ТА СІЛЬСЬКОГО ГОСПОДАРСТВА УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2019 10970**

(22) Дата подання заявки: **07.11.2019**

(24) Дата, з якої є чинними права на корисну модель: **25.06.2020**

(46) Публікація відомостей про видачу патенту: **25.06.2020, Бюл.№ 12**

(72) Винахідник(и):
Азаров Олексій Дмитрович (UA),
Генеральницький Євгеній Сергійович (UA)

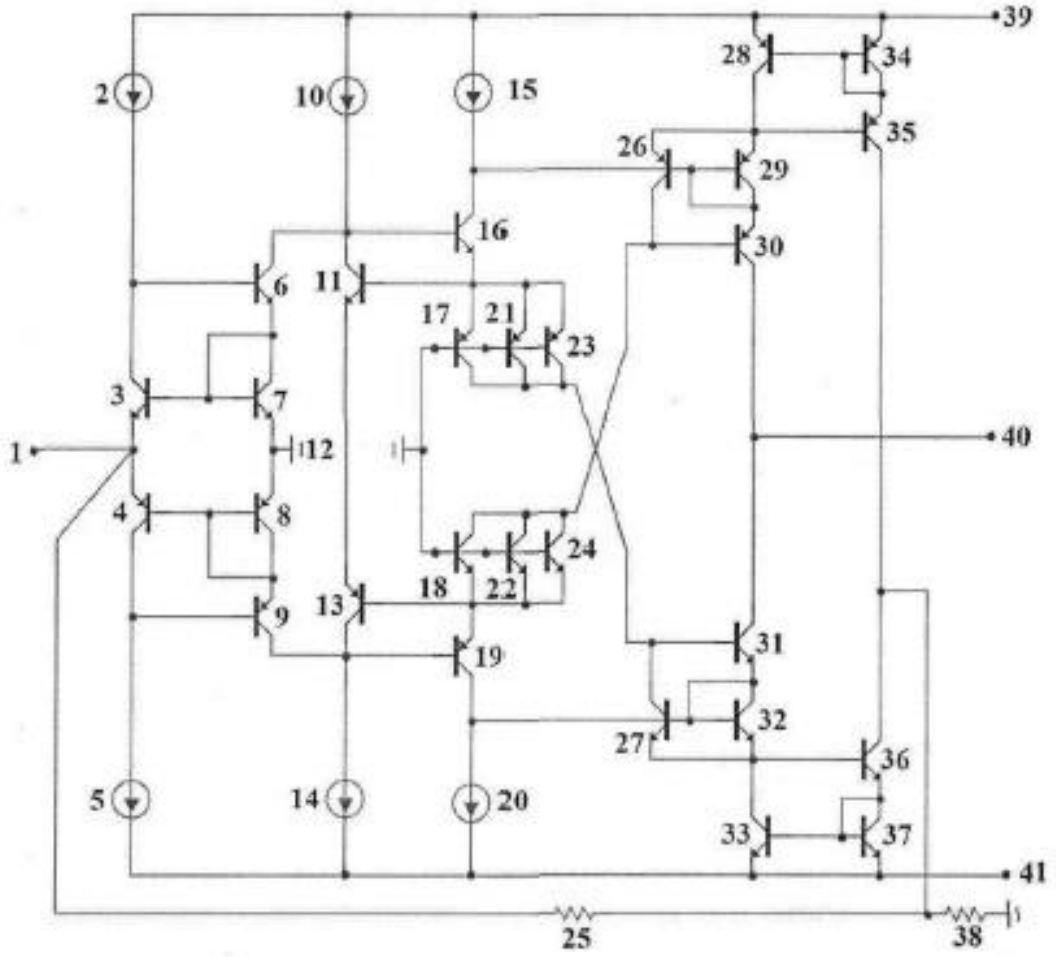
(73) Власник(и):
ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)

(54) ДВОТАКТНИЙ ПІДСИЛЮВАЧ ПОСТІЙНОГО СТРУМУ

(57) Реферат:

Двотактний підсилювач постійного струму містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, перше і друге джерела струму з'єднані шинами додатного і від'ємного живлення відповідно. Введено двадцять два транзистори, чотири джерела струму, резистор масштабу та резистор шини нульового потенціалу, причому перше джерело струму з'єднано з базою сьомого та колектором третього транзисторів.

UA 142663 U


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41

Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

За аналог обрано двотактний симетричний підсилювач струму (патент України № 69736, H03K 5/24, G05B 1/01, 2011), який містить перше та друге джерело струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, вісімнадцять транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів та з колекторами сьомого та восьмого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, бази сьомого та восьмого транзисторів з'єднано з колекторами та базами дев'ятого та десятого транзисторів відповідно, а також з колекторами одинадцятого та дванадцятого транзисторів, а також з базами п'ятнадцятого та шістнадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів об'єднано між собою, бази одинадцятого та дванадцятого транзисторів з'єднано з емітерами тринадцятого та чотирнадцятого транзисторів, а також з колекторами п'ятою та шостого транзисторів відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднано з шиною нульового потенціалу, емітери п'ятнадцятого та шістнадцятого транзисторів з'єднано з колекторами чотирнадцятого та тринадцятого транзисторів відповідно, колектори сімнадцятого та вісімнадцятого транзисторів з'єднано з вихідною шиною, бази сімнадцятого та вісімнадцятого транзисторів з'єднано з базами п'ятого та шостого транзисторів відповідно, емітери сьомого, дев'ятого, п'ятого та сімнадцятого транзисторів, а також колектор п'ятнадцятого транзистора підключено до шини додатного живлення, емітери восьмого, десятого, шостого та вісімнадцятого транзисторів, а також колектор шістнадцятого транзистора підключено до шини від'ємного живлення.

Недоліком аналогу є недостатньо високий коефіцієнт підсилення, що призводить до збільшення похибок при роботі схеми.

За прототип обрано підсилювач постійного струму (Push-pull amplifier with current mirrors for determining the quiescent operating point. United States Patent 3,852,678, Dec. 3, 1974), який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першим і другим джерелами струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, перше і друге джерела струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною.

Недоліком прототипу є недостатньо високий коефіцієнт підсилення та низький вихідний опір, що призводить до збільшення похибок при роботі схеми.

В основу корисної моделі поставлено задачу створення двотактного підсилювача постійного струму, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність роботи пристрою за рахунок зменшення похибки лінійності передатної характеристики та збільшення вихідного опору, що розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний підсилювач постійного струму, який містить шість джерел струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, двадцять вісім транзисторів, резистор масштабу та резистор шини нульового потенціалу, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, перше і друге джерела струму з'єднані шинами додатного і від'ємного живлення відповідно, причому перше джерело струму з'єднано з базою сьомого та колектором третього транзисторів, друге джерело струму з'єднано з базою восьмого та колектором четвертого транзисторів, емітер сьомого транзистора з'єднано з колектором першого транзистора, емітер восьмого транзистора з'єднано з колектором другого транзистора, четверте та шосте джерела струму з'єднано з шиною від'ємного живлення, третє та п'яте джерела струму з'єднано з шиною додатного живлення, колектори сьомого та дев'ятого транзисторів об'єднані з базою одинадцятого транзистора та третім джерелом струму,

колектори восьмого та десятого транзисторів об'єднані з базою чотирнадцятого транзистора та четвертим джерелом струму, емітери дев'ятого та десятого транзисторів з'єднані між собою, базу дев'ятого транзистора з'єднано з емітерами одинадцятого, дванадцятого, п'ятнадцятого, сімнадцятого транзисторів, базу десятого транзистора з'єднано з емітерами тринадцятого, чотирнадцятого, шістнадцятого, вісімнадцятого транзисторів, колектори одинадцятого, двадцять другого транзисторів з'єднано з базами дев'ятнадцятого та двадцять другого транзисторів та емітером п'ятого транзистора та об'єднано з п'ятим джерелом струму, колектори чотирнадцятого, двадцять третього транзисторів з'єднано з базами двадцятого та двадцять третього транзисторів та емітером шостого транзистора та об'єднано з шостим джерелом струму, бази дванадцятого, п'ятнадцятого, сімнадцятого та тринадцятого, шістнадцятого, вісімнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори дванадцятого, п'ятнадцятого, сімнадцятого, двадцятого транзисторів об'єднано та з'єднано з базою шостого транзистора, колектори тринадцятого, шістнадцятого, вісімнадцятого, дев'ятнадцятого транзисторів об'єднано та з'єднано з базою п'ятого транзистора, емітери дев'ятнадцятого та двадцять другого транзисторів об'єднано та з'єднано з колектором двадцять першого та базою двадцять шостого транзисторів, емітери двадцять першого та двадцять п'ятого транзисторів з'єднані з шиною додатного живлення, бази двадцять першого та двадцять п'ятого транзисторів об'єднані та з'єднані з колектором двадцять п'ятого та емітером двадцять шостого транзисторів, колектори двадцять шостого і двадцять сьомого транзисторів об'єднані та з'єднані з резистором масштабу та резистором шини нульового потенціалу, резистор шини нульового потенціалу з'єднаний шиною нульового потенціалу, резистор масштабу з'єднано з вхідною шиною, емітери двадцятого та двадцять третього транзисторів об'єднані та з'єднані з колектором двадцять четвертого та базою двадцять сьомого транзисторів, бази двадцять четвертого та двадцять восьмого транзисторів об'єднано та з'єднано з емітером двадцять сьомого та колектором двадцять восьмого транзисторів, емітери двадцять четвертого та двадцять восьмого транзисторів з'єднано з шиною від'ємного живлення.

На кресленні представлено принципову схему двотактного підсилювача постійного струму.

Пристрій містить перше 2, друге 5, третє 10, четверте 14, п'яте 15, шосте 20 джерела струму, шини додатного 39 і від'ємного 41 живлення, вхідну 1 і вихідну шини 40, шину нульового потенціалу 12, двадцять вісім транзисторів, резистор масштабу 25 та резистор шини нульового потенціалу 38, причому вхідну шину 1 з'єднано з емітерами третього 3 та четвертого 4 транзисторів відповідно, бази третього 3 і четвертого 4 транзисторів з'єднано з базами та колекторами першого 7 і другого 8 транзисторів відповідно, емітери першого 7 і другого 8 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 12, перше 2 і друге 5 джерела струму з'єднані шинами додатного 39 і від'ємного 41 живлення відповідно, причому перше джерело 2 струму з'єднано з базою сьомого 6 та колектором третього 3 транзисторів, друге джерело струму 5 з'єднано з базою восьмого 9 та колектором четвертого 4 транзисторів, емітер сьомого 6 транзистора з'єднано з колектором першого 7 транзистора, емітер восьмого 9 транзистора з'єднано з колектором другого 8 транзистора, четверте 14 та шосте 20 джерела струму з'єднано з шиною від'ємного живлення 41, третє 10 та п'яте 15 джерела струму з'єднано з шиною додатного живлення 39, колектори сьомого 6 та дев'ятого 11 транзисторів об'єднані з базою одинадцятого 16 транзистора та третім джерелом струму 10, колектори восьмого 9 та десятого 13 транзисторів об'єднані з базою чотирнадцятого 19 транзистора та четвертим джерелом струму 14, емітери дев'ятого 11 та десятого 13 транзисторів з'єднані між собою, базу дев'ятого 11 транзистора з'єднано з емітерами одинадцятого 16, дванадцятого 17, п'ятнадцятого 21, сімнадцятого 23 транзисторів, базу десятого 13 транзистора з'єднано з емітерами тринадцятого 18, чотирнадцятого 19, шістнадцятого 22, вісімнадцятого 24 транзисторів, колектори одинадцятого 16, двадцять другого 29 транзисторів з'єднано з базами дев'ятнадцятого 26 та двадцять другого 29 транзисторів та емітером п'ятого 30 транзистора та об'єднано з п'ятим джерелом струму 15, колектори чотирнадцятого 19, двадцять третього 32 транзисторів з'єднано з базами двадцятого 27 та двадцять третього 32 транзисторів та емітером шостого 31 транзистора та об'єднано з шостим джерелом струму 20, бази дванадцятого 17, п'ятнадцятого 21, сімнадцятого 23 та тринадцятого 18, шістнадцятого 22, вісімнадцятого 24 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 12, колектори дванадцятого 17, п'ятнадцятого 21, сімнадцятого 23, двадцятого 27 транзисторів об'єднано та з'єднано з базою шостого 31 транзистора, колектори тринадцятого 18, шістнадцятого 22, вісімнадцятого 24, дев'ятнадцятого 26 транзисторів об'єднано та з'єднано з базою п'ятого 30 транзистора, емітери дев'ятнадцятого 26 та двадцять другого 29 транзисторів об'єднано та з'єднано з колектором двадцять першого 28 та базою двадцять шостого 35

транзисторів, емітери двадцять першого 28 та двадцять п'ятого 34 транзисторів з'єднані з шиною додатного живлення 39, бази двадцять першого 28 та двадцять п'ятого 34 транзисторів об'єднані та з'єднані з колектором двадцять п'ятого 34 та емітером двадцять шостого 35 транзисторів, колектори двадцять шостого 35 і двадцять сьомого 36 транзисторів об'єднані та з'єднані з резистором масштабу 25 та резистором шини нульового потенціалу 38, резистор шини нульового потенціалу 38 з'єднаний шиною нульового потенціалу 12, резистор масштабу 25 з'єднано з вхідною шиною 1, емітери двадцятого 27 та двадцять третього 32 транзисторів об'єднані та з'єднані з колектором двадцять четвертого 33 та базою двадцять сьомого 36 транзисторів, бази двадцять четвертого 33 та двадцять восьмого 37 транзисторів об'єднано та з'єднано з емітером двадцять сьомого 36 та колектором двадцять восьмого 37 транзисторів, емітери двадцять четвертого 33 та двадцять восьмого 37 транзисторів з'єднано з шиною від'ємного живлення 41.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 1.

Якщо вхідний струм втікає через вхідну шину на вхід, то четвертий 4 транзистор трохи закривається, а третій 3 транзистор трохи відкривається, при цьому базовий струм восьмого 9 транзистора зменшується і він трохи закривається, а базовий струм сьомого 6 транзистора збільшується і він трохи відкривається, чотирнадцятий 19 транзистор трохи відкривається, а одинадцятий 16 транзистор трохи закривається, при цьому базовий струм дванадцятого 17, п'ятнадцятого 21, сімнадцятого 23 транзисторів зменшується і вони трохи закриваються, а базовий струм тринадцятого 18, шістнадцятого 22, вісімнадцятого 24 транзисторів збільшується і вони відповідно трохи відкриваються, при цьому п'ятий 30 транзистор трохи відкривається, а шостий 31 транзистор трохи закривається, різницевий колекторний струм п'ятого 30 і шостого 31 транзисторів протікає на вихід через вихідну шину 40, відповідно двадцять шостий 35 транзистор трохи відкривається, а двадцять сьомий 36 транзистор трохи закривається, при цьому різницевий колекторний струм двадцять шостого 35 і двадцять сьомого 36 транзисторів через шину зворотного зв'язку потрапляє до резистора шини нульового потенціалу 38, а далі через резистор масштабу повертається на вхід схеми 1.

Якщо вхідний струм витікає через вхідну шину на вхід, то четвертий 4 транзистор трохи відкривається, а третій 3 транзистор трохи закривається, при цьому базовий струм сьомого 6 транзистора зменшується і він трохи закривається, а базовий струм восьмого 9 транзистора збільшується і він трохи відкривається, відповідно одинадцятий 16 транзистор трохи відкривається, а чотирнадцятий 19 транзистор трохи закривається, при цьому базовий струм дванадцятого 17, п'ятнадцятого 21, сімнадцятого 23 транзисторів збільшується і вони трохи відкриваються, а базовий струм тринадцятого 18, шістнадцятого 22, вісімнадцятого 24 транзисторів зменшується і вони відповідно трохи закриваються, при цьому шостий 31 транзистор трохи відкривається, а п'ятий 30 транзистор трохи закривається, різницевий колекторний струм п'ятого 30 і шостого 31 транзисторів протікає на вихід через вихідну шину 40, відповідно двадцять сьомий 36 транзистор трохи відкривається, а двадцять шостий 35 транзистор трохи закривається, при цьому різницевий колекторний струм двадцять шостого 35 і двадцять сьомого 36 транзисторів через шину зворотного зв'язку потрапляє на до резистору шини нульового потенціалу 38, а далі через резистор масштабу повертається на вхід схеми 1.

Перше 2, друге 5, третє 10, четверте 14, п'яте 15, шосте 20, джерела струму утворюють схему задання режимів по постійному струму каскадів схеми.

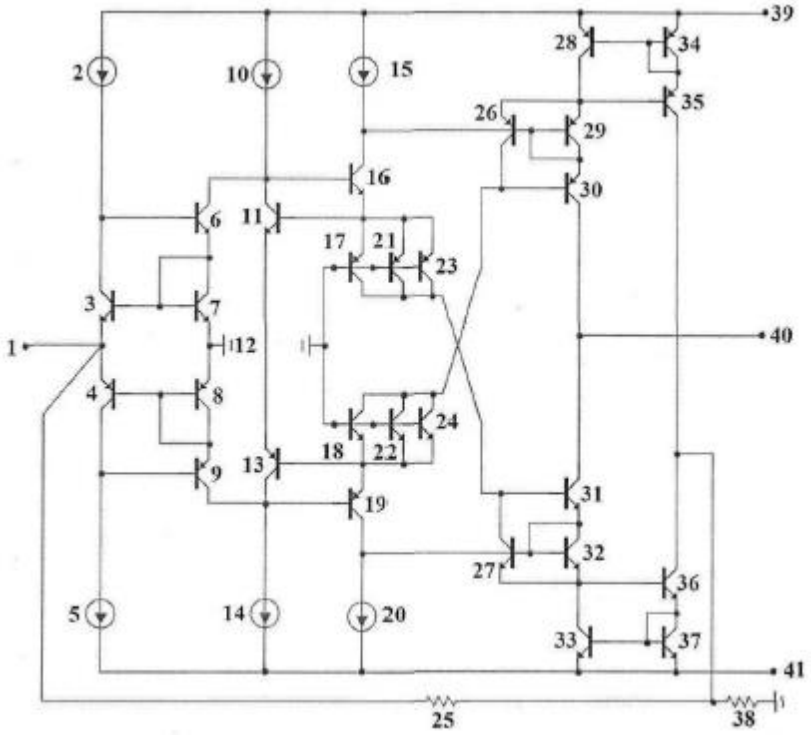
Перший 7, третій 3, сьомий 6 та другий 8, четвертий 4 та восьмий 9 транзистори утворюють вхідний каскад на основі відбивачів Вілсона. Дев'ятий 11, десятий 13, одинадцятий 16, дванадцятий 17, тринадцятий 18, чотирнадцятий 19, п'ятнадцятий 21, шістнадцятий 22, сімнадцятий 23, вісімнадцятий 24 транзистори утворюють проміжний підсилювальний каскад.

Відбивачі Вілсона, які утворені на двадцять першому 28, двадцять п'ятому 34, двадцять шостому 35 та двадцять четвертому 33, двадцять сьомому 36, двадцять восьмому 37 транзисторах слугують для роботи від'ємного зовнішнього зворотного зв'язку та за рахунок його глибини дозволяють масштабувати коефіцієнт передачі по струму, який задається на резисторі масштабу 25 та резисторі шини нульового потенціалу 38.

Дев'ятнадцятий 26, двадцять другий 29, п'ятий 30 та двадцятий 27, двадцять третій 32, шостий 31 транзистори утворюють відбивачі Вілсона, з яких складається вихідний каскад, по якому сигнал прямує до вихідної шини 40, шина нульового потенціалу 12 та шина додатного живлення 39 та шина від'ємного живлення 41 слугують для забезпечення режиму по напрузі каскадів схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Двотактний підсилювач постійного струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, перше і друге джерела струму з'єднані шинами додатного і від'ємного живлення відповідно, який **відрізняється** тим, що введено двадцять два транзистори, чотири джерела струму, резистор масштабу та резистор шини нульового потенціалу, причому перше джерело струму з'єднано з базою сьомого та колектором третього транзисторів, друге джерело струму з'єднано з базою восьмого та колектором четвертого транзисторів, емітер сьомого транзистора з'єднано з колектором першого транзистора, емітер восьмого транзистора з'єднано з колектором другого транзистора, четверте та шосте джерела струму з'єднано з шиною від'ємного живлення, третє та п'яте джерела струму з'єднано з шиною додатного живлення, колектори сьомого та дев'ятого транзисторів об'єднані з базою одинадцятого транзистора та третім джерелом струму, колектори восьмого та десятого транзисторів об'єднані з базою чотирнадцятого транзистора та четвертим джерелом струму, емітери дев'ятого та десятого транзисторів з'єднані між собою, базу дев'ятого транзистора з'єднано з емітерами одинадцятого, дванадцятого, п'ятнадцятого, сімнадцятого транзисторів, базу десятого транзистора з'єднано з емітерами тринадцятого, чотирнадцятого, шістнадцятого, вісімнадцятого транзисторів, колектори одинадцятого, двадцять другого транзисторів з'єднано з базами дев'ятнадцятого та двадцять другого транзисторів та емітером п'ятого транзистора та об'єднано з п'ятим джерелом струму, колектори чотирнадцятого, двадцять третього транзисторів з'єднано з базами двадцятого та двадцять третього транзисторів та емітером шостого транзистора та об'єднано з шостим джерелом струму, бази дванадцятого, п'ятнадцятого, сімнадцятого та тринадцятого, шістнадцятого, вісімнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори дванадцятого, п'ятнадцятого, сімнадцятого, двадцятого транзисторів об'єднано та з'єднано з базою шостого транзистора, колектори тринадцятого, шістнадцятого, вісімнадцятого, дев'ятнадцятого транзисторів об'єднано та з'єднано з базою п'ятого транзистора, емітери дев'ятнадцятого та двадцять другого транзисторів об'єднано та з'єднано з колектором двадцять першого та базою двадцять шостого транзисторів, емітери двадцять першого та двадцять п'ятого транзисторів з'єднані з шиною додатного живлення, бази двадцять першого та двадцять п'ятого транзисторів об'єднані та з'єднані з колектором двадцять п'ятого та емітером двадцять шостого транзисторів, колектори двадцять шостого і двадцять сьомого транзисторів об'єднані та з'єднані з резистором масштабу та резистором шини нульового потенціалу, резистор шини нульового потенціалу з'єднаний шиною нульового потенціалу, резистор масштабу з'єднано з вхідною шиною, емітери двадцятого та двадцять третього транзисторів об'єднані та з'єднані з колектором двадцять четвертого та базою двадцять сьомого транзисторів, бази двадцять четвертого та двадцять восьмого транзисторів об'єднано та з'єднано з емітером двадцять сьомого та колектором двадцять восьмого транзисторів, емітери двадцять четвертого та двадцять восьмого транзисторів з'єднано з шиною від'ємного живлення.



Комп'ютерна верстка О. Рябко

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601