



УКРАЇНА

(19) **UA** (11) **144050** (13) **U**
(51) МПК (2020.01)
НОЗМ 9/00

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

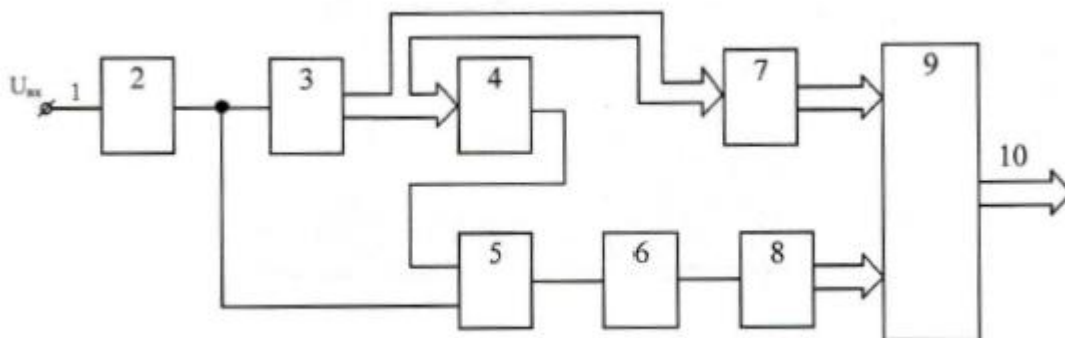
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2020 02372	(72) Винахідник(и): Бортник Геннадій Григорович (UA), Васильківський Микола Володимирович (UA), Вітер Ринат Миколайович (UA)
(22) Дата подання заявки: 13.04.2020	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 25.08.2020	
(46) Публікація відомостей про видачу патенту: 25.08.2020, Бюл.№ 16	

(54) ПАРАЛЕЛЬНО-ПОСЛІДОВНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Паралельно-последовательный аналого-цифровой перетворювач містить паралельний аналого-цифровий перетворювач старших розрядів, аналоговий вхід якого під'єднано до виходу першого блока вибірки та зберігання, вхід якого під'єднано до вхідної шини. Виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до відповідних входів цифро-аналогового перетворювача, вихід якого з'єднано з першим входом підсилювача-віднімача. Другий вхід підсилювача-віднімача під'єднано до виходу першого блока вибірки та зберігання. Виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини першого буферного регістра, виходи якого з'єднані з вихідною шиною пристрою. Введено другий буферний регістр, другий блок вибірки та зберігання, вхід якого з'єднано з виходом підсилювача-віднімача, а вихід під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів. Входи другого буферного регістра під'єднано до виходів паралельного аналого-цифрового перетворювача старших розрядів, а виходи другого буферного регістра під'єднано до першої вхідної шини першого буферного регістра.



UA 144050 U

Корисна модель належить до інформаційно-вимірювальної техніки і призначена для спектрометричних вимірювань високої точності та швидкодії в контрольно-вимірювальній техніці, радіолокації, експериментальній фізиці.

Відомий паралельно-послідовний аналого-цифровий перетворювач (АЦП), який містить 2^{m-1} пристроїв порівняння, де m - кількість розрядів вихідного коду, яка визначається за один вимірювальний такт перетворювача, перші входи яких з'єднані з шиною джерела вхідного сигналу, другі входи - з відповідними виходами резистивного подільника, а виходи з'єднані з цифровими входами блока керування, перший вихід блока керування з'єднаний з першим входом першого перетворювача код-струм, вихід якого з'єднаний з першим виходом резистивного подільника, другий вихід блока керування з'єднаний з першим входом другого перетворювача код-струм, вихід якого з'єднаний з 2^{m-1} виходом резистивного подільника, а вхід резистивного подільника з'єднаний з шиною джерела початкового зміщення, третій вихід блока керування з'єднаний з входом блока пам'яті, перший вихід якого через цифро-аналоговий перетворювач (ЦАП) з'єднаний з другими входами першого і другого перетворювачів код-струм, другий вихід блока пам'яті з'єднаний з першими входами додаткових перетворювачів код-струм, вихід одного з яких з'єднаний з першим входом резистивного подільника, а вихід другого з 2^{m-1} виходом резистивного подільника [авторське свідоцтво СРСР № 651475, М. Кл. Н 03 К 13/17 бюлетень № 9, 1979 р.].

Недоліком цього АЦП є низька швидкодія.

Відомий паралельно-послідовний 8-розрядний АЦП, який містить два 4-розрядних АЦП, кожен з яких містить послідовно з'єднані джерело опорних напруг і набір $2^{\frac{m}{2}} - 1$ компараторів, де m - кількість розрядів вихідного коду, різницевий пристрій, перші входи компараторів першого 4-розрядного АЦП з'єднані з шиною джерела вхідного сигналу, що підлягає перетворенню, виходи компараторів першого 4-розрядного АЦП з'єднані з входами елементів пам'яті через групу елементів І та АБО, виходи елементів пам'яті під'єднані до шин старших розрядів і до входів цифро-аналогового перетворювача (ЦАП), вихід якого з'єднаний з другим входом різницевого пристрою, перший вхід якого під'єднаний до шини джерела вхідного сигналу, що підлягає перетворенню, вихід різницевого пристрою з'єднаний з першими входами компараторів другого 4-розрядного АЦП, другі входи яких і другі входи першого 4-розрядного АЦП під'єднані до шини джерела опорних напруг, виходи компараторів другого 4-розрядного АЦП через групу елементів І та АБО під'єднані до шин молодших розрядів [патент США № 41248224, М.Кл.-Н 03 К 13/17].

Недоліком даного АЦП є низька швидкодія, що обмежує його функціональні можливості.

Найбільш близьким аналогом є паралельно-послідовний аналого-цифровий перетворювач, який містить паралельний аналого-цифровий перетворювач старших розрядів, аналоговий вхід під'єднано до виходу блока вибірки та зберігання, вхід якого під'єднано до вхідної шини, на яку подається аналоговий сигнал, що підлягає перетворенню, виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до першої вхідної шини буферного регістра та до відповідних входів цифро-аналогового перетворювача, вихід якого з'єднано з першим входом підсилювача-віднімача, вихід якого під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів, причому другий вхід підсилювача-віднімача під'єднано до виходу блока вибірки та зберігання, а виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини буферного регістра, виходи якого з'єднані з вихідною шиною пристрою [Кестер У. Аналого-цифровое преобразование. - М: Техносфера, 2007, С. 239, рис. 3.65].

Недоліком даного пристрою є обмеження по швидкодії, що обумовлене насамперед багатоступеневим процесом оброблення вхідного сигналу. Спочатку відбувається формування старших розрядів вихідного коду АЦП, потім формується вихідний сигнал цифро-аналогового перетворювача. Протягом цього часу АЦП молодших розрядів знаходиться в режимі очікування. Наступним етапом функціонування паралельно-послідовного АЦП є формування молодших розрядів, при цьому АЦП старших розрядів знаходиться в режимі очікування. Така побудова паралельно-послідовного АЦП призводить до обмеження швидкодії пристрою та відповідно до зменшення частоти перетворення вхідних сигналів. А це звужує робочу частотну смугу вхідних аналогових сигналів АЦП, що обмежує їх використання в радіолокації, експериментальній фізиці та іншій контрольно-вимірювальній апаратурі, пов'язаній зі спектральним аналізом радіо- та широкосмугових відеосигналів.

В основу корисної моделі поставлена задача створення паралельно-послідовного аналого-цифрового перетворювача, в якому за рахунок введення нових блоків та зв'язків підвищується

швидкодія, що сприяє підвищенню частоти перетворення вхідних сигналів, розширюються функціональні можливості та галузь використання пристрою.

Поставлена задача вирішується тим, що паралельно-послідовний аналого-цифровий перетворювач містить паралельний аналого-цифровий перетворювач старших розрядів, аналоговий вхід якого під'єднано до виходу першого блока вибірки та зберігання, вхід якого під'єднано до вхідної шини, на яку подається аналоговий сигнал, що підлягає перетворенню, виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до відповідних входів цифро-аналогового перетворювача, вихід якого з'єднано з першим входом підсилювача-віднімача, причому другий вхід підсилювача-віднімача під'єднано до виходу першого блока вибірки та зберігання, а виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини першого буферного регістра, виходи якого з'єднані з вихідною шиною пристрою, введено другий буферний регістр, другий блок вибірки та зберігання, вхід якого з'єднано з виходом підсилювача-віднімача, а вихід під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів, входи другого буферного регістра під'єднано до виходів паралельного аналого-цифрового перетворювача старших розрядів, а виходи другого буферного регістра під'єднано до першої вхідної шини першого буферного регістра.

На кресленні наведена структурна електрична схема паралельно-послідовного аналого-цифрового перетворювача.

Пристрій містить вхідну шину 1 напруги $U_{вх.}$, перший блок вибірки та зберігання 2, паралельний аналого-цифровий перетворювач (АЦП) старших розрядів 3, цифро-аналоговий перетворювач 4, підсилювач-віднімач 5, другий блок вибірки та зберігання 6, другий буферний регістр 7, паралельний аналого-цифровий перетворювач (АЦП) молодших розрядів 8, перший буферний регістр 9, вихідна шина паралельно-послідовного аналого-цифрового перетворювача 10, аналоговий вхід паралельного аналого-цифрового перетворювача старших розрядів 3 під'єднано до виходу першого блока вибірки та зберігання 2, вхід якого під'єднано до вхідної шини 1, виходи паралельного аналого-цифрового перетворювача старших розрядів 3 під'єднано до відповідних входів цифро-аналогового перетворювача 4, вихід якого з'єднано з першим входом підсилювача-віднімача 5, причому другий вхід підсилювача-віднімача 5 під'єднано до виходу першого блока вибірки та зберігання 2, а виходи паралельного АЦП молодших розрядів під'єднано до другої вхідної шини першого буферного регістра 9, виходи якого з'єднані з вихідною шиною пристрою 10, а вхід другого блока вибірки та зберігання 6, з'єднано з виходом підсилювача-віднімача 5, а вихід під'єднано до аналогового входу паралельного АЦП молодших розрядів 8, входи другого буферного регістра 7 під'єднано до виходів паралельного АЦП старших розрядів 3, а виходи другого буферного регістра 7 під'єднано до першої вхідної шини першого буферного регістра 9.

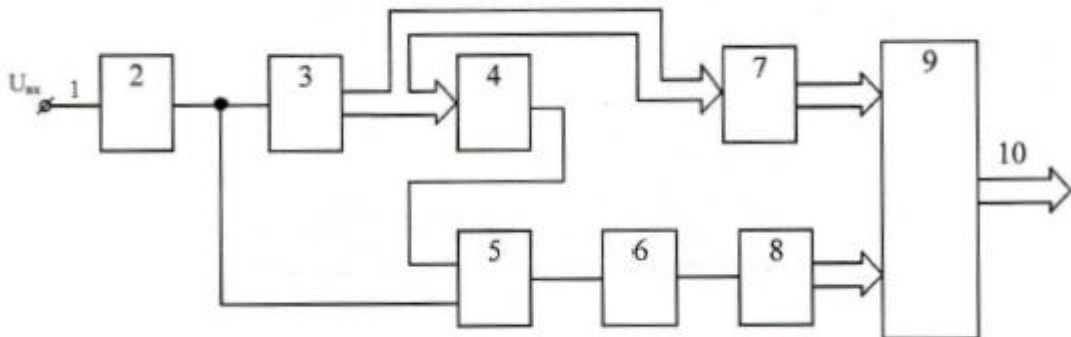
Аналого-цифровий перетворювач працює наступним чином. Вхідна напруга $U_{вх.}$, яка перетворюється через вхідну шину 1 подається на вхід першого блока вибірки та зберігання 2. Вихідний сигнал з блока вибірки та зберігання 2 спрямовується на вхід паралельного АЦП старших розрядів 3 та до другого входу підсилювача-віднімача 5. В результаті виконується грубе аналого-цифрове перетворення вхідної напруги $U_{вх.}$ і на виходах паралельного АЦП старших розрядів 3 формується цифровий код старших розрядів, який подається на відповідні входи цифро-аналогового перетворювача 4 і на входи другого буферного регістра 7. На виході цифро-аналогового перетворювача 4 формується аналоговий еквівалент старших розрядів аналого-цифрового перетворювача, який подається на перший вхід підсилювача-віднімача 5. На виході підсилювача-віднімача 5 формується різниця між вхідною напругою $U_{вх.}$ та аналоговим еквівалентом старших розрядів аналого-цифрового перетворювача. Сформований різницевий сигнал з виходу підсилювача-віднімача 5 подається на вхід другого блока вибірки та зберігання 6, з виходу якого цей сигнал подається на аналоговий вхід паралельного АЦП молодших розрядів 8, де він підлягає аналого-цифровому перетворенню. В результаті, на виходах другого буферного регістра 7 формується цифровий код старших розрядів, який подається до першої вхідної шини першого буферного регістра 9, а на виходах паралельного АЦП молодших розрядів 8 формується цифровий код молодших розрядів, який подається до другої вхідної шини першого буферного регістра 9. На виході першого буферного регістра 9 формується повний цифровий код, який подається на вихідну шину паралельно-послідовного аналого-цифрового перетворювача 10. Слід зазначити, що у той час, коли відбувається аналого-цифрове перетворення різницевого сигналу в АЦП молодших розрядів 8, в паралельному АЦП старших розрядів 3 виконується грубе аналого-цифрове перетворення наступного відліку вхідної напруги $U_{вх.}$ з подальшим його перетворенням в цифро-аналоговому перетворювачі 4. Така організація процесу аналого-цифрове перетворення відбувається

завдяки реалізації функції аналогового елемента затримки за допомогою другого блока вибірки та зберігання 6 і реалізації функції цифрового елемента затримки за допомогою другого буферного регістра 7.

5 Виконання паралельно-послідовного АЦП згідно зі схемою корисної моделі з використанням аналогового елемента затримки на базі другого блока вибірки та зберігання 6 і цифрового елемента затримки на базі другого буферного регістра 7, дає можливість усунути режими очікування АЦП старших розрядів 3 і АЦП молодших розрядів 8 та відповідно підвищити швидкодію пристрою. При цьому вдвічі підвищується частота перетворення сигналів, що дає змoгу розширити частотну смугу вхідних аналогових сигналів запропонованого паралельно-
10 послідовного АЦП.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

15 Паралельно-послідовний аналого-цифровий перетворювач, який містить паралельний аналого-цифровий перетворювач старших розрядів, аналоговий вхід якого під'єднано до виходу першого блока вибірки та зберігання, вхід якого під'єднано до вхідної шини, виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до відповідних входів цифро-аналогового перетворювача, вихід якого з'єднано з першим входом підсилювача-віднімача, причому другий вхід підсилювача-віднімача під'єднано до виходу першого блока вибірки та зберігання, а виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини першого буферного регістра, виходи якого з'єднані з вихідною шиною пристрою, який **відрізняється** тим, що введено другий буферний регістр, другий блок вибірки та зберігання, вхід якого з'єднано з виходом підсилювача-віднімача, а вихід під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів,
20 входи другого буферного регістра під'єднано до виходів паралельного аналого-цифрового перетворювача старших розрядів, а виходи другого буферного регістра під'єднано до першої вхідної шини першого буферного регістра.



Комп'ютерна верстка М. Шамоніна

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601